

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第3区分
 【発行日】平成26年5月1日(2014.5.1)

【公開番号】特開2012-199631(P2012-199631A)
 【公開日】平成24年10月18日(2012.10.18)
 【年通号数】公開・登録公報2012-042
 【出願番号】特願2011-60824(P2011-60824)
 【国際特許分類】

H 0 3 B 5/32 (2006.01)

H 0 3 B 5/02 (2006.01)

【F I】

H 0 3 B 5/32 D

H 0 3 B 5/02 D

【手続補正書】

【提出日】平成26年3月13日(2014.3.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

振動子に接続される発振回路と、
 前記発振回路から出力された信号がバッファ回路と、
 を含み、
 前記バッファ回路は、
 前記発振回路から出力された信号がプリバッファと、
 前記プリバッファから出力された信号が、第1の出力信号を出力する第1の出力バッファと、
 前記プリバッファから出力された信号が、第2の出力信号を出力する第2の出力バッファと、
 を含み、
 前記第1の出力バッファが動作イネーブル状態に設定され、前記第2の出力バッファが動作ディスエーブル状態に設定される第1のモードと、
 前記第1の出力バッファ及び前記第2の出力バッファが動作イネーブル状態に設定される第2のモードと、を有し、
 前記第1のモードでは、前記プリバッファの駆動能力が、前記第2のモードに比べて低い駆動能力に設定されることを特徴とする回路装置。

【請求項2】

請求項1に記載の回路装置において、
 前記バッファ回路は、
 前記プリバッファの出力ノードと前記第2の出力バッファの入力ノードとの間に設けられるスイッチ回路を含み、
 前記スイッチ回路は、前記第1のモードではオフ状態に設定され、前記第2のモードではオン状態に設定されることを特徴とする回路装置。

【請求項3】

請求項1又は2に記載の回路装置において、
 前記第1の出力バッファ、或いは前記第1の出力バッファ及び前記第2の出力バッ

ファーが、クリップドサイン波の信号を出力するクリップドサイン波出力回路により構成されることを特徴とする回路装置。

【請求項 4】

請求項 3 に記載の回路装置において、
前記クリップドサイン波出力回路は、
高電位側電源ノードと出力ノードとの間に設けられる第 1 のトランジスタと、
前記出力ノードと前記高電位側電源よりも電圧の低い低電位側電源ノードとの間に設けられる第 2 のトランジスタと、
前記第 1 のトランジスタのゲートノードである第 1 のゲートノードに対してバイアス電圧を設定する第 1 のバイアス電圧設定回路と、
前記第 2 のトランジスタのゲートノードである第 2 のゲートノードに対してバイアス電圧を設定する第 2 のバイアス電圧設定回路と、
前記プリバッファからの信号が入力される入力ノードと前記第 1 のゲートノードとの間に設けられる第 1 のキャパシタと、
前記入力ノードと前記第 2 のゲートノードとの間に設けられる第 2 のキャパシタと、
を含むことを特徴とする回路装置。

【請求項 5】

請求項 4 に記載の回路装置において、
前記第 1 のバイアス電圧設定回路は、
前記高電位側電源ノードと前記第 1 のゲートノードとの間に直列に設けられる第 1 の抵抗素子及び第 1 のスイッチ素子と、
前記第 1 のゲートノードと前記低電位側電源ノードとの間に設けられる第 2 の抵抗素子を含み、
前記第 2 のバイアス電圧設定回路は、
前記高電位側電源ノードと前記第 2 のゲートノードとの間に直列に設けられる第 3 の抵抗素子及び第 2 のスイッチ素子と、
前記第 2 のゲートノードと前記低電位側電源ノードとの間に設けられる第 4 の抵抗素子及び第 3 のスイッチ素子を含み、
動作イネーブル状態では、前記第 1 のスイッチ素子及び前記第 3 のスイッチ素子がオン状態に設定され、前記第 2 のスイッチ素子がオフ状態に設定され、
動作ディスエーブル状態では、前記第 1 のスイッチ素子及び前記第 3 のスイッチ素子がオフ状態に設定され、前記第 2 のスイッチ素子がオン状態に設定されることを特徴とする回路装置。

【請求項 6】

請求項 4 又は 5 に記載の回路装置において、
前記第 1 のキャパシタ及び前記第 2 のキャパシタは、M I M (Metal-Insulator-Metal) 構造のキャパシタにより構成され、
M I M 構造の前記第 1 のキャパシタの上部電極が前記入力ノードに接続され、下部電極が前記第 1 のゲートノードに接続され、
M I M 構造の前記第 2 のキャパシタの上部電極が前記入力ノードに接続され、下部電極が前記第 2 のゲートノードに接続されることを特徴とする回路装置。

【請求項 7】

請求項 1 又は 2 に記載の回路装置において、
前記第 1 の出力バッファがクリップドサイン波の信号を出力するクリップドサイン波出力回路により構成され、前記第 2 の出力バッファが、矩形波の信号を出力する矩形波出力回路により構成されることを特徴とする回路装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の回路装置において、
前記第 1 の出力バッファ及び前記第 2 の出力バッファが動作ディスエーブル状態に設定された場合に、前記プリバッファが動作ディスエーブル状態に設定されることを特

徴とする回路装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の回路装置において、
前記バッファ回路は、
前記プリバッファから出力された信号が入力されたときに、第 3 の出力信号を出力する第 3 の出力バッファを含み、
さらに前記第 3 の出力バッファが動作ディスエーブル状態に設定される第 1 のモードと、
さらに前記第 3 の出力バッファが動作ディスエーブル状態に設定される第 2 のモードと、

前記第 1 の出力バッファ、前記第 2 の出力バッファ及び前記第 3 の出力バッファが動作イネーブル状態に設定される第 3 のモードと、を有し、
前記第 1 のモードでは、前記プリバッファの駆動能力が、前記第 2 のモードに比べて低い駆動能力に設定され、
前記第 2 のモードでは、前記プリバッファの駆動能力が、前記第 3 のモードに比べて低い駆動能力に設定されることを特徴とする回路装置。

【請求項 10】

請求項 1 乃至 9 のいずれか一項に記載の回路装置において、
回路装置の対向する第 1 の辺及び第 2 の辺の間の境界線により区分される一方の領域を第 1 の領域とし、他方の領域を第 2 の領域として、
前記振動子を接続するための第 1 の振動子用端子及び第 2 の振動子用端子が、前記第 1 の領域に配置され、
前記第 1 の出力バッファからの前記第 1 の出力信号が出力される第 1 の出力端子と、前記第 2 の出力バッファからの前記第 2 の出力信号が出力される第 2 の出力端子が、前記第 2 の領域に配置され、
前記発振回路及び前記バッファ回路が、前記第 1 の領域に配置されることを特徴とする回路装置。

【請求項 11】

請求項 10 に記載の回路装置において、
回路装置の前記第 1 の辺及び前記第 2 の辺に交差する辺を第 3 の辺及び第 4 の辺として、
前記第 1 の振動子用端子は、前記第 3 の辺に沿った第 1 の端子配置領域に配置され、
前記第 2 の振動子用端子は、前記第 4 の辺に沿った第 2 の端子配置領域に配置され、
前記第 1 の出力端子は、前記第 3 の辺に沿った前記第 1 の端子配置領域に配置され、
前記第 2 の出力端子は、前記第 4 の辺に沿った前記第 2 の端子配置領域に配置されることを特徴とする回路装置。

【請求項 12】

請求項 11 に記載の回路装置において、
前記第 1 の端子配置領域では、
前記第 1 の振動子用端子と前記第 1 の出力端子の間に、高電位側電源及び前記高電位側電源よりも電圧の低い低電位側電源のうち一方の電源用の第 1 の電源端子が配置され、
前記第 2 の端子配置領域では、
前記第 2 の振動子用端子と前記第 2 の出力端子の間に、前記一方とは異なる他方の電源用の第 2 の電源端子が配置されることを特徴とする回路装置。

【請求項 13】

請求項 1 乃至 12 のいずれか一項に記載の回路装置を含むことを特徴とする電子機器。