

(19) 대한민국특허청(KR) (12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 29/94

(45) 공고일자 1990년01월 19일
(11) 공고번호 특1990-0000073

(21) 출원번호	특1986-0010809	(65) 공개번호	특1987-0006679
(22) 출원일자	1986년12월 17일	(43) 공개일자	1987년07월 13일
(30) 우선권 주장	60-286747 1985년 12월 19일 일본(JP) 61-17571 1986년01월 28일 일본(JP)		
(71) 출원인	스미도모덴기고오교오 가부시기가이샤	나카하라 쓰네토	
	일본국 오오사카후 오오사카시 히가시구 기타하마 5쵸오메 15반지		
(72) 발명자	사사키 고로오		
	일본국 오오사카후 오오사카시 고노하나구 시마야 1쵸오메 1반 3고 스미도모덴기고오교오 가부시기가이샤 오오사카세이사구쇼나이		
	하야시 히데끼		
	일본국 오오사카후 오오사카시 고노하나구 시마야 1쵸오메 1반 3고 스미도모덴기고오교오 가부시기가이샤 오오사카세이사구쇼나이		
(74) 대리인	신중훈		

심사관 : 정용철 (책자공보 제1722호)

(54) 전계효과트랜지스터

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

전계효과트랜지스터

[도면의 간단한 설명]

제1도는 종래의 전계효과트랜지스터의 구성을 도시한 단면도.

제2도는 다른종래의 전계효과트랜지스터의 구성을 도시한 단면도.

제3도는 본 발명의 일실시예인 전계효과트랜지스터의 구성을 도시한 단면도.

제4도는 본 발명의 다른 실시예인 2층의 광금지띠폭층(廣禁制帶巾層)을 구비한 전계효과트랜지스터의 구성을 도시한 단면도.

제5도는 제4도에 도시한 전계효과트랜지스터의 개량의 일변형예를 도시한 단면도.

제6도는 본 발명의 또 다른 실시예인 2층의 광금지띠폭층을 구비한 전계효과트랜지스터의 구성을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

5 : 게이트전극 6 : 소오스전극

7 : 드레인전극 8 : 2차원 전자층

21 : 반절연성인듐·인기판 22 : 인듐·인층

23 : 갈륨·인듐·비소혼정반도체층

24 : 알루미늄·인듐·비소혼정반도체층

25, 25' : 이온주입층

32 : 알루미늄·인듐·비소혼정반도체층(제2)

34 : 인듐 · 인층

40 : 알루미늄 · 인듐 · 비소혼정반도체층(제3)

[발명의 상세한 설명]

본 발명은, 저잡음증폭회로, 고주파회로, 고속논리회로, 및 그들의 집적회로 또는 광집적회로등에 응용되는 반도체헤테로접합을 사용한 전계효과트랜지스터에 관한 것이다.

제1도는 종래의 반도체헤테로접합을 사용한 전계효과트랜지스터의 구조를 도시한 단면도이며, 예를 들면, C. Y. Chen외, IEEE Electron Device Letters, Vol. EDL-3, No. 36, 1982, P 152에 표시되어 있다.

제1도 있어서, 종래의 전계효과트랜지스터는, 반절연성의 인듐 · 인가판(1)과, 기판(1)상에 형성되는 알루미늄 · 인듐 · 비소혼정반도체층(2)과, 혼정반도체층(2)상에 형성되는 갈륨 · 인듐 · 비소혼정반도체층(3)과, 혼정반도체층(3)상에 형성되는 n형 불순물이 첨가된 알루미늄 · 인듐 · 비소혼정반도체층(4)과, 혼정반도체층(4)상에 형성되는 게이트전극(5) 및 게이트전극(5)의 양쪽에 대향하도록 배설되는 소오스전극(6)과 드레인전극(7)으로 구성된다.

이런 구성의 전계효과트랜지스터에 있어서는, 갈륨 · 인듐 · 비소혼정반도체층(3)중에 2차원 전자층(8)이 형성되며, 이 2차원 전자층(8)이 채널이 되어서 소오스전극(6)과 드레인전극(7)과의 사이에 전류경로가 형성된다.

이 전계트랜지스터의 트랜지스터 동작은, 게이트전극(5)에 인가하는 전압을 제어하므로써, 게이트전극(5) 바로 아래의 2차원 전자층(8)의 전자밀도를 변조해서 드레인전류를 변조하므로써 실현된다. 여기서, 상기한 구조에 있어서, 알루미늄 · 인듐 · 비소혼정반도체층(2)은, 그 위에 형성되는 에피택셜성장층(갈륨 · 인듐 · 비소혼정반도체층(3))의 결정성의 개선 및 기판(1)으로부터의 불순물의 확산 등의 방지기능을 가진 완충층으로서 형성되어 있다.

이런 구조에 있어서는, 갈륨 · 인듐 · 비소혼정반도체층(3)중의 2차원 전자층(8)에서의 전자이동도(移動度)는 실온에서 $10000\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 값을 가지므로, 높은 상호콘덕턴스, 저잡음지수 및 높은 차단주파수를 구비하는 전계효과트랜지스터의 실현이 기대되고 있다. 그러나, 상기한 구조의 전계효과트랜지스터에 있어서는, 실제의 트랜지스터 동작에 기여하는 게이트전극(5)하의 2차원 전자층(8)과 소오스전극(6)과의 사이의 저항, 즉, 소오스저항이 충분히 낮은 값으로 되어있지 않기 때문에, 이 무시할 수 없는 소오스저항이, 상호콘덕턴스, 차단주파수등을 저하시키며, 또 잡음지수가 열화되는 등 트랜지스터특성상 여러가지의 문제가 발생하고 있다.

소오스저항을 저감시키기 위해서는, 소오스전극(6)과 게이트전극(5)과의 사이의 영역에 실리콘, 셀렌등의 불순물을 이온주입해서 소오스전극(6)과 2차원 전자층(8)과의 사이의 영역의 저항을 작게하는 방법을 생각할 수 있다. 이 영역의 저항은, 2개의 알루미늄 · 인듐 · 비소혼정반도체층(2) (4) 및 갈륨 · 인듐 · 비소혼정반도체층(3)의 각층의 병렬저항으로 된다. 그러나, 제1도의 구성에 있어서, 최상층의 알루미늄 · 인듐 · 비소혼정반도체층(4)은 일반적으로 $1000\text{\AA}$ 이하로 매우 얇으며, 또 알루미늄 · 인듐 · 비소혼정반도체층중의 전자이동도는 $100\text{cm}^2/\text{V}\cdot\text{sec}$ 정도로 갈륨 · 인듐 · 비소혼정반도체층중의 전자이동도에 비해서 1자릿수 이상 작기때문에, 소오스저항은 실질적으로 갈륨 · 인듐 · 비소혼정반도체층(3)의 저항에 동등해진다. 그러나, 이 혼정반도체층(3)은 일반적으로 그 층두께가 $1000\text{\AA}$ 로 얇고, 또 저저항화를 위해서 $10^{17}/\text{cm}^3$ 이상의 농도의 불순물을 주입하면, 이온화불순물에 의한 전자산란 때문에 전자이동도가 급격히 저하되기 때문에 소오스저항을 효과적으로 저감시키는 것은 곤란하다.

제2도는 다른 종래의 전계효과트랜지스터의 구조를 도시한 단면도이며, 이 구조도, C. Y. Chen등 IEEE Electron Device Letters Vol. DEL-3, No.6 1982, P 152에 표시되어 있다.

제2도의 전계효과트랜지스터는, 반절연성의 인듐 · 인가판(11)과, 기판(11)상에 형성되는 갈륨 · 인듐 · 비소혼정반도체층(12)과, 혼정반도체층(12)상에 형성되는 불순물 무첨가의 알루미늄 · 인듐 · 비소혼정반도체층(13)과, 혼정반도체층(13)상에 형성되는 n형 불순물이 첨가된 알루미늄 · 인듐 · 비소혼정반도체층(14)과, 혼정반도체층(14)상에 형성되는 게이트전극(5) 및 게이트전극(5)의 양쪽에 대향해서 형성되는 소오스전극(6)과 드레인전극(7)으로 구성된다.

이 구성에 있어서는, 갈륨 · 인듐 · 비소혼정반도체층(12)상의 2개의 알루미늄 · 인듐 · 비소혼정반도체층(13) (14)이 광금지띠폭층(19)을 구성한다.

제2도에 도시한 전계효과트랜지스터에 있어서, 제1도에 도시한 전계효과트랜지스터와 마찬가지로, 갈륨 · 인듐 · 비소혼정반도체층(12)중에 광금지띠폭층(19)에 따라서 2차원 전자층(8)이 형성되며, 게이트전극(5)하의 2차원 전자층(8)의 전자밀도를 게이트전극(5)에 인가하는 전압에 의해 변조하므로써 드레인전류가 변조되어, 트랜지스터 동작이 실현된다.

이 제2도에 도시한 전계효과트랜지스터에 있어서, 갈륨 · 인듐 · 비소혼정반도체가 실온에서 $10000\text{cm}^2/\text{V}\cdot\text{sec}$ 를 상회하는 높은 전자이동도를 가지므로, 소자성능을 표시하는 상호콘덕턴스로서, 게이트길이 $1\mu\text{m}$ 의 소자에 있어서 실온에서 약 440mS/mm , 77K에서 약 700mS/mm 라고 하는 높은 값이 실현되고 있다(제12회 International Symposium on Gallium Arsenide and Related Compounds Abstract, P 5, Opening Session 2 참조). 그러나, 이런 구성의 전계효과트랜지스터에 있어서는, 소오스저항을 무시할 수 없으므로, 상호콘덕턴스, 잡음지수등의 트랜지스터특성이 소오스저항에 의해 제한을 받고 있다.

이 소오스저항을 저감하기 위해서는, 상기한 바와 마찬가지로, 적어도 소오스저항 형성영역에 n형 불순물을 이온주입한 후, 프래시어니이링등을 실시해서, 주입된 n형 불순물이온을 활성화시켜서, 소오스저항 형성영역의 저저항을 도모하는 것을 생각할 수 있다. 그러나, 제1도에 도시한 전계효과트랜지스터에 관하여 행한 설명과 마찬가지로, 본원 발명자들이 행한 실험과 마찬가지로 이하의 일이 판명되어 있다. 즉, 알루미늄·인듐·비소혼정반도체층만으로 이루어진 광금지띠폭을 가진 전계효과트랜지스터에 있어서는, 알루미늄·인듐·비소혼정반도체층에 이온주입된 n형 불순물의 활성화율이 낮고, 또 알루미늄·인듐·비소혼정반도체층의 전자이동도는 재료고유의 성질로서 $300\text{cm}^2/\text{V}\cdot\text{sec}$ 이하로 낮기 때문에, 이온주입된 알루미늄·인듐·비소혼정반도체층의 저항율을 충분히 저감시키는 일이 곤란하며, 그 결과로서 종래구조의 전계효과트랜지스터에 있어서는 이온주입기술을 사용해도 소오스저항을 충분히 저감시키는 것은 어려우며, 트랜지스터특성의 개선을 도모하는 것은 곤란하다.

이상과 같이, 종래의 전계효과트랜지스터의 구성에 있어서는 소오스저항을 충분히 저감시킬 수 없어, 상호 콘택턴스, 차단주파수 및 잡음지수등의 소자특성을 충분히 개선할 수 없다고 하는 결점이 있었다.

본 발명의 목적은, 종래의 전계효과트랜지스터의 결점을 제거하고, 소오스저항이 충분히 낮고, 소자특성이 뛰어난 전계효과트랜지스터를 제공하는 것이다.

본 발명에 관한 전계효과트랜지스터는, 소오스저항을 저감시키기 위하여, 인듐·인반도체층을, 2차원 전자층이 형성되는 갈륨·인듐·비소혼정반도체층과 그 상층의 알루미늄·인듐·비소혼정반도체층과의 사이 또는 갈륨·인듐·비소혼정반도체층과 반절연성기판과의 사이에 형성하는 동시에, 적어도 소오스저항 형성영역에 n형 불순물을 이온주입시킨 것이다.

인듐·인반도체층이 갈륨·인듐·비소혼정반도체층 하층에 형성되었을 경우, 이온주입은 적어도 인듐·인층에 도달하는 깊이까지 행해진다. 인듐·인반도체층이 갈륨·인듐·비소상층에 형성되었을 경우, 이온주입은 갈륨·인듐·비소혼정반도체층 내부에 도달하는 깊이까지 행해진다.

상기한 구성에 있어서, 인듐·인반도체층에 있어서는 주입이온의 활성화율이 높고, 이온주입된 인듐·인반도체의 전자이동도는 알루미늄·인듐·비소혼정반도체의 그것보다 1자릿수 이상 높아지므로, 갈륨·인듐·비소혼정반도체의 저항과 병렬로 저저항의 인듐·인반도체층을 형성함으로써 소오스저항을 효과적으로 저감시킬 수 있으며, 또한 게이트전극은 알루미늄·인듐·비소혼정반도체층위에 형성되므로 게이트전극에서의 쇼트키접합이 용이하게 형성된다.

본 발명의 목적 및 다른목적과 특징은 이하에 첨부된 도면을 참조해서 행하는 상세한 설명에서 한층 명백해질 것이다.

먼저, 구체적인 실시예에 대해서 설명하기전에 본 발명을 떠받들 실험적사실에 대해서 설명한다.

인듐·반도체에 대해서 n형 불순물을 이온주입해서 어니일을 행한 실험결과보고(Applied Physics Letters, Vol.43 No. 15, 1983, P 381 참조)에 의하면, 인듐·인반도체에서는 주입이온의 활성화율 60%이상을 얻을 수 있고, 또한 이온주입층의 전자이동도도 $2000\text{cm}^2/\text{V}\cdot\text{sec}$ 이상의 값을 얻을 수 있다. 이에 의해 n형 불순물을 $10^{14}/\text{cm}^2$ 주입했을 경우 인듐·인반도체에 대해서는 이온주입층의 시이트저항을 $50\Omega/\square$ 이하로 할 수 있다.

한편, 본 발명자를 알루미늄·인듐·비소혼정반도체에 대하여, n형 불순물을 $[10^{14}/\text{cm}^3]$ 이온주입했을 경우, 그 시이트저항은 $1\text{K}\Omega/\square$ 정도로 되었다. 이것은, 인듐·인반도체에 있어서의 전자이동도 및 주입이온활성화율이 알루미늄·인듐·비소혼정반도체의 그것보다도 큰 까닭이다.

이상의 일로부터, 소오스저항 형성영역의 알루미늄·인듐·비소혼정반도체층을 이온주입영역을 가진 인듐·인반도체로 치환함으로써 소오스저항을 효과적으로 저감시킬 수가 있다.

이하, 본 발명의 구체적인 실시예에 대해서 상세하게 설명한다.

제3도는 본 발명의 일시시에인 전계효과트랜지스터의 구성을 도시한 단면도이다. 이하, 제3도를 참조해서 본 발명의 일시시에인 전계효과트랜지스터의 제조프로세스 및 구성에 대하여 설명한다.

인듐·인반절연성기판(21)상에 인듐·인층(22), 갈륨·인듐·비소혼정반도체층(23), 알루미늄·인듐·비소혼정반도체층(24)이 이 순서대로 가스소오스분자선 에피택셜성장법 또는 유기금속 기상성장법(MOCVD법)을 사용해서 형성된다. 여기서 인듐·인층(22)은, $10^{15}/\text{cm}^3$ 이하의 불순물이 첨가된 n형 또는 $10^{16}/\text{cm}^3$ 이하의 불순물을 포함하는 P형이 바람직하며, 또한 그 층두께는 예를 들면 $1\mu\text{m}$ 정도로 된다. 인듐·인층(22)은 이온주입되면 그 전자이동도가 $2000\text{cm}^2/\text{V}\cdot\text{sec}$ 로 알루미늄·인듐·비소혼정반도체의 그것보다 1자릿수 높아지고 또한 그 층두께를 $1\mu\text{m}$ 이상으로 해도 소자특성상 하등문제가 발생하지 않는다.

갈륨·인듐·비소혼정반도체층(23)은, 불순물농도 $10^{16}/\text{cm}^3$ 이하의 n형 혹은 P형으로 하고, 그 층두께는 $0.1\mu\text{m}$ 정도로 된다. 이들층의 불순물농도 및 층두께의 설계에 즈음하여 중요한 일은, 인듐·인반도체층(22)이 트랜지스터 동작시에 공핍상태가 되게하는 일이다.

알루미늄·인듐·비소혼정반도체층(24)은 불순물농도 $10^{18}/\text{cm}^3$ 정도의 n형으로 하고, 그 층두께는 예를 들면 $400\text{\AA}$ 로 된다. 이들 각 에피택셜층을 형성한 후, 실리콘등의 n형 불순물을 이온주입법을 사용해서, 예를 들면 가속전압 100KeV 이상으로 도우즈량 $10^{14}/\text{cm}^2$ 이상 주입하여 인듐·인반도체층(22)에까지 도달하는 이온주입층을 형성한다. 그후 예를 들면 800°C 10초 정도의 어니일을 행함으로써 저저항영역(25)이 형성된다. 이때 이온주입영역은, 게이트전극이 형성되는 영역하부에는 형성되지 않는다. 이것은, 예를 들면 더미게이트를 게이트전극이 형성되어야 할 영역위에 형성하고, 이 더미

게이트를 마스크로한 이온주입을 행하므로 실현된다.

다음에, 증착법을 사용하여 알루미늄·인듐·비소혼정반도체층(24) 표면의 소정영역에 금·게르마늄 합금등으로 이루어지는 저항전극을 형성하고, 혼정반도체층(24)과의 합금화를 행하여 소오스전극(6) 및 드레인전극(7)을 형성한다.

마지막으로 저저항층(25)이 형성되어 있지 않는 영역의 알루미늄·인듐·비소혼정반도체층(24)위에 증착법등을 사용해서 백금, 금 또는 알루미늄등 으로 이루어지는 게이트전극(5)을 형성하므로써, 전 계효과트랜지스터가 완성된다.

이상과 같이, 제3도에 도시한 전계효과트랜지스터에 있어서는, 갈륨·인듐·비소혼정반도체층(23)의 저항과 병렬로, 보다 저저항의 인듐·인반도체층(22)으로 이루어지는 도전층이 형성되므로, 소오스 전극(6)과 게이트전극(5)하의 2차원 전자층(8)과의 사이의 저항 즉 소오스저항이 효과적으로 저감된다.

또, 상기 실시예에 있어서는, 높은 가속전압으로 불순물이온을 주입하고 있으므로, 불순물을 주로하여 인듐·인층(22)속으로 분포시킬 수가 있고, 게이트전극(5) 근처의 불순물농도를 낮게 유지한채로 소오스저항을 저감시킬 수 있다. 게이트전극(5) 근처의 불순물농도를 낮게 유지하는 것은, 트랜지스터의 게이트내압(耐壓)을 높이기 위해서 중요하며, 상기 실시예의 수법에 의해 게이트내압을 열화시키는 일없이 트랜지스터특성을 향상시킬 수 있다.

제4도는, 본 발명의 다른 실시예인 전계효과트랜지스터의 구성을 도시한 단면도이다. 이하, 제4도를 참조하여 본 발명의 다른 실시예인 광금지피폭층을 구비한 전계효과트랜지스터의 제조프로세스 및 구조에 대하여 설명한다.

인듐·인반절연성기판(21)상에 유기금속기상성장법(MOCVD법)또는 가스소오스분자선 에피택셜성장법을 사용해서, 완충층이 되는 알루미늄·인듐·비소혼정반도체층(32)을 형성하고, 계속하여 마찬가지로의 성장법을 사용해서 갈륨·인듐·비소혼정반도체층(23), 인듐·인층(34), 및 알루미늄·인듐·비소혼정반도체층(24)을 형성한다. 여기서, 인듐·인층(34) 및 알루미늄·인듐·비소혼정반도체층(24)은 광금지피폭층(39)을 형성한다. 인듐·인반도체는 이온주입을 행하였을 경우, 상술한 바와 같이, 주입이온의 활성화율이 높으며, 알루미늄·인듐·비소혼정반도체 보다도 그 시이트저항을 1자릿수 이상 작게하는 것이 가능하므로, 광금지피폭층으로서 인듐·인반도체층을 사용하는 것이 소오스저항 저감의 관점에서 유효하다는 것이 이해된다. 그러나, 광금지피폭층을 인듐·인반도체층만으로 구성하면 이하와 같은 문제가 발생한다. 즉, 도시한 바와 같은 구조의 전계효과트랜지스터에 있어서는, 게이트전극(5)은 광금지피폭층(39)에 대하여 쇼트키접합을 형성하는 일이 필요하나, 일반적으로, 인듐·인반도체에 대하여 쇼트키접합을 형성하는 일은 곤란하다. 그리하여, 쇼트키접합을 용이하게 형성할 수 있는 알루미늄·인듐·비소혼정반도체층(24)을 인듐·인층(34) 표면에 형성하여, 광금지피폭층(39)을 다층구조로 하므로써, 효과적인 소오스저항의 저감 및 양호한 게이트특성(안정된 쇼트키 접합의 형성)의 실현을 도모하고 있다.

또, 완충층으로서의 알루미늄·인듐·비소혼정반도체층(32)은, 그 위에 형성되는 에피택셜성장층의 결정성의 개선 및 반절연성기판(21)으로부터의 불순물의 확산등을 방지하기 위하여 형성되어 있다. 이 완충층이 되는 알루미늄·인듐·비소혼정반도체층(32)은, 트랜지스터에 요구되는 특성등에 따라서는 형성하지 않아도 된다.

가층(32) (23) (34) (24)의 층두께는, 문턱치전압의 설계치등에 의해 다르지만, 대표적인 값으로는, 완충층이 되는 알루미늄·인듐·비소혼정반도체층(32)이 약 $0.5\mu\text{m}$, 갈륨·인듐·비소혼정반도체층(23)이 약 20nm내지 200nm, 인듐·인층(34)이 10nm 내지 30nm, 알루미늄·인듐·비소혼정반도체층(24)이 약 10nm이다. 또, 이온주입에 의한 저저항층 형성전의 각층의 불순물첨가량은, 이것도, 문턱치전압등의 설계치등에 의해 다르나, 대표적인 값으로는, 문턱치전압의 균일성 및 재현성을 중시하는 경우에는, 모든층을 불순물 무첨가로 하고, 한편, 대전류공급능력을 중시하는 경우, 인듐·인층(34)에 n형 불순물을 $2 \times 10^{18}/\text{cm}^3$ 정도 첨가한다. 또, 후자의 경우, 인듐·인층(34)의 갈륨·인듐·비소혼정반도체층(23)쪽 표면에서부터 약 10nm의 범위의 영역은, n형 불순물의 확산에 의한 헤테로접합면의 황폐(열화)를 방지할 목적으로, 불순물 무첨가영역으로 해도 좋다.

상기한 바와 같은, 각층의 에피택셜성장을 행한 후, 예를 들면, 실리콘, 셀렌등의 n형 불순물을 게이트전극이 형성되어야할 영역을 제외한 영역에, 가속전압 100KeV이상, 도우즈량 $10^{14}/\text{cm}^2$ 이상의 조건으로 이온주입하여, 예를 들면 800℃ 10초의 조건으로 어닐하므로써 갈륨·인듐·비소혼정반도체층(23) 내부에까지 도달하는 이온주입층으로 이루어진 저저항영역(25')이 형성된다.

다음에, 증착법을 사용해서, 알루미늄·인듐·비소혼정반도체층(24) 표면의 소정의 영역에 금, 게르마늄등으로 이루어지는 저항전극을 형성한후, 저항전극과 그 밑바탕의 혼정반도체층(24)과의 합금화를 행하여 소오스전극(6) 및 드레인전극(7)을 형성한다.

또, 소오스전극(6) 및 드레인전극(7)의 사이의 저저항영역(25')이 형성되어 있지 않는 영역 표면에 증착법등을 사용해서 알루미늄·백금, 텅스텐규화물등으로 이루어진 게이트전극(5)을 형성하므로써, 전계효과트랜지스터를 완성한다.

여기서, n형 불순물을 이온주입해서 얻어진 저저항영역(25')은 게이트전극(5)과 중첩되지 않는 것이, 기생용량 저감을 위하여 및 역방향 내압향상을 위하여 바람직하다.

제5도는, 본 발명의 또 다른 실시예인 전계효과트랜지스터의 구조를 도시한 단면도이다. 제5도의 전계효과트랜지스터에 있어서는, n형 불순물이온주입에 의해 얻어진 저저항영역(25')과 게이트전극(5)이 중첩되는 영역이 완전히 제거되어 있다. 트랜지스터 제조프로세스에 있어서는 사진평판기술의 마스크위치 맞춤정밀도가 충분한 경우에는, 그다지 문제없이 확실하게 그 중첩영역을 제거할 수 있다.

그러나, 사진평판기술의 위치맞춤정밀도가 충분하지 않고 트랜지스터특성의 재현성이 양호하지 않는 경우에는, 내열게이트 또는 더미게이트를 사용한 자동조심기술을 사용하는 일이 중요해 진다. 즉, 게이트전극(5)이 형성되어야할 영역에 게이트전극(5)의 치수보다도 약간 큰 내열게이트 또는 더미게이트를 형성하고, 이 게이트를 마스크로 하여 자기정합적으로 이온주입을 행하므로써, 게이트전극(5)과 저저항영역(25')과의 중첩을 확실하게 제거할 수 있다.

그러나, 자동조심기술을 사용하고 안하고에 불구하고, 제4도 및 제5도의 구성의 전계효과트랜지스터에 있어서는, 효과적으로 소오스저항을 저감시키는 일이 가능하며, 고상호콘덕턴스, 저잡음의 전계효과트랜지스터를 얻을 수 있다.

제6도는 본 발명의 또 다른 실시예인 전계효과트랜지스터의 구성을 도시한 단면도이다. 제6도에 도시한 전계효과트랜지스터에 있어서는, 제4도에 도시한 전계효과트랜지스터의 구성에 추가해서, 채널이 되는 2차원 전자의 양자역학적인 가두어넣기 효과를 높이기 위하여, 갈륨·인듐·비소혼정반도체층(23)과 인듐·인반도체층(34)과의 사이에 알루미늄·인듐·비소혼정반도체층(40)이 형성된다. 이 알루미늄·인듐·비소혼정반도체층(40)은, 층두께 50~100 Å, 불순물 무침가가 바람직하다.

알루미늄·인듐·비소혼정반도체층(40)에서의 전자친화력은, 인듐·인반도체층(34)의 그것보다도 작으므로, 갈륨·인듐·비소혼정반도체층(23)속의 2차원 전자에 대하여 높은 에너지장벽이 형성된다. 이 결과, 2차원 전자의 갈륨·인듐·비소혼정반도체층(24)속으로의 양자역학적 가두어넣기 효과가 높아져서, 높은 게이트전압을 인가한 상태에서도 양호한 트랜지스터특성을 얻게 된다.

이상과 같이, 본 발명에 의하면, 반도체헤테로접합을 사용한 전계효과트랜지스터에 있어서, 소오스저항 형성영역에, 불순물이온주입에 의해 저저항으로 되는 인듐·인층(22)을 형성하는 동시에, 적어도 소오스저항 평정영역에 이온주입을 행하여 저저항영역을 형성하였으므로, 효과적으로 소오스저항을 저감시킬 수 있고, 높은 상호콘덕턴스, 저잡음지수를 가진 전계효과트랜지스터를 실현할 수 있으며, 이 결과, 저잡음증폭회로, 고속논리회로, 이들의 집적회로, 광집적회로등의 응용분야에 대하여 대대한 공헌을 할 수 있다.

(57) 청구의 범위

청구항 1

반도체헤테로접합을 이용한 전계효과트랜지스터에 있어서, 반절연성인듐·인기판(21)과, 상기 반절연성인듐·인기판(21)에 형성되고, 그 내부에 전류경로가 형성되는 갈륨·인듐·비소혼정반도체층(23)과, 상기 갈륨·인듐·비소혼정반도체층(23)상에 광금지띠폭층으로서 형성되는 알루미늄·인듐·비소혼정반도체층(24)과, 상기 갈륨·인듐·비소혼정반도체층(23)의 하층에 형성되는 인듐·인층(22)과, 상기 알루미늄·인듐·비소혼정반도체층(24) 표면의 소정영역에 형성되는 게이트전극(5)과 상기 게이트전극(5)의 양쪽에 대향해서 형성되는 소오스전극(6) 및 드레인전극(7)과, 적어도 상기 게이트전극(5)과 상기 소오스전극(6)과의 사이 및 상기 게이트전극(5)과 드레인전극(7)과의 사이의 영역에 불순물이온을 주입하여 형성되는 이온주입층(25)을 구비한, 전계효과트랜지스터.

청구항 2

제1항에 있어서, 상기 광금지띠폭층은 알루미늄·인듐·비소혼정반도체층(24)의 단일층으로 구성되는, 전계효과트랜지스터.

청구항 3

제1항에 있어서, 상기 이온주입층(25)은, 적어도 상기 인듐·인층(22)에 도달하는 깊이까지 형성되는, 전계효과트랜지스터.

청구항 4

제1항에 있어서, 상기 인듐·인층(22)의 층두께는 약 1μm인, 전계효과트랜지스터.

청구항 5

제1항에 있어서, 상기 인듐·인층(22)은, 불순물첨가량 $10^{15}/\text{cm}^3$ 이하의 n형층으로서 형성되는, 전계효과트랜지스터.

청구항 6

제1항에 있어서, 상기 인듐·인층(22)은, 불순물첨가량 $10^{16}/\text{cm}^3$ 의 P형층으로서 형성되는, 전계효과트랜지스터.

청구항 7

제1항에 있어서, 상기 알루미늄·인듐·비소혼정반도체층(24)은, 층두께 400 Å, 불순물첨가량 $10^{18}/\text{cm}^3$ 의 n형층으로서 형성되는 전계효과트랜지스터.

청구항 8

제1항에 있어서, 상기 이온주입층(25)은 가속전압 100KeV이상, 불순물주입량 $10^{14}/\text{cm}^3$ 이상의 조건으로 n형 불순물이 주입된 n형층인, 전계효과트랜지스터.

청구항 9

반도체헤테로접합을 이용한 전계효과트랜지스터에 있어서, 반절연성인듐·인기판(21)과, 상기 반절연성인듐·인기판(21)상에 완충층으로서 형성되는 알루미늄·인듐·비소혼정반도체층(32)과, 상기 알루미늄·인듐·비소혼정반도체층(32)상에 형성되고, 그 내부에 전류경로가 형성되는 갈륨·인듐·비소혼정반도체층(23)과, 상기 갈륨·인듐·비소혼정반도체층(23)의 상층에 형성되고, 적어도 2층으로 이루어지는 광금지띠폭층(39)과, 상기 광금지띠폭층(39)표면의 소정영역에 형성된 게이트전극(5)과 상기 게이트전극(5)의 양쪽에 대향해서 형성되는 소오스전극(6)및 드레인전극(7)과, 적어도 상기 게이트전극(5)과 상기 소오스전극(6)과의 사이 및 상기 게이트전극(5)과 드레인전극(7)과의 사이의 영역에 불순물이온을 주입하여 형성되는 이온주입층(25')을 구비한, 전계효과트랜지스터.

청구항 10

제9항에 있어서, 상기 광금지띠폭층(39)은, 상기 갈륨·인듐·비소혼정반도체층(23) 표면상에 형성되는 인듐·인층(34)과, 상기 인듐·인층(34) 표면상에 형성되는 제1의 알루미늄·인듐·비소혼정반도체층(24)으로 구성되는, 전계효과트랜지스터.

청구항 11

제9항에 있어서, 상기 반절연성기판(21)과, 상기 갈륨·인듐·비소혼정반도체층(23)과의 사이에, 상기 갈륨·인듐·비소혼정반도체층(23)에 당접해서 제2의 알루미늄·인듐·비소혼정반도체층(32)이 형성되는, 전계효과트랜지스터.

청구항 12

제9항에 있어서, 상기 갈륨·인듐·비소혼정반도체층(23)과 상기 인듐·인층(34)과의 사이에 상기 양층(23) (34)에 당접해서 제3의 알루미늄·인듐·비소혼정반도체층(40)이 형성되는, 전계효과트랜지스터.

청구항 13

제9항에 있어서, 상기 이온주입층(25')은, 상기 갈륨·인듐·비소혼정반도체층(23)내부에 도달하는 깊이까지 형성되는, 전계효과트랜지스터.

청구항 14

제10항에 있어서, 적어도, 상기 갈륨·인듐·비소혼정반도체층(23), 상기 인듐·인층(34)및 상기 제1의 알루미늄·인듐·비소혼정반도체층(24)은 모두 불순물 무첨가로 형성되는, 전계효과트랜지스터.

청구항 15

제10항에 있어서, 상기 인듐·인층(34)은, n형 불순물첨가량이 $10^{18}/\text{cm}^3$ 의 조건으로 형성되는, 전계효과트랜지스터.

청구항 16

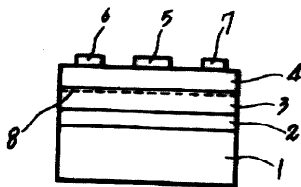
제15항에 있어서, 상기 인듐·인층(34)은, 상기 갈륨·인듐·비소혼정반도체층(23)에 접촉하는 표면으로부터 약 10nm의 범위의 영역이 불순물 무첨가의 조건으로 형성되는 전계효과트랜지스터.

청구항 17

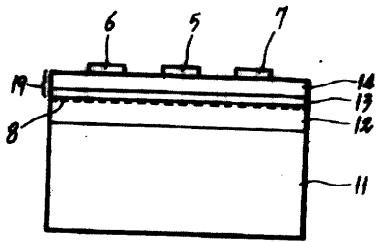
제13항에 있어서, 상기 이온주입층(25')은, 가속전압 100KeV 이상, 불순물주입량 10^{14}cm^{-2} 이상의 조건으로 n형 불순물이온이 주입된 n형층인, 전계효과트랜지스터.

도면

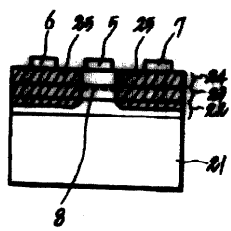
도면1



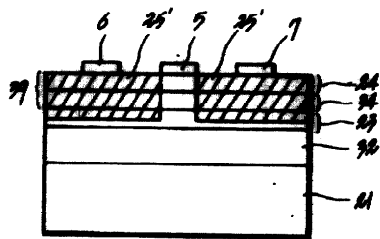
도면2



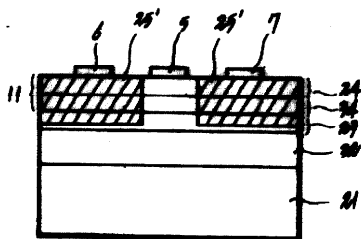
도면3



도면4



도면5



도면6

