

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3934608号  
(P3934608)

(45) 発行日 平成19年6月20日(2007.6.20)

(24) 登録日 平成19年3月30日(2007.3.30)

|                   |                  |            |   |
|-------------------|------------------|------------|---|
| (51) Int. Cl.     |                  | F I        |   |
| <b>H03M 13/09</b> | <b>(2006.01)</b> | H03M 13/09 |   |
| <b>H04L 1/00</b>  | <b>(2006.01)</b> | H04L 1/00  | B |

請求項の数 18 (全 23 頁)

|               |                               |           |   |
|---------------|-------------------------------|-----------|---|
| (21) 出願番号     | 特願2003-541190 (P2003-541190)  | (73) 特許権者 | 503447036                                   |
| (86) (22) 出願日 | 平成14年10月25日(2002.10.25)       |           | サムスン エレクトロニクス カンパニー<br>リミテッド                |
| (65) 公表番号     | 特表2005-507607 (P2005-507607A) |           | 大韓民国キョンギード, スウォン-シ, ヨ<br>ントン-ク, マエタン-ドン 416 |
| (43) 公表日      | 平成17年3月17日(2005.3.17)         | (74) 代理人  | 100064908                                   |
| (86) 国際出願番号   | PCT/KR2002/001999             |           | 弁理士 志賀 正武                                   |
| (87) 国際公開番号   | W02003/039056                 | (74) 代理人  | 100089037                                   |
| (87) 国際公開日    | 平成15年5月8日(2003.5.8)           |           | 弁理士 渡邊 隆                                    |
| 審査請求日         | 平成16年4月28日(2004.4.28)         | (72) 発明者  | ドン-ヒ・キム                                     |
| (31) 優先権主張番号  | 2001/66904                    |           | 大韓民国・156-010・ソウル・トン<br>ジャクターグ・シンデバン-ドン・565  |
| (32) 優先日      | 平成13年10月29日(2001.10.29)       |           |   |
| (33) 優先権主張国   | 韓国 (KR)                       |           |   |

最終頁に続く

(54) 【発明の名称】 通信システムの誤り検出情報送受信装置及び方法

(57) 【特許請求の範囲】

【請求項1】

異なる長さを持つ少なくとも二つのデータ列をデータチャネルを介して送信でき、各データ列の長さと同じ長さを持ち、前記各データ情報を表す制御情報列と前記制御情報列の誤りを検出するための誤り検出情報ビット列とを含む制御データ列をデータ制御チャネルを介して送信する通信システムにおいて、前記データチャネルを介して送信されるデータ列の長さを検出するための誤り検出情報ビット列発生装置であって：

前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスターと；

前記レジスター間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；

前記制御情報列が入力される間には前記制御情報列のビットと前記複数のレジスターのうち最後の位置のレジスターから出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、前記制御情報列の入力が完了した時にはあらかじめ設定された入力ビットと前記最後の位置のレジスターから出力されるビットを順次的に加算して前記誤り検出情報ビット列として出力する演算器と；

前記少なくとも二つのデータ列に対してそれぞれ定められるそれぞれ異なる初期値の中から選択された一つの初期値を前記レジスターに提供する初期値制御器と；を含み、

前記初期値制御器は、前記少なくとも二つのデータ列以外のデータ列に対しては、前記

10

20

少なくとも二つのデータ列に対してそれぞれ定められる初期値のうちいずれかと同一の初期値を前記レジスターに提供することを特徴とする誤り検出情報ビット列発生装置。

【請求項 2】

前記演算器は、

前記制御情報列と前記設定された入力ビットのうちいずれかを選択的に出力するための第 1 スイッチと；

前記第 1 スイッチからの出力と前記最後の位置のレジスターから出力されるビットとを加算する出力加算器と；

前記出力加算器の出力と前記設定された入力ビットのうちいずれかを前記フィードバックビット列として選択的に前記加算器に提供するための第 2 スイッチと；

前記制御情報列と前記出力加算器から出力される前記誤り検出情報ビット列のうちいずれかを選択的に出力するための第 3 スイッチと；を含むことを特徴とする請求項 1 に記載の誤り検出情報ビット列発生装置。

10

【請求項 3】

前記第 1 スイッチは、前記制御情報列が入力される間には前記制御情報列を出力し、前記制御情報列の入力が完了した時には前記設定された入力ビットを出力することを特徴とする請求項 2 に記載の誤り検出情報ビット列発生装置。

【請求項 4】

前記第 2 スイッチは、前記制御情報列が入力される間には前記出力加算器の出力を前記加算器に提供し、前記制御情報列の入力が完了した時には前記設定された入力ビットを前記加算器に提供することを特徴とする請求項 3 に記載の誤り検出情報ビット列発生装置。

20

【請求項 5】

前記第 3 スイッチは、前記制御情報列が入力される間には前記制御情報列を出力し、前記制御情報列の入力が完了した時には前記誤り検出情報ビット列を出力することを特徴とする請求項 4 に記載の誤り検出情報ビット列発生装置。

【請求項 6】

前記二つのデータ列は、異なるスロット長を持つことを特徴とする請求項 1 に記載の誤り検出情報ビット列発生装置。

【請求項 7】

前記二つのデータ列のうち一つが、残る一つのデータ列の 2 倍のスロット長を持つことを特徴とする請求項 6 に記載の誤り検出情報ビット列発生装置。

30

【請求項 8】

第 1 長さを持つ第 1 情報列をあらかじめ設定された符号率で符号化して送信したり、前記第 1 長さの F 倍（ここで、F は 2 の倍数）である第 2 長さを持つ第 2 情報列を前記設定された符号率で符号化した後、F 倍繰り返して送信する通信システムにおいて、前記第 1 情報列あるいは前記第 2 情報列の入力情報列に誤り検出のための情報ビット列を付加させて送信のための情報列を発生するための装置であって；

前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスターと；前記レジスター間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；

40

前記入力情報列が入力される間には、前記入力情報列のビットと前記複数のレジスターのうち最後の位置のレジスターから出力されるビットとを順次的に加算して前記フィードバックビット列として生成してこの生成されたフィードバックビット列を前記加算器に提供し、また、前記入力情報列を前記送信のための情報列として出力し、

前記入力情報列の入力が完了した時には、あらかじめ設定された入力ビットを前記加算器に提供し、前記設定された入力ビットと前記最後の位置のレジスターから出力されるビットとを順次的に加算して誤り検出情報ビット列として出力し、また、前記誤り検出情報ビット列を前記送信のための情報列として出力する演算器と；

前記第 1 情報列及び前記第 2 情報列に対してそれぞれ定められるそれぞれ異なる初期値

50

の中から選択された一つの初期値を前記レジスターに提供する初期値制御器と；を含み、  
前記初期値制御器は、前記第 1 情報列及び前記第 2 情報列以外の情報列に対しては、前記第 1 情報列及び前記第 2 情報列に対してそれぞれ定められる初期値のうちいずれかと同一の初期値を前記レジスターに提供することを特徴とする送信情報列発生装置。

【請求項 9】

前記入力情報列は、パケットデータの制御情報列であることを特徴とする請求項 8 に記載の送信情報列発生装置。

【請求項 10】

前記第 1 情報列は 2 スロット長の制御情報列であり、前記第 2 情報列は 4 スロット長の制御情報列であることを特徴とする請求項 9 に記載の送信情報列発生装置。

10

【請求項 11】

前記演算器は、

前記入力情報列と前記設定された入力ビットのうちいずれかを選択的に出力するための第 1 スイッチと；

前記第 1 スイッチからの出力と前記最後の位置のレジスターから出力されるビットとを加算する出力加算器と；

前記出力加算器の出力と前記設定された入力ビットのうちいずれかを前記フィードバックビット列として選択的に前記加算器に提供するための第 2 スイッチと；

前記入力情報列と前記出力加算器からの出力ビット列のいずれかを選択的に前記送信のための情報列として出力するための第 3 スイッチと；を含むことを特徴とする請求項 8 に記載の送信情報列発生装置。

20

【請求項 12】

異なる長さを持つ少なくとも二つのデータ列をデータチャネルを介して送信でき、各データ列の長さと同じ長さを持ち、前記各データ情報を表す制御情報列と前記制御情報列の誤りを検出するための誤り検出情報ビット列とを含む制御データ列をデータ制御チャネルを介して送信する送信機と、前記送信機から前記データチャネルを介して送信されるデータ列と前記データ制御チャネルを介して送信される制御データ列を受信する受信機とを含む通信システムにおいて、前記データチャネルを介して送信されるデータ列の長さを検出するために前記受信された制御データ列の誤りを検出するための装置であって；

前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスターと；

30

前記レジスター間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；

前記受信された制御データ列に含まれた制御情報列が受信される間には前記制御情報列のビットと前記複数のレジスターのうち最後の位置のレジスターから出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、前記制御情報列の受信が完了した時にはあらかじめ設定された入力ビットと前記最後の位置のレジスターから出力されるビットとを順次的に加算して受信誤り検出情報ビット列として出力する演算器と、

前記少なくとも二つのデータ列に対してそれぞれ定められるそれぞれ異なる初期値の中から選択された一つの初期値を前記レジスターに提供する初期値制御器と；

40

前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列とを比較して誤り有無を判定する誤り判定部と；を含み、

前記初期値制御器は、前記少なくとも二つのデータ列以外のデータ列に対しては、前記少なくとも二つのデータ列に対してそれぞれ定められる初期値のうちいずれかと同一の初期値を前記レジスターに提供することを特徴とする誤り検査装置。

【請求項 13】

前記演算器は、

前記受信制御情報列と前記設定された入力ビットのいずれかを選択的に出力するための第 1 スイッチと；

50

前記第 1 スイッチからの出力と前記最後の位置のレジスターから出力されるビットとを加算する出力加算器と；

前記出力加算器の出力と前記設定された入力ビットのうち一つを前記フィードバックビット列として選択的に前記加算器に提供するための第 2 スイッチと；

前記受信制御情報列と前記出力加算器から出力される前記受信誤り検出情報ビット列のいずれかを選択的に出力するための第 3 スイッチと；を含むことを特徴とする請求項 1 2 に記載の誤り検査装置。

【請求項 1 4】

前記二つのデータ列のうち一つが、残る一つのデータ列の 2 倍のビット長を持つことを特徴とする請求項 1 2 に記載の誤り検査装置。

【請求項 1 5】

前記設定された入力ビットは“ 0 ”の値を持つことを特徴とする請求項 1 2 に記載の誤り検査装置。

【請求項 1 6】

第 1 長さを持つ第 1 情報列をあらかじめ設定された符号率で符号化して送信したり、前記第 1 長さの F 倍(ここで、F は 2 の倍数)である第 2 長さを持つ第 2 情報列を前記設定された符号率で符号化した後 F 倍繰り返して前記第 1 情報列あるいは前記第 2 情報列に誤り検出のための情報ビット列を付加させて送信のための情報列として送信する送信機と、前記送信機からの情報列を受信する受信機とを含む通信システムにおいて、前記受信情報列の誤りを検査するための装置であって；

前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスターと；

前記レジスター間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；

前記受信情報列が入力される間には、前記受信情報列のビットと前記複数のレジスターのうち最後の位置のレジスターから出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、

前記受信情報列の入力が完了した時には、あらかじめ設定された入力ビットを前記加算器に提供し、前記設定された入力ビットと前記最後の位置のレジスターから出力されるビットとを順次的に加算して受信誤り検出情報ビット列として出力する演算器と；

前記第 1 情報列及び前記第 2 情報列に対してそれぞれ定められるそれぞれ異なる初期値の中から選択された一つの初期値を前記レジスターに提供する初期値制御器と；

前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列とを比較して誤り有無を判定する誤り判定部と；を含み、

前記初期値制御器は、前記第 1 情報列及び前記第 2 情報列以外の情報列に対しては、前記第 1 情報列及び前記第 2 情報列に対してそれぞれ定められる初期値のうちいずれかと同一の初期値を前記レジスターに提供することを特徴とする誤り検査装置。

【請求項 1 7】

前記受信情報列は、パケットデータの制御情報列であることを特徴とする請求項 1 6 に記載の誤り検査装置。

【請求項 1 8】

前記第 1 情報列は 2 ビット長の制御情報列であり、前記第 2 情報列は 4 ビット長の制御情報列であることを特徴とする請求項 1 7 に記載の誤り検査装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パケットデータ転送のための通信システムに関し、特に、送信のための情報に誤り検出情報を付加させて送受信する装置及び方法に関する。

【背景技術】

10

20

30

40

50

## 【 0 0 0 2 】

典型的な移動通信システム、例えば、I S - 2 0 0 0のような符号分割多重接続(C D M A : Code Division Multiple Access)方式の移動通信システムでは、音声サービスだけを支援してきた。しかし、使用者要求の増大と技術の発展に伴って移動通信システムはデータサービスを支援する形態にも発展していきつつある。

## 【 0 0 0 3 】

音声及びデータサービスを含むマルチメディアサービスを支援する移動通信システムは、同一の周波数帯域を使用して複数の使用者に音声サービスを支援し、また、時分割(T D M : Time Division Multiplexing)方式または時分割/符号分割(T D M / C D M : Time Division Multiplexing/Code Division Multiplexing)方式によりデータサービスを支援する。前記T D M方式は、特定使用者に割り当てられた時間スロット(slot)内で一つの符号を割り当てる方式である。前記T D M / C D M方式は、複数の使用者が同時に一つの時間スロットを使用する方式である。この時、使用者の区分は各使用者に割り当てられた固有符号(例えば、ウォルッシュ符号のような直交符号)を通じてできる。

## 【 0 0 0 4 】

前記移動通信システムは、パケットデータ転送のためのパケットデータチャネル(P D C H : Packet Data Channel)と、パケットデータの効率的な転送のためのパケットデータ制御チャネル(P D C C H : Packet Data Control Channel)(例えば、Secondary Packet Data Control Channel)とを含む。前記パケットデータチャネルにはパケットデータが転送される。この時、無線(Air)上においてパケットデータの転送は物理階層パケット(P L P : Physical Layer Packet)単位になされ、前記物理階層パケットの長さは転送時ごとに可変される。前記パケットデータ制御チャネルには、受信機においてパケットデータを効率よく受信する上で必要な制御情報列が転送される。前記制御情報列の長さはパケットデータの長さによって変化する。したがって、受信機が制御情報列の長さを推定すれば可変するパケットデータの長さを判断できる。前記制御情報列の長さ推定は、“ B S D (Blind Slot Detection)”により行われる。

## 【 0 0 0 5 】

図1は、本発明が適用される移動通信システムのパケットデータ制御チャネル送信機の構成を示す図である。

図1を参照すれば、パケットデータ制御チャネルを介して転送される制御情報列であるパケットデータ制御チャネル入力シーケンス(Packet Data Control Channel Input Sequence)のビット数は、Nスロット当たり(ここで、Nは1、2又は4)13ビットであると仮定した。ここで、前記制御情報列のビット数は制御情報列の長さとは関係なく、13ビットに制限されるわけでもないという事実留意されたい。前記制御チャネルを介して転送される制御情報列の長さは、パケットデータの長さによって変わるようになる。例えば、パケットデータが1、2、4、8スロットのうち一つの長さを持つように転送されると、制御情報列は1、2、4スロットの長さのうち対応する一つの長さを持つように選択されて転送される。パケットデータの長さが1スロットなら1スロット長を持つ制御情報列が転送され、パケットデータの長さが2スロットなら2スロット長を持つ制御情報列が転送され、パケットデータの長さが4スロットなら4スロットの長さを持つ制御情報列が転送され、パケットデータの長さが8スロットなら4スロットの長さを持つ制御情報列が転送される。パケットデータの長さが8スロットの時4スロットの長さを持つ制御情報列が転送されるようにするのは、過度にプリンプルの長さが増加する非効率性を避けるためである。

## 【 0 0 0 6 】

前記制御チャネルを介して転送される制御情報列には誤り検出ビット付加部110により誤り検出ビットが付加される。前記誤り検出ビット付加部110は、前記制御情報列に対する転送誤りを受信側において感知できるようにするために前記制御情報列に誤り検出ビットが付加された情報を発生する。例えば、前記誤り検出ビット付加部110は、13ビットの制御情報列に8ビットの誤り検出ビットを付加して21ビットの制御データ列を

10

20

30

40

50

発生する。かかる誤り検出ビット付加部 110 の代表的な例には、CRC (Cyclic Redundancy Code) 発生器がある。この CRC 発生器は、入力される制御情報列を CRC を利用して符号化することによって前記制御情報列に CRC 情報が付加された制御データ列を発生する。前記 CRC により発生する付加ビット (Redundancy Bit) の数を大きくすると、転送誤りを検出する性能は増加するものの、転送される制御情報列に比べて相対的に多い量の付加ビットは、電力効率の劣化を招くことにつながる。したがって、前記誤り検出ビットには、通常、8 ビットの CRC ビットが使用される。

#### 【0007】

テールビット付加部 120 は、前記誤り検出ビット付加部 110 の出力制御データ列にテールビット (tail bits) を付加する。畳込み符号器 (Convolutional Encoder) 130 は、前記テールビット付加部 120 の出力を畳込み符号化し、符号化したシンボルを出力する。例えば、前記テールビット付加部 120 は、前記畳込み符号器 130 による畳込み符号化のために全て “0” で構成された 8 ビットのテールビットを付加することによって、29 ビットの情報を出力する。前記畳込み符号器 130 により 1 スロット長の制御情報列は 1/2 の符号率で畳込み符号化され、2 スロット長の制御情報列及び 4 スロット長の制御情報列は 1/4 の符号率で畳込み符号化される。1/4 の符号率で畳込み符号化された制御情報列のシンボル数は 1/2 の符号率で畳込み符号化された制御情報列のシンボルの数に比べて 2 倍となる。シンボル反復器 (Symbol Repeater) 140 は 4 スロット長の制御情報列に対して畳込み符号化されたシンボルを繰り返し出力することによって 4 スロット長の制御情報列に対して畳込み符号化されたシンボルの数が 2 スロット長の制御情報列に対して畳込み符号化されたシンボルの数より 2 倍になるようにする。その結果、前記シンボル反復器 140 を通過した後は  $58N$  ( $N = 1, 2$  又は  $4$ ) 個のシンボルが出力される。

#### 【0008】

せん孔器 (Puncturer: パンクチュア) 150 は、性能劣化を最小化し、適切な転送率に整合されるようにするために前記シンボル反復器 140 の出力シンボルの中で  $10N$  個のシンボルをせん孔 (puncturing: パンクチュアリング) する。これにより、前記せん孔器 150 からは  $48N$  ( $N = 1, 2$  又は  $4$ ) 個のシンボルが出力される。インターリーバ (Interleaver) 160 は、前記せん孔器 150 の出力シンボルをインターリーブする。このようにインターリーバ 160 を使用する理由は、畳込み符号化はバーストエラー (burst error) に弱く、このような弱点を解消する目的からシンボルの順序を混ぜ、バーストエラーの確率を減らすためである。前記インターリーバ 160 にはブロックインターリーバ (block interleaver) の一種であるビット逆変換インターリーバ (BRI: Bit Reverse Interleaver) が使用される。前記 BRI は、隣接する各シンボル同士間の間隔を最大限に離し、インターリーブの後、全体シンボル列の前半部は偶数番目のシンボルで構成し、後半部は奇数番目のシンボルで構成する。変調器 (Modulator) 170 は、前記インターリーバ 160 によりインターリーブされたシンボルを QPSK (Quadrature Phase Shift Keying) のような変調方式で変調し、転送のための変調シンボルを発生する。

#### 【0009】

図 2 は、図 1 に示した誤り検出ビット付加部 110 の従来の技術に係る構成を示す図である。この構成は、入力される制御情報列に CRC を使用して 8 ビットの付加ビットを付加する CRC 発生器に対する構成例を示している。

図 2 を参照すれば、前記誤り検出ビット付加部 110 は、複数のレジスタ 211 ~ 218 と、複数の加算器 221 ~ 224 と、スイッチ SW1 ~ SW3 と、出力加算器 225 と、レジスタ初期値制御器 230 と、を含む。前記レジスタ初期値制御器 230 は、1、2、4 スロット長のパケットデータが転送される場合には前記レジスタ 211 ~ 218 の値を “1” に初期化し、8 スロット長のパケットデータが転送される場合には前記レジスタ 211 ~ 218 の値を “0” に初期化する。この時、4 スロット長のパケットデータと 8 スロット長のパケットデータに対応する制御情報列の長さは 4 スロットと相互同一であるので、受信機において制御情報列の長さを推定するとしてもパケットデータの長さがわからない。したがって、4 スロット長のパケットデータに対応する制御情報列と

10

20

30

40

50

8 スロット長のパケットデータに対応する制御情報列に対する付加ビット(誤り検出ビット)を発生する時、前記レジスタ初期値制御器 2 3 0 は、前記レジスタ 2 1 1 ~ 2 1 8 の初期値を上述したように設定することによって、受信機において復号化を通じて 4 スロット長のパケットデータが転送されたか、8 スロット長のパケットデータが転送されたか確認できるようにする。これらのレジスタの値が初期化された後には入力される制御情報列の各ビットとそれらレジスタの値が右側にシフト(shift)されながら得られる値との間に加算器 2 2 5 による 2 進演算がなされ、その演算結果による値が出力制御データ列として転送される。この動作が行われる間、前記スイッチ S W 1 ~ S W 3 は上側に倒れている状態にある。前記制御情報列の全てのビット、すなわち 1 3 ビットの制御情報列に対して前記のような動作が行われた後、前記スイッチ S W 1 ~ S W 3 は上側から以前の下側に倒れ、これにより前記スイッチ S W 1 ~ S W 3 には " 0 " が入力される。その後、付加ビットの数に該当する 8 回のレジスタ値のシフトを通じて 8 ビットの付加ビットが付加される。

10

#### 【 0 0 1 0 】

図 3 は、従来の技術に係るパケットデータ制御チャネル受信機の構成を示す図であり、図 4 は、図 3 に示した受信機により制御情報列を検出するとき各受信方式によって使用されるスロットの長さや位置を示す図である。特に、図 3 は、パケットデータ制御チャネルを介して転送された制御情報列を B S D により検出することによってパケットデータの長さを検出できるようにする受信機の構成を示している。また、この受信機は、パケットデータ制御チャネル送信機の誤り検出ビット付加部として C R C 発生器が適用された例に対する構成であって、送信機の C R C 発生器に対応する C R C 検査器が備えられている。

20

#### 【 0 0 1 1 】

図 3 を参照すれば、受信機にはパケットデータの長さを検出するための 4 種類の受信処理ブロック 3 1 0 ~ 3 4 0 が備えられる。受信処理ブロック 3 1 0 は、1 スロット長のパケットデータに対応する 1 スロット長の制御情報列を処理するためのブロックであり、受信処理ブロック 3 2 0 は 2 スロット長のパケットデータに対応する 2 スロット長の制御情報列を処理するためのブロックであり、受信処理ブロック 3 3 0 は 4 スロット長のパケットデータに対応する 4 スロット長の制御情報列を処理するためのブロックであり、受信処理ブロック 3 4 0 は 8 スロット長のパケットデータに対応する 4 スロット長の制御情報列を処理するためのブロックである。

30

#### 【 0 0 1 2 】

前記受信処理ブロック 3 1 0 ~ 3 4 0 ではそれぞれデインターリーバ(deinterleaver) 3 1 2、3 2 2、3 3 2、3 4 2 によりスロット長だけのデインターリービング(deinterleaving)動作が行われ、逆せん孔器(depuncturer: デパンクチュア) 3 1 4、3 2 4、3 3 4、3 4 4 により各スロット長に応じた逆せん孔(depuncturing)動作が行われる。4 スロット長の制御情報列に対応する前記受信処理ブロック 3 3 0、3 4 0 では、図 1 に示したシンボル反復器 1 4 0 の逆過程に該当する隣接した 2 個のシンボルに対するシンボル結合(symbol combining)動作がシンボル結合器(symbol combiner) 3 3 5、3 4 5 により行われる。前記受信処理ブロック 3 1 0、3 2 0 で逆せん孔動作が行われた後、そして前記受信処理ブロック 3 3 0、3 4 0 でシンボル結合動作が行われた後、前記受信処理ブロック 3 1 0 ~ 3 4 0 ではそれぞれ畳込み復号器(convolutional decoder) 3 1 6、3 2 6、3 3 6、3 4 6 により畳込み復号化動作が行われる。1 スロット長の制御情報列に対応する畳込み復号器 3 1 6 は、逆せん孔器 3 1 4 の出力を符号率 1 / 2 で畳込み復号化する。2 スロット長の制御情報列に対応する畳込み復号器 3 2 6 は、逆せん孔器 3 2 4 の出力を符号率 1 / 4 で畳込み復号化する。これと同様に、4 スロット長の制御情報列に対応する畳込み復号器 3 3 6、3 4 6 はそれぞれ、シンボル結合器 3 3 5、3 4 5 の出力を符号率 1 / 4 で畳込み復号化する。前記受信処理ブロック 3 1 0 ~ 3 4 0 それぞれの最後の段には C R C 検査器(checker) 3 1 8、3 2 8、3 3 8、3 4 8 が備えられる。前記 C R C 検査器 3 1 8、3 2 8、3 3 8、3 4 8 はそれぞれ対応する畳込み復号器 3 1 6、3 2 6、3 3 6、3 4 6 により畳込み復号化されたシンボルについて C R C 検査動作を行う。前記

40

50

CRC 検査器 318、328、338、348 による CRC 検査動作により送信側から送信された制御情報列に対する誤りの存在有無が検出される。前記 CRC 検査器 318、328、338、348 による CRC 検査動作時、各検査器は、既に図 2 において説明したように、あらかじめ決定された初期値(“1”または“0”)を使用する。すなわち、CRC 検査器 318 は復号器レジスタの初期値として“1”を設定して誤り有無を検出し、CRC 検査器 328 は、復号器レジスタの初期値として“1”を設定して誤り有無を検出し、CRC 検査器 338 は、復号器レジスタの初期値として“1”を設定して誤り有無を検出し、CRC 検査器 348 は復号器レジスタの初期値として“0”を設定して誤り有無を検出する。パケット長検出器 350 は、前記受信処理ブロック 310 ~ 340 それぞれによる受信処理結果を入力してパケットデータの長さを検出する。ここで、前記 4 個の受信処理ブロック 310 ~ 340 は物理的に異なる受信処理ブロックで構成してもよく、一つの受信処理ブロックに受信パラメタを異ならせて適用することによって構成してもいい。

10

#### 【0013】

図 3 に示す受信機において、CRC 復号化の結果、3つの受信処理ブロックで誤りがあり、1つの受信処理ブロックで誤りがなければ、誤りがない受信処理ブロックに対応する長さだけのパケットデータが転送されたと判断する。しかし、2つの以上の受信処理ブロックで誤りがないと報告されたり、全ての受信処理ブロックで誤りがあるなら、どのような種類の制御情報列が転送されたかわからず、その結果、パケットデータの受信にも失敗してしまう。

20

#### 【0014】

前述のように BSD を利用して制御情報列を検出する受信機では、2スロット制御情報列と 4スロットパケットデータに該当する 4スロット制御情報列を検出する過程において次のような問題点がある。

#### 【0015】

再び図 1 を参照すれば、2スロット制御情報列と 4スロットパケットデータに該当する 4スロット制御情報列は同一の CRC レジスタ初期値を持ち、符号率 1/4 の畳込み符号により符号化される。次いで、前記 4スロット制御情報列はシンボル反復器を通りながらシンボルの数が 2倍と増加するに対し、2スロット制御情報列に対してはシンボル繰り返しがない。その後、前記 2スロット制御情報列の符号化されたシンボル列と前記 4スロット制御情報フレームの符号化されたシンボル列はせん孔及びインターリーブされる。

30

#### 【0016】

前記 4スロット制御情報列が BRI インターリーブされる時、前記 2スロット制御情報列と前記 4スロット制御情報列のせん孔パターンが異なっているにもかかわらず、シンボル繰り返された情報の相当部分が前半部 2個のスロット部分と後半部 2個のスロット部分に分けられて挿入される。したがって、前記 4スロット制御情報列が転送された時、これを図 3 に示した 2スロット制御情報列のための受信処理ブロック 320 により受信すると、前記 4スロット制御情報列が成功的に受信され、したがって、CRC 復号化のさい誤りがないものと判断される。例えば、前記 4スロット制御情報列が転送された時、2スロット制御情報列のための受信処理ブロック 320 と 4スロット制御情報列のための受信処理ブロック 330 の畳込み復号器 326、336 は、実験から得られた下記の<表 1>の下部 SPDCCH(CRC)4(1)から分かるように、CRC 成功(success)の 2(1)、4(1)とも同一の数(10000)の復号化シンボル、すなわち同一の CRC 復号結果を発生する。これにより、CRC 復号のさい誤りがないと判断され、結果としてパケットデータの長さがわからないという問題点が生じる。

40

#### 【0017】

前記 2スロット制御情報列が転送された時にも同じ問題が生じる。前記 2スロット制御情報列が転送された時、4スロット制御情報列のための受信処理ブロック 330 には前記 2スロット制御情報列の情報に以前の 2スロットの任意の情報や雑音が結合されて受信さ

50



れる。この時、前記2スロット制御情報列に対するインターリッピングパターンとせん孔パターンが前記4スロット制御情報列に対するインターリッピングパターンとせん孔パターンと相互似ているので、前記2スロット制御情報列に対するCRC復号化を前記4スロット制御情報列のための受信処理ブロック330により行う場合にも誤りがないと判断される。例えば、前記2スロット制御情報列が転送された時、4スロット制御情報列のための受信処理ブロック320と4スロット制御情報列のための受信処理ブロック330の畳込み復号器326、336は実験から得られた下記の<表1>の下部SPDCCH(CRC)2(1)から分かるように、CRC成功(success)の2(1)、4(1)がほぼ同じ数(10000、7902)の復号化シンボル、すなわち同一のCRC復号結果を発生する。これにより、CRC復号の時誤りがないと判断され、そり結果、パケットデータの長さがわからないという問題点がある。

10

【0018】

また、前記畳込み復号器326、336の出力が同一であることから、受信された制御情報列の情報ビット(例えば、どの使用者に転送された制御情報列であるかを表す情報ビットまたは再転送に関連した情報ビットなど)もまた、2スロット制御情報列に対する受信処理ブロック320と4スロット制御情報列に対する受信処理ブロック330で同一に受信される。したがって、制御情報列内の情報ビットを利用するとしても制御情報列のスロット長が区別付かず、その結果、パケットデータの長さも判断できないという問題点の実験から見出された。

【0019】

20

上記の問題点を下記の<表1>に示す。下記の<表1>は、1(1)、2(1)、4(1)、4(0)スロット長の制御情報列を雑音がない状態でそれぞれ10,000回転送した結果であって、コンピュータ模擬実験(simulation)から得られる。ここで、前記括弧内の“1”と“0”はCRC発生器の全てのレジスターを“1”または“0”に初期化する値である。前記コンピュータ模擬実験から得られる結果には、成功的な検出確率(Pd)、該当スロット長でないのを該当スロット長として認識する誤報確率(false probability)(Pfa)、該当スロット長であるのを該当スロット長でないと判断するミス確率(mis-probability)(Pm)、そして誤報確率(Pfa)とミス確率(Pm)との和である誤り確率(Pe)がある。下記の<表1>から、2(1)スロットと4(1)スロットの制御情報フレーム検出に対する誤り確率(Pe)が異常に大きいことがわかる。

30

【0020】

【表1】

| SPDCCH (CRC) | Pd        | Pfa       | Pm        | Pe        |
|--------------|-----------|-----------|-----------|-----------|
| 1 (1)        | 9.881e-01 | 0.000e+00 | 1.190e-02 | 1.190e-02 |
| 2 (1)        | 2.081e-01 | 0.000e+00 | 7.919e-01 | 7.919e-01 |
| 4 (1)        | 0.000e+00 | 0.000e+00 | 1.000e+00 | 1.000e+00 |
| 4 (0)        | 9.963e-01 | 0.000e+00 | 3.700e-03 | 3.700e-03 |

40

| SPDCCH (CRC) | CRC success |       |       |       | Decoded to other CRC symbols |       |       |       |
|--------------|-------------|-------|-------|-------|------------------------------|-------|-------|-------|
|              | 1 (1)       | 2 (1) | 4 (1) | 4 (0) | 1 (1)                        | 2 (1) | 4 (1) | 4 (0) |
| 1 (1)        | 10000       | 40    | 43    | 38    | 0                            | 40    | 43    | 38    |
| 2 (1)        | 34          | 10000 | 7902  | 5     | 34                           | 0     | 7     | 5     |
| 4 (1)        | 47          | 10000 | 10000 | 0     | 47                           | 0     | 0     | 0     |
| 4 (0)        | 37          | 0     | 0     | 10000 | 37                           | 0     | 0     | 0     |

【発明の開示】

50

**【発明が解決しようとする課題】****【0021】**

したがって、本発明は、上記の問題点に鑑みてなされたものであり、その第1の目的は、通信システムにおいて送信のための情報に誤り検出情報を付加させる装置及び方法を提供することにある。

**【0022】**

本発明の第2の目的は、通信システムにおいて、相異なる長さを持つ送信のための情報に対応する誤り検出情報を付加させる装置及び方法を提供することにある。

**【0023】**

本発明の第3の目的は、パケットデータの転送のための通信システムにおいて、前記パケットデータの制御情報に誤り検出情報を付加させる装置及び方法を提供することにある。

**【0024】**

本発明の第4の目的は、パケットデータの転送のための通信システムの受信機で前記パケットデータの制御情報を受信して判別する装置及び方法を提供することにある。

**【0025】**

本発明の第5の目的は、パケットデータの転送のための移動通信システムにおいてパケットデータ制御チャネルを介して送信される制御情報フレームの長さをBSD (Blind Slot Detection)を利用して推定する時、効率よく推定できるように設計された制御情報フレーム送受信装置及び方法を提供することにある。

**【課題を解決するための手段】****【0026】**

上記の目的を達成するために、本発明の第1側面によれば、異なる長さを持つ少なくとも二つのデータ列をデータチャネルを介して送信でき、各データ列の長さと同じ長さを持ち、前記各データ列のデータ転送率とデータ転送構造を表す制御情報列と前記制御情報列の誤りを検出するための誤り検出情報ビット列とを含む制御データ列をデータ制御チャネルを介して送信する通信システムにおいて、前記少なくとも二つのデータ列が異なる長さで送信されているか区別するための前記誤り検出情報ビット列発生装置が提案される。

**【0027】**

前記誤り検出情報ビット列発生装置は、前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスターと；これら前記レジスター間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；前記制御情報列が入力される間には前記制御情報列のビットと前記複数のレジスターのうち最後の位置のレジスターから出力されるビットを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、前記制御情報列の入力が完了した時にはあらかじめ設定された入力ビットと前記最後の位置のレジスターから出力されるビットを順次的に加算して前記誤り検出情報ビット列として出力する演算器と；前記少なくとも二つのデータ列に対してそれぞれ定められる初期値の中から選択された一つの初期値を前記レジスターに提供する初期値制御器と；を含む。

**【0028】**

本発明の第2側面によれば、第1長さを持つ第1情報列をあらかじめ設定された符号率で符号化して送信したり、前記第1長さのF倍(ここで、Fは2の倍数)である第2長さを持つ第2情報列を前記設定された符号率で符号化した後F倍繰り返して送信する通信システムにおいて、前記第1情報列あるいは前記第2情報列の入力情報列に誤り検出のための情報ビット列を付加させて送信のための情報列を発生するための装置が提案される。

**【0029】**

前記送信情報列発生装置は、前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスターと；これらレジスター間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット

10

20

30

40

50

列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；前記入力情報列が入力される間には、前記入力情報列のビットと前記複数のレジスタのうち最後の位置のレジスタから出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、また、前記入力情報列を前記送信のための情報列として出力し、前記入力情報列の入力が完了した時には、あらかじめ設定された入力ビットを前記加算器に提供し、前記設定された入力ビットと前記最後の位置のレジスタから出力されるビットとを順次的に加算して誤り検出情報ビット列として出力し、また、前記誤り検出情報ビット列を前記送信のための情報列として出力する演算器と；前記第1情報列及び前記第2情報列に対してそれぞれ定められる初期値の中から選択された一つの初期値を前記レジスタに提供する初期値制御器と；を含む。

#### 【0030】

本発明の第3側面によれば、異なる長さを持つ少なくとも二つのデータ列をデータチャネルを介して送信でき、各データ列の長さと同じ長さを持ち、前記各データ列のデータ転送率とデータ転送構造を表す制御情報列と前記制御情報列の誤りを検出するための誤り検出情報ビット列とを含む制御データ列をデータ制御チャネルを介して送信する送信機と、前記送信機から前記データチャネルを介して送信されるデータ列と前記データ制御チャネルを介して送信される制御データ列を受信する受信機とを含む通信システムにおいて、前記データチャネルを介して送信されるデータ列の長さを検出するために前記受信された制御データ列の誤りを検査するための装置が提案される。

#### 【0031】

前記誤り検査装置は、前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスタと；前記レジスタ間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；前記受信された制御データ列に含まれた制御情報列が受信される間には前記制御情報列のビットと前記複数のレジスタのうち最後の位置のレジスタから出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、前記制御情報列の受信が完了した時にはあらかじめ設定された入力ビットと前記最後の位置のレジスタから出力されるビットとを順次的に加算して受信誤り検出情報ビット列として出力する演算器と；前記少なくとも二つのデータ列に対してそれぞれ定められる初期値の中から選択された一つの初期値を前記レジスタに提供する初期値制御器と；前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列とを比較して誤り有無を判定する誤り判定部と；を含む。

#### 【0032】

本発明の第4側面によれば、第1長さを持つ第1情報列をあらかじめ設定された符号率で符号化して送信したり、前記第1長さのF倍(ここで、Fは2の倍数)である第2長さを持つ第2情報列を前記設定された符号率で符号化した後F倍繰り返して前記第1情報列あるいは前記第2情報列に誤り検出のための情報ビット列を付加させて送信のための情報列として送信する送信機と、前記送信機からの情報列を受信する受信機とを含む通信システムにおいて、前記受信情報列の誤りを検査するための装置が提案される。

#### 【0033】

前記誤り検査装置は、前記誤り検出情報ビット列の数に対応し、互いに直列接続される複数のレジスタと；これらレジスタ間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置し、各加算器が入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する複数の加算器と；前記受信情報列が入力される間には、前記受信情報列のビットと前記複数のレジスタのうち最後の位置のレジスタから出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器に提供し、前記受信情報列の入力が完了した時には、あらかじめ設定された入力ビットを前記加算器に提

供し、前記設定された入力ビットと前記最後の位置のレジスターから出力されるビットとを順次的に加算して受信誤り検出情報ビット列として出力する演算器と；前記第1情報列及び前記第2情報列に対してそれぞれ定められる初期値の中から選択された一つの初期値を前記レジスターに提供する初期値制御器と；前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列とを比較して誤り有無を判定する誤り判定部と；を含む。

【発明の効果】

【0034】

上述の如く、本発明は、パケットデータの転送のための移動通信システムのパケットデータ制御チャネル上の信号送受信において同じ長さの制御情報フレームだけでなく、異なる長さの制御情報フレームにも異なるCRC発生器レジスター初期値を設定することによって、BSD(Blind Slot Detection)を利用した制御情報フレーム受信に際して誤りが発生する問題を解決できる利点がある。

10

【発明を実施するための最良の形態】

【0035】

以下、本発明の好ましい実施例を添付図面を参照しつつ詳細に説明する。図面中、同一の構成要素には可能な限り同一の参照符号と番号を共通使用し、周知技術については適宜説明を省略するものとする。

下記では、異なる長さを持つ少なくとも二つのパケットデータ列の転送のための移動通信システムにおいて、前記パケットデータ列の制御のための制御データを送受信する本発明の実施例に係るパケットデータ制御チャネル送信機及び受信機が説明される。ここで、前記制御データは、転送されるパケットデータの転送率とデータ転送構造(例えば、パケットデータの長さ)を表す制御情報列(例えば、プリアンプル(preamble))を含むものとして説明され、パケットデータ制御チャネルは、SPDCH(Secondary Packet Data Control Channel)として説明される。本発明の実施例に係る送信機は、前記制御データが転送されて受信機において正常に受信されたか否かを検出できるようにするために前記制御情報列に誤り検出のための情報ビット列を付加させる誤り検出情報付加装置を含む。この誤り検出情報付加装置の代表的な例として本発明の実施例では巡回冗長コード(CRC:Cyclic Redundancy Code)発生器が説明される。本発明の実施例に係る受信機は、送信機から転送された制御データを受信してパケットデータの長さを判断できるようにするためのBSD(Blind Slot Detection)方式による受信機である。下記で説明される本発明の実施例に係る送信機及び受信機は、移動通信システムだけでなく、データ列を転送し、また、このようなデータ列の効率的な転送のために転送されるデータの転送率とデータ転送構造を表す制御情報列と前記制御情報列の誤りを検出するための誤り検出情報ビット列とを含む制御データ列を転送する通信システムにおいても同一に適用され得るという事実に留意されたい。

20

30

【0036】

本発明の好ましい実施例では、前述のような従来技術に係るパケットデータ制御チャネルの構造的問題によって異なる長さの制御情報列(あるいは、制御情報フレーム)を判別するためにBSDを利用して制御情報フレームを受信した時に発生する誤りを解決するための改善された付加情報(CRC)発生器及びBSD受信機が説明される。本発明の実施例によれば、同一の長さの制御情報フレームだけでなく、異なる長さの制御情報フレームにも異なるCRC発生器のレジスター初期値を設定することによって、BSDを利用した制御情報フレーム受信時に誤りが発生する問題を解決することを特徴とする。すなわち、図3のように、異なる長さの制御情報フレームのための受信処理ブロックにおいて畳込み復号器出力が同じくなくてもCRC発生器のレジスター初期値を異ならせて設定することによって一つの受信処理ブロックでのみCRC復号器に誤りがないものと判断されるようにし、制御情報フレームの長さを区別できるようにする。

40

【0037】

下記で使用される用語“制御情報フレーム”は、請求範囲における“制御情報列”を意

50

味し、“誤り検出ビット”は請求範囲における“誤り検出情報ビット列”を意味し、“制御情報”は請求範囲における“制御データ列”を意味し、“パケットデータ”は請求範囲における“データ列”を意味する。

【0038】

図5は、本発明の実施例に係る誤り検出情報付加装置の構成を示す図である。この誤り検出情報付加装置は、図1の誤り検出ビット付加部110を構成し、図2に示した装置(CRC発生器)に取って代わる。図2に示したCRC発生器は、制御情報フレームの長さが同一の場合に限り4スロットパケットデータのための4スロット制御情報フレームと8スロットパケットデータのための4スロット制御情報フレームの場合のようにCRC発生器のレジスタ初期値を異ならせて設定する。しかし、本発明のCRC発生器は、制御情報フレームの長さに関らず異なる長さのパケットデータを支援する制御チャネル制御情報フレームに対して異なるレジスタ初期値を設定する。例えば、8ビットの誤り検出ビットを制御情報フレームに付加する場合、CRC発生器を構成する8個のレジスタにそれぞれ“1”や“0”を任意に設定する。これを十進水で表示すると前記8個のレジスタには $0 \sim 255 (2^8 - 1)$ の範囲内の値が初期値として設定される。すなわち、CRC発生器を構成するレジスタの数(誤り検出のための付加情報のビット数)を $m$ とする時、前記CRC発生器のレジスタそれぞれには $0 \sim (2^m - 1)$ に該当する十進数値の範囲内で初期値が設定されることができ。例えば、1スロットパケットデータのための1スロット制御情報フレーム、2スロットパケットデータのための2スロット制御情報フレーム、4スロットパケットデータのための4スロット制御情報フレーム、8スロットパケットデータの4スロット制御情報フレームをそれぞれ転送する際に使用されるCRC発生器のレジスタの初期値 $N1$ 、 $N2$ 、 $N3$ 、 $N4$ は、 $0 \sim 255$ 範囲内の任意の値と設定されることができ。この時、 $N1$ 、 $N2$ 、 $N3$ 、 $N4$ を異なる値に設定してもよく、 $N1$ を $N2$ 、 $N3$ または $N4$ と同一に設定してもいい。なぜなら、従来の技術に係るCRC発生器において問題とされてきた $N2$ と $N3$ だけを異なる値を持つように設定すればいいためである。もちろん、前記 $N1 \sim N4$ の値は固定された値に指定して使用してもいい。

【0039】

図5を参照すれば、本発明の実施例に係る誤り検出情報付加装置は、複数のレジスタ211~218と、複数の加算器221~224と、スイッチSW1~SW3と、出力加算器225と、初期値制御器400とを含む。前記初期値制御器400は、1スロット長のパケットデータが転送される場合には前記レジスタ211~218の値を $N1$ に初期化し、2スロット長のパケットデータが転送される場合には前記レジスタ211~218の値を $N2$ に初期化し、4スロット長のパケットデータが転送される場合には前記レジスタ211~218の値を $N3$ に初期化し、8スロット長のパケットデータが転送される場合には前記レジスタ211~218の値を $N4$ に初期化する。

【0040】

前記レジスタ211~218の値が初期化された後には、入力される制御情報の各ビットと前記レジスタ211~218の値が右側にシフト(shift)されながら最終的に最後の段のレジスタ218から得られる値の間に出力加算器225による2進演算(あるいは、排他的論理和演算、モジュロ2演算)がなされ、その演算結果による値がフィードバックビット列として生成される。この生成されたフィードバックビット列は、前記レジスタ211~218のうち初期のレジスタ211の入力と前記加算器221~224のうちいずれかの入力として提供される。このような動作の間、前記スイッチSW1~SW3は上側に倒れている状態である。前記制御情報の全てのビット、すなわち13ビットの制御情報について前記のような動作が行われた後、前記スイッチSW1~SW3は上側から再び下側に倒れるように切り替えられ、これにより、前記スイッチSW1~SW3には“0”が入力される。その後、付加ビットの数である8回のレジスタ値のシフトを通じて8ビットの付加ビットが付加される。

【0041】

10

20

30

40

50

このような本発明の実施例に係る誤り検出情報付加装置は、従来の技術に係るCRC発生器が持つ問題点を解決するために案出されたものである。すなわち、2スロット長のパケットデータが転送されるのを表す2スロット長の制御情報フレームを転送する場合と、4スロット長のパケットデータが転送されるのを表す4スロット長の制御情報フレームを転送する場合にも受信機で正常的な誤り検出により制御情報フレーム及び転送されたパケットデータの長さを検出できるようにすることを特徴とする。したがって、前記誤り検出情報付加装置を図1及び図5を参照して説明すれば、下記のとおりになる。

#### 【0042】

本発明の実施例に係る誤り検出情報付加装置は、第1長さを持つ第1情報(例えば、2スロット長のパケットデータ)をあらかじめ設定された符号率で符号化(例えば、符号率1/4で畳込み符号化)して送信するか、前記第1長さのF倍の第2長さを持つ第2情報(例えば、4スロット長のパケットデータ)を前記設定された符号率で符号化した後、F倍繰り返して送信する通信システムにおいて、送信のための前記第1情報または前記第2情報に誤り検出のための情報を付加させて送信する。この誤り検出情報付加装置は、初期値制御器400と、誤り検出情報発生器とを含む。前記誤り検出情報発生器は、複数のレジスター211~218と、複数の加算器221~224と、第1スイッチSW1、第2スイッチSW2、第3スイッチSW3、出力加算器225とから構成される。

#### 【0043】

前記初期値制御器400は、転送のためのパケットデータの長さに対する情報(N slots)を受信し、転送のためのパケットデータの長さに対する情報に基づいて適切な初期値を前記複数のレジスター211~218に提供する。例えば、前記初期値制御器400は、前記第1情報の送信時には第1初期値を提供し、前記第2情報の送信時には前記第1初期値と異なる第2初期値を提供する。前記第1初期値及び前記第2初期値は、前記誤り検出情報のビット数に対応する値の範囲内で決定される。前記誤り検出情報のビット数がmの時、前記第1初期値及び前記第2初期値は $(2^m - 1)$ の範囲内で異なる値に決定される。

#### 【0044】

前記誤り検出情報発生器は、前記誤り検出情報のビット数に対応する互いに直列接続された複数のレジスター211~218を含む。前記誤り検出情報発生器は、前記第1情報または前記第2情報の送信情報を送信するに先立って、前記初期値制御器400から提供される該当初期値に前記レジスター211~218を初期化させる。また前記誤り検出情報発生器は前記送信情報を送信するとき前記レジスター211~218を順次的にシフトさせる。この時、順次的にシフトされて前記レジスター211~218の最後のレジスター218から出力されるビットは、前記送信情報のビットと共に出力加算器225により加算される。この出力加算器225により加算されてから出力されるビットは、第2スイッチSW2を通じてフィードバックビット列として前記レジスター211~218の初期レジスター211と前記加算器221~224に入力される。また、前記誤り検出情報発生器は、前記送信情報の送信が完了した時前記レジスター211~218を順次的にシフトさせる。この時、前記レジスター211~218の最後のレジスター218から出力される値は、第3スイッチSW3を通じて前記送信情報に付加させるための前記誤り検出情報として発生される。

#### 【0045】

前記レジスター211~218はそれぞれ、信号入力端と、信号出力端と、前記初期値制御器400からの初期値を受信できるように接続される初期値入力端とを備えた初期レジスター211と、前記最後のレジスター218と、中間レジスター212~217とから構成される。この時、前記初期レジスター211、前記中間レジスター212~217及び前記最後のレジスター218は入力経路及び出力経路を通じて互いに直列接続される構造を持つ。この時、前記レジスター211~218の経路のうちあらかじめ定められた位置の経路上には該当するレジスター(211、213、214、217)の出力値と出力加算器225からの出力値またはあらかじめ設定された値("0")とを加算して前記該当するレジスターに隣接するレジスター(212、214、215、218)の信号入力端に

10

20

30

40

50

印加する加算器 2 2 1 ~ 2 2 4 が備えられる。これらの加算器 2 2 1 ~ 2 2 4 の位置は C R C (Cyclic Redundancy Check) 情報生成のためのあらかじめ与えられた生成多項式を満足させるように決定される。ここでは C R C 情報が 8 ビットであり、生成多項式  $g(x) = x^8 + x^7 + x^4 + x^3 + x + 1$  の場合を示している。

【 0 0 4 6 】

前記誤り検出情報発生器の出力加算器 2 2 5 は、前記送信情報の送信時には前記送信情報の各ビットと前記最後のレジスタ 2 1 8 の出力値とを加算してフィードバックビット列として前記初期レジスタ 2 1 1 の信号入力端及び前記加算器 2 2 1 ~ 2 2 4 の入力端に印加する。前記出力加算器 2 2 5 は前記送信情報の送信が完了した時には前記最後のレジスタ 2 1 8 の出力値をあらかじめ設定された値 (“ 0 ”) と加算して前記誤り検出情報として出力する。このような動作のために前記スイッチ S W 1 ~ S W 3 が備えられる。

10

【 0 0 4 7 】

第 1 スwitch S W 1 は、前記送信情報を入力するための第 1 入力端子と、前記設定された値を入力するための第 2 入力端子と、前記出力加算器 2 2 5 の第 1 入力端子に接続される出力端子とを備え、前記第 1 入力端子から入力される前記送信情報と前記第 2 入力端子から入力される前記設定された値を前記出力端子を通じて選択的に出力する。第 2 スwitch S W 2 は、前記出力加算器 2 2 5 の出力端に接続される第 1 入力端子と、前記設定された値を入力するための第 2 入力端子と、前記初期レジスタ 2 1 1 の信号入力端に接続される出力端子とを備え、前記第 1 入力端子から入力される前記出力加算器 2 2 5 の出力と前記第 2 入力端子から入力される前記設定された値を前記出力端子を通じて選択的に出力する。第 3 スwitch S W 3 は、前記第 1 スwitch の前記出力端子に接続される第 1 入力端子と、前記出力加算器 2 2 5 の出力端に接続される第 2 入力端子と、前記送信情報及び前記誤り検出情報を出力するための出力端子とを備え、前記第 1 入力端子から入力される前記送信情報または前記設定された値と前記第 2 入力端子から入力される前記出力加算器 2 2 5 の出力を選択的に出力する。

20

【 0 0 4 8 】

前記出力加算器 2 2 5 と前記スイッチ S W 1 ~ S W 3 は、下記のような動作を行う演算器として動作する。前記演算器は、入力情報の列が入力される間には前記入力情報列のビットと前記最後のレジスタ 2 1 8 から出力されるビットとを前記出力加算器 2 2 5 により順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記加算器 2 2 1 ~ 2 2 4 と前記初期レジスタ 2 1 1 に提供し、また、前記入力情報列を前記第 3 スwitch S W 3 を通じて送信のための情報列として出力する。また、前記演算器は、前記入力情報列の入力が完了した時にはあらかじめ設定された入力ビットである “ 0 ” のビットと前記最後のレジスタ 2 1 8 から出力されるビットとを前記出力加算器 2 2 5 により順次的に加算し、前記出力加算器 2 2 5 による加算結果を前記第 3 スwitch S W 3 を通じて誤り検出情報ビット列として出力する。

30

【 0 0 4 9 】

図 6 は、本発明の実施例に係るパケットデータ制御チャネル受信機の構成を示す図である。この受信機は、図 3 に示した B S D 受信機と略同一の構造を有するが、C R C 発生器レジスタ初期値を C R C 検査器に設定する点において違いがある。すなわち、本発明の実施例に係る受信機は、4 種類の受信処理ブロックにおいて C R C 検査を行うさい異なる値の C R C 発生器レジスタ初期値を使用することに特徴がある。このような受信機は B S D 方式によるものである。ここで、B S D とは、送信機から送信されたパケットデータに対する制御情報フレームが受信される時、この受信された制御情報フレームをスロット単位に推定することによって送信されたパケットデータの長さを検出できるようにする技術のことをいう。例えば、図 4 に示すように、( k + 3 ) 番目のスロットでは 1 スロット制御情報フレームが受信されたか検出する。( k + 2 ) 番目のスロットでは以前の ( k + 3 ) 番目のスロットから連続して 2 スロット制御情報フレームが受信されたか検出する。( k ) 番目のスロットでは以前の ( k + 3 ) 番目のスロット、( k + 2 ) 番目のスロット及び ( k + 1 ) 番目のスロットから連続して 4 スロットパケットデータに対する 4 スロット制御情報フレ

40

50

ームまたは8スロットパケットデータに対する4スロット制御情報フレームが受信されたか検出する。このような制御情報フレームの検出動作の間に誤り検出情報(CRC情報)検査が行われ、この時、各制御情報フレームに対するCRC検査に使用される初期値は、図5において既に説明したようにN1、N2、N3、N4となる。

#### 【0050】

図6を参照すれば、受信機は送信機から転送されたパケットデータの長さを検出するために4種類の受信処理ブロック510~540を含む。前記受信処理ブロック510~540は受信信号を入力した後CRCを利用して誤り存在有無を検出することによってパケットデータの長さを検出する。ここで、受信信号は復調されたソフト決定値(demodulated soft decision value)であって、送信機により転送可能なパケットデータの情報ビットによって定められる長さを持つ制御情報フレームである。この時、前記情報ビットの例には、SPDCH上の13ビット情報である6ビットのMAC(Medium Access Control)識別字(ID: Identifier)、2ビットARQ(Automatic Response Request)チャネルID、3ビットの符号化パケット大きさ(Encoder Packet Size)、2ビットサブパケット(Sub-packet)IDがある。前記受信処理ブロック510は、1スロット長のパケットデータに対応する1スロット長の制御情報フレームを処理するためのブロックであり、前記受信処理ブロック520は、2スロット長のパケットデータに対応する2スロット長の制御情報フレームを処理するためのブロックであり、前記受信処理ブロック530は4スロット長のパケットデータに対応する4スロット長の制御情報フレームを処理するためのブロックであり、前記受信処理ブロック540は8スロット長のパケットデータに対応する4スロット長の制御情報フレームを処理するためのブロックである。前記受信処理ブロック510~540ではそれぞれデインターリーバ(deinterleaver)312、322、332、342によりスロット長だけのデインターリービング(deinterleaving)動作が行われ、逆せん孔器(depuncturer)314、324、334、344により各スロット長に応じた逆せん孔(depuncturing)動作が行われる。4スロット長の制御情報フレームに対応する前記受信処理ブロック530、540では、図1に示したシンボル反復器140の逆過程に該当する隣接した2個のシンボルに対するシンボル結合(symbol combining)動作がシンボル結合器(symbol combiner)335、345により行われる。前記受信処理ブロック510、520で逆せん孔動作が行われた後、そして前記受信処理ブロック530、540でシンボル結合動作が行われた後に前記受信処理ブロック510~540ではそれぞれ畳込み復号器(convolutional decoder)316、326、336、346により畳込み復号化動作が行われる。1スロット長の制御情報フレームに対応する畳込み復号器316は、逆せん孔器314の出力を符号率1/2で畳込み復号化する。2スロット長の制御情報フレームに対応する畳込み復号器326は、逆せん孔器324の出力を符号率1/4で畳込み復号化する。これと同様に、4スロット長の制御情報フレームに対応する畳込み復号器336、346はそれぞれ、シンボル結合器335、345の出力を符号率1/4で畳込み復号化する。

#### 【0051】

前記受信処理ブロック510~540それぞれの最後の段にはCRC検査器(checker)518、528、538、548が備えられる。これらCRC検査器(checker)518、528、538、548はそれぞれ対応する畳込み復号器316、326、336、346により畳込み復号化されたシンボルについてCRC検査動作を行う。これにより、誤り存在有無が検出される。ここではCRC検査器が受信処理ブロック別に備えられた例が説明されているが、CRC検査器を受信処理ブロック別に備えずに後述する図7に示すように、単に一つのCRC検査器にレジスタの初期値を異ならせて適用して構成してもいい。前記CRC検査器518、528、538、548によるCRC検査動作のとき、各検査器は、既に図5において説明したように、初期値制御器400から提供されるあらかじめ決定された初期値を使用する。すなわち、CRC検査器518は復号器レジスタの初期値として“N1”を設定して誤り有無を検出し、CRC検査器528は復号器レジスタの初期値として“N2”を設定して誤り有無を検出し、CRC検査器538は復号器レ

10

20

30

40

50



ジスターの初期値として“N3”を設定して誤り有無を検出し、CRC検査器548は復号器レジスターの初期値として“N4”を設定して誤り有無を検出する。パケット長検出器350は前記受信処理ブロック510～540それぞれによる受信処理結果を入力してパケットデータの長さを検出する。ここで、前記4個の受信処理ブロック510～540は物理的に異なる受信処理ブロックで構成されてもよく、一つの受信処理ブロックに異なる受信パラメタを適用することによって構成されてもいい。

#### 【0052】

図7は、本発明の実施例によって受信情報の誤りを検査するための装置の構成を示す図である。この誤り検査装置は、図5に示した誤り検出ビット発生装置に取って代わるものであり、その動作は、前記誤り検出ビット発生装置におけると同様に行われるが、単にSW1の入力として受信情報(Received Bits)が入力されるという点に違いがある。このような本発明の実施例に係る誤り検査装置は、従来の技術に係る受信機における問題点を解消するために提案されたものである。すなわち、2スロット長のパケットデータが転送されるのを表す2スロット長の制御情報フレームを受信する場合と、4スロット長のパケットデータが転送されるのを表す4スロット長の制御情報フレームを受信する場合にも、受信機において正常の誤り検出により制御情報フレーム及び転送されたパケットデータの長さを検出できるようにすることにその特徴がある。

#### 【0053】

図7を参照すれば、本発明の実施例に係る誤り検査装置は、第1長さを持つ第1情報(2スロット長を持つ制御情報フレーム)または前記第1長さのF倍(例えば、2倍)の第2長さを持つ第2情報(4スロット長を持つ制御情報フレーム)の送信情報(パケットデータの制御情報フレーム)に誤り検出のための情報を付加して送信する送信機からの情報を受信する受信機において前記受信情報の誤りを検査するためのものである。この誤り検査装置は、複数のレジスター561～568と、複数の加算器571～574と、出力加算器575と、スイッチSW1～SW3と、初期値制御器550と、誤り判定部580とを含む。

#### 【0054】

前記初期値制御器550は、前記第1情報のための第1初期値及び前記第2情報のための第2初期値を前記レジスターを初期化するための値として提供する。この時、提供する初期値の決定は検出しようとするパケットデータの長さ(N slots)によって定められる。前記第1初期値及び前記第2初期値は前記付加された誤り検出情報のビット数に対応する値の範囲内で決定される。

#### 【0055】

前記複数のレジスター561～568は、前記付加された誤り検出情報のビット数に対応して互いに直列接続され、前記初期値制御器550から提供される該当初期値に初期化される。前記複数の加算器571～574は、前記レジスター561～568間の経路のうちあらかじめ与えられた生成多項式により定められる経路上に位置する。前記各加算器571～574は、入力経路を通じて入力されるビット列とフィードバックビット列とを加算して出力経路を通じて出力する。この時、フィードバックビット列とは、前記出力加算器575から出力されて第2スイッチSW2を通じて提供されるビット列を意味する。前記出力加算器575と前記スイッチSW1～SW3は、下記のような動作を行う演算器として動作する。前記演算器は、受信情報列(前記第1情報または前記第2情報)が入力される間には前記受信情報列のビットと前記レジスター561～568の最後のレジスター568から出力されるビットとを順次的に加算して前記フィードバックビット列として生成し、この生成されたフィードバックビット列を前記第2スイッチSW2を通じて前記加算器571～574と前記レジスター561～568の初期レジスター561に提供する。また、前記演算器は、前記受信情報列の入力が完了した時には前記設定された入力ビットである“0”のビットを前記第2スイッチSW2を通じて前記前記加算器571～574と前記レジスター561～568の初期レジスター561に提供し、前記設定された入力ビットと前記最後のレジスター568から出力されるビットとを前記出力加算器575

10

20

30

40

50

により順次的に加算して受信誤り検出情報ビット列として出力する。

【0056】

前記第1スイッチSW1は、前記受信情報列と前記設定された入力ビットのうちいずれかを選択的に出力する。前記第1スイッチSW1は、前記受信情報列が入力される間には前記受信情報列を出力し、前記受信情報列の入力が完了した時には前記設定された入力ビットを出力する。前記出力加算器575は、前記第1スイッチSW1からの出力と前記最後のレジスタ568からのビットとを加算して出力する。前記第2スイッチSW2は、前記出力加算器575の出力と前記設定された入力ビットのうちいずれかを前記フィードバックビット列として選択的に前記加算器571～574と前記初期レジスタ561に提供する。前記第2スイッチSW2は、前記受信情報列が入力される間には前記出力加算器575の出力を前記加算器571～574と前記初期レジスタ561に提供し、前記受信情報列の入力が完了した時には前記設定された入力ビットを前記加算器571～574と前記初期レジスタ561に提供する。前記第3スイッチSW3は、前記受信情報列と前記出力加算器575の出力ビット列である前記受信誤り検出情報ビット列のうちいずれかを選択的に出力する。前記第3スイッチSW3は、前記受信情報列が入力される間には前記受信情報列を出力し、前記受信情報列の入力が完了した時には前記出力加算器575から出力される前記受信誤り検出情報ビット列を出力する。

10

【0057】

前記誤り判定部580は、前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列とを比較して誤り有無を検出する。すなわち、前記誤り判定部580は、前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列が同一であれば、前記受信情報に誤りがないと判定する。これに対し、前記誤り判定部580は、前記受信誤り検出情報ビット列と前記選択された初期値に対応する誤り検出情報ビット列が同一でない、前記受信情報に誤りがあると判定する。この誤り判定部580による判定結果によって図6の packets 長検出器350は受信された情報の packets 長を検出できる。

20

【0058】

前述の如く、図7に示した装置は、検出しようとする packets データの長さにしたがって初期値制御器550が動作し、受信情報の先頭13ビットに該当する送信機から送信された情報が全て受信されると、スイッチSW1～SW3は上側から再び下側に倒れるように切り替える。これにより、前記スイッチSW1～SW3には“0”が入力される。その後、誤り検出ビットの数である8回のレジスタ値シフトを通じて8ビットの誤り検出ビット(付加ビット)が発生される。誤り判定部580は、前記受信情報に含まれた誤り検出ビット(送信側において付加されたビット)と新しく生成された誤り検出ビットとを比較して両値が同一なら、誤りがないと判定し、両値が異なると誤りがあると判定する。ここでは初期値制御器550及び誤り判定部580が別途構成された例を説明したが、これらの構成要素を一つの制御器で具現してもいい。

30

【0059】

下記の<表2>は、本発明の実施例によって1(2)、2(4)、4(255)、4(0) slots 長の制御情報フレームを雑音のない状態でそれぞれ10,000回転送した結果であって、コンピュータ模擬実験(simulation)から得られる。ここで、前記括弧内の数字は、CRC発生器のレジスタ初期値を十進数で表したものである。1 slots 長の制御情報フレームに対してレジスタ初期値 $N_1=2$ と設定され、2 slots 長の制御情報フレームに対してレジスタ初期値 $N_2=4$ と設定され、4 slots 長の packets データに対応する4 slots 長の制御情報フレームに対してレジスタ初期値 $N_3=255$ と設定され、8 slots 長の packets データに対応する4 slots 長の制御情報フレームに対してレジスタ初期値 $N_4=0$ と設定された例を示している。前記コンピュータ模擬実験から得られる結果には、成功的な検出確率(Pd)、誤報確率(Pfa)、ミス確率(Pm)、そして誤報確率(Pfa)とミス確率(Pm)との和である誤り確率(Pe)がある。上記の<表1>において2(1) slots と4(1) slots の制御情報フレーム検出に対する誤り確率(Pe)が異常に大きかった

40

50

ものが、下記の<表 2>では減少したことがわかる。

【 0 0 6 0 】

【表 2】

| SPDCCH (CRC) | Pd        | Pfa       | Pm        | Pe        |
|--------------|-----------|-----------|-----------|-----------|
| 1 (2)        | 9.889e-01 | 0.000e+00 | 1.110e-02 | 1.110e-02 |
| 2 (4)        | 9.936e-01 | 0.000e+00 | 6.400e-03 | 6.400e-03 |
| 4 (255)      | 9.969e+00 | 0.000e+00 | 3.100e-03 | 3.100e-03 |
| 4 (0)        | 9.956e-01 | 0.000e+00 | 4.400e-03 | 4.400e-03 |

10

| SPDCCH (CRC) | CRC success |       |         |       | Decoded to other CRC symbols |       |         |       |
|--------------|-------------|-------|---------|-------|------------------------------|-------|---------|-------|
|              | 1 (2)       | 2 (4) | 4 (255) | 4 (0) | 1 (2)                        | 2 (4) | 4 (255) | 4 (0) |
| 1 (2)        | 10000       | 36    | 37      | 38    | 0                            | 36    | 37      | 38    |
| 2 (4)        | 45          | 10000 | 7       | 12    | 45                           | 0     | 7       | 12    |
| 4 (255)      | 31          | 0     | 10000   | 0     | 31                           | 0     | 0       | 0     |
| 4 (0)        | 44          | 0     | 0       | 10000 | 44                           | 0     | 0       | 0     |

20

【 0 0 6 1 】

以上の本発明の詳細な説明では具体的な実施例について説明したが、本発明の範囲を外れない限度内で様々な変形が可能であることはもちろんである。

例えば、本発明の具体的な実施例では、従来の技術の問題点、すなわち図 1 に示したようなパケットデータ制御チャンネル送信機を通じて 2 スロット長のパケットデータの制御のための 2 スロット長の制御情報列を符号率  $R = 1 / 4$  で符号化して転送する場合と、4 スロット長のパケットデータの制御のための 4 スロット長の制御情報列を符号率  $R = 1 / 4$  で符号化した後シンボルを繰り返して転送する場合だけを考慮した。しかし、本発明は、前記のようなパケットデータ制御チャンネル送信機の場合のほか、パケットデータチャンネル送信機にも同一に適用されることができる。すなわち、本発明は、第 1 長さを持つ第 1 情報列をあらかじめ設定された符号率で符号化して送信したり、前記第 1 長さの F 倍(ここで、F は 2 の倍数)である第 2 長さを持つ第 2 情報列を前記設定された符号率で符号化した後 F 倍繰り返して送信したりする通信システムに適用可能である。

30

【 0 0 6 2 】

したがって、本発明の範囲は説明された実施例によって限定されてはいけなく、特許請求の範囲とこの特許請求の範囲と均等なものによって定められるべきである。

【図面の簡単な説明】

【 0 0 6 3 】

【図 1】本発明が適用される移動通信システムのパケットデータ制御チャンネル送信機の構成を示す図。

40

【図 2】図 1 に示す誤り検出ビット付加部の従来の技術に係る構成を示す図。

【図 3】従来の技術に係るパケットデータ制御チャンネル受信機の構成を示す図。

【図 4】図 3 に示す受信機によりプリアンプルを検出する時、各受信方式によって使用されるスロットの長ささと位置を示す図。

【図 5】本発明の実施例に係る誤り検出ビット付加装置の構成を示す図。

【図 6】本発明の実施例に係るパケットデータ制御チャンネル受信機の構成を示す図。

【図 7】本発明の実施例によって受信情報の誤りを検査するための装置の構成を示す図。

【符号の説明】

【 0 0 6 4 】

2 1 1 ~ 2 1 8 レジスター

50

- 2 2 1 ~ 2 2 4      加算器
- 2 2 5      出力加算器
- 3 1 2、3 2 2、3 3 2、3 4 2      デインターリーバ(deinterleaver)
- 3 1 4、3 2 4、3 3 4、3 4 4      逆せん孔器(depuncturer)
- 3 1 6、3 2 6、3 3 6、3 4 6      畳込み復号器
- 3 3 5、3 4 5      シンボル結合器
- 4 0 0      初期値制御器
- 5 1 0 ~ 5 4 0      受信処理ブロック
- 5 1 8、5 2 8、5 3 8、5 4 8      C R C 検査器

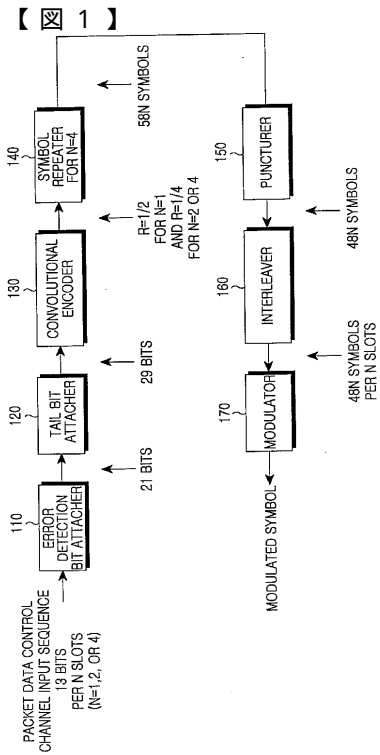


FIG.1

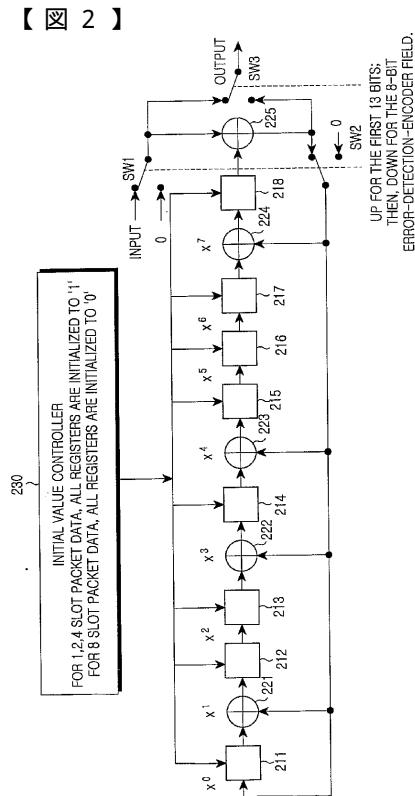


FIG.2

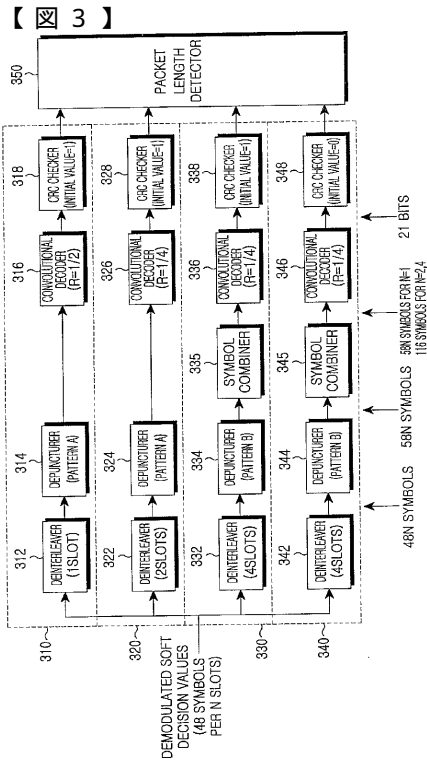


FIG. 3

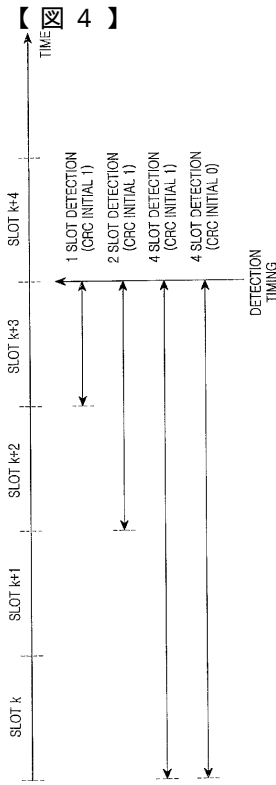


FIG. 4

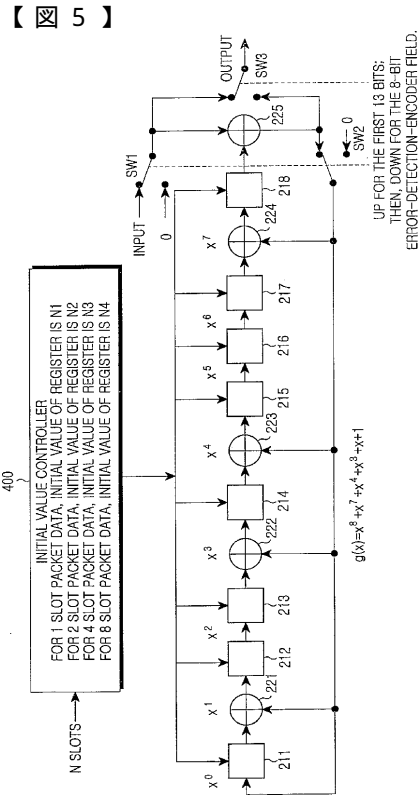


FIG. 5

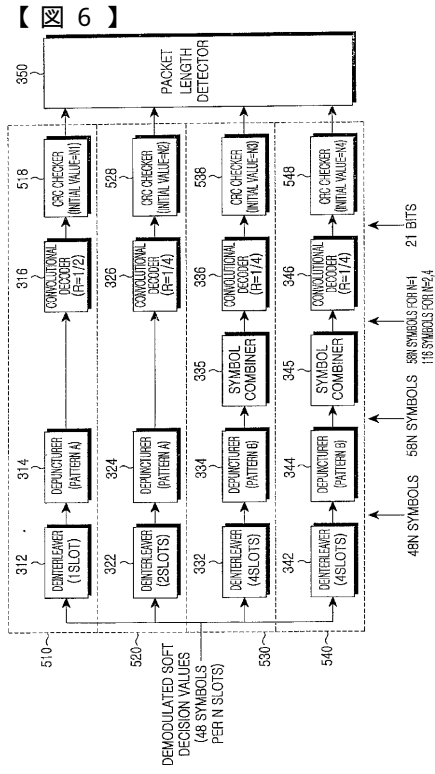


FIG. 6

【 7 】

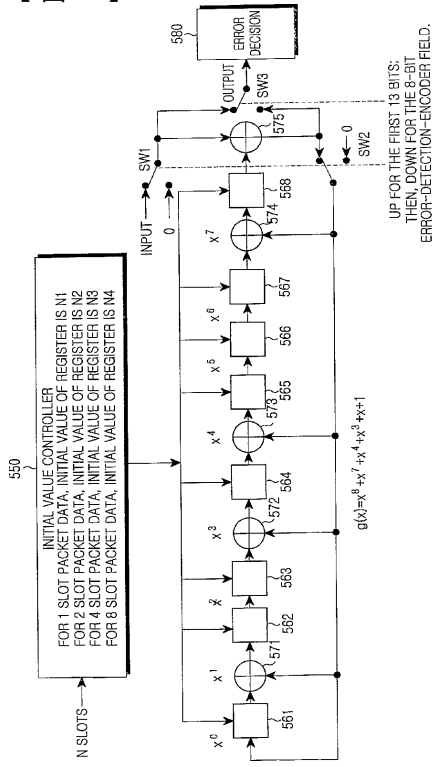


FIG.7

## フロントページの続き

- (72)発明者 ホ - キュ・チョイ  
大韓民国・463 - 714・キョンギ - ド・スンナム - シ・プンダン - グ・クミ - ドン・(番地なし)・ムジゲ・マウル・ジュゴン・アパート・#1201 - 303
- (72)発明者 ヨン - スン・キム  
大韓民国・135 - 283・ソウル・カンナム - グ・テチ・3 - ドン・63
- (72)発明者 ホワン - ジュン・クオン  
大韓民国・134 - 062・ソウル・カンドン - グ・ツンチョン・2 - ドン・(番地なし)・ミド・マンション・#1 - 203

審査官 岡 裕之

- (56)参考文献 特表2000 - 511036 (JP, A)  
特開平11 - 136138 (JP, A)  
特開平03 - 226019 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H03M 13/00 - 13/53  
H04J 13/00 - 13/06  
H04B 1/69 - 1/713  
H04L 1/00