

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0109149 (43) 공개일자 2012년10월08일
(51) 국제특허분류(Int. Cl.) G02F 1/136 (2006.01) H01L 29/786 (2006.01) (21) 출원번호 10-2011-0027392 (22) 출원일자 2011년03월28일 심사청구일자 2011년03월28일		(71) 출원인 경희대학교 산학협력단 경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교) (72) 발명자 장진 서울특별시 동대문구 경희대로 26 (회기동, 경희대학교) 강동한 서울특별시 동대문구 경희대로 26 (회기동, 경희대학교) (74) 대리인 박용순, 김희곤, 김인한

전체 청구항 수 : 총 8 항

(54) 발명의 명칭 오프셋을 갖는 산화물 반도체 박막 트랜지스터 제조방법 및 이를 이용한 능동구동 디스플레이 장치, 능동구동 센서장치

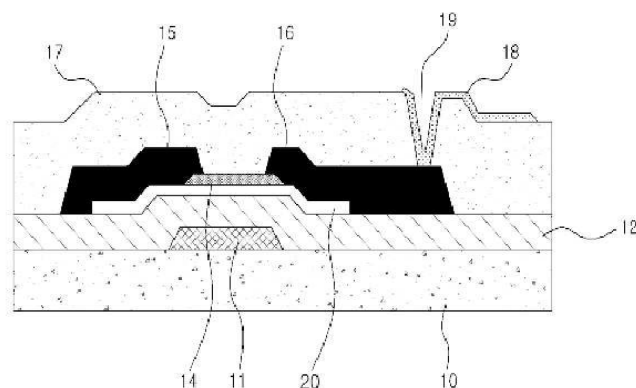
(57) 요약

본 발명에서는 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법이 제공된다.

본 발명은 능동 구동 디스플레이 장치의 화소 스위칭 소자로 사용되는 박막 트랜지스터를 제조하는 방법에 있어서, a) 기판 상에 게이트 전극을 형성하는 단계, b) 상기 게이트 전극 상에 게이트 절연막, 산화물 반도체 및 보호막을 형성하는 단계, c) 상기 산화물 반도체에 소스 및 드레인을 형성하되, 일정 길이의 드레인 오프셋을 형성하여 게이트와 드레인 사이의 기생 정전 용량(C_{gd})을 최소화하는 단계, d) 상기 소스 및 드레인 전극 상에 패시베이션(passivation) 층을 형성하는 단계 및, e) 상기 패시베이션 층 위에 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기와 같은 구성에 의하면, 본 발명은 산화물 반도체를 이용한 박막 트랜지스터를 구성할 때 게이트와 드레인 사이에 오프셋을 형성함으로써 기생 정전 용량(C_{gd})을 "0"을 만들 수 있는 보다 유리한 효과가 있는 것이다. 결과적으로 능동 구동 디스플레이 장치의 구동시 킥 백 전압이 전혀 없는 디스플레이 장치를 구현할 수 있다.

대표도 - 도2a



이 발명을 지원한 국가연구개발사업

과제고유번호 20110019147

부처명 교육과학기술부

연구사업명 나노원천기술개발사업

연구과제명 플라즈마 화학기상증착 방법에 의한 나노 실리콘 태양전지 소재 연구

주관기관 경희대학교 산학협력단

연구기간 2007.06.01 ~ 2013.05.31

특허청구의 범위

청구항 1

능동 구동 디스플레이 장치의 화소 스위칭 소자로 사용되는 박막 트랜지스터를 제조하는 방법에 있어서,

- a) 기판 상에 게이트를 형성하는 단계,
- b) 상기 게이트 전극 상에 게이트 절연막, 산화물 반도체 및 보호막을 형성하는 단계,
- c) 상기 산화물 반도체에 소스 및 드레인을 형성하되, 일정 길이의 드레인 오프셋 또는 소스와 드레인 모두에 오프셋을 형성하여 게이트와 드레인 사이의 기생 정전 용량(C_{gd})을 최소화하는 단계,
- d) 상기 소스 및 드레인 상에 패시베이션(passivation) 층을 형성하는 단계 및,
- e) 상기 패시베이션 층 위에 상기 드레인에 접촉되는 컨택홀을 가지는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법.

청구항 2

청구항 1에 있어서,

상기 일정 길이는 0.5 ~ 5 μ m인 것을 특징으로 하는 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 게이트 절연막은 실리콘 산화막인 것을 특징으로 하는 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법.

청구항 4

청구항 1 또는 청구항 2에 있어서,

상기 보호막은 실리콘 산화막인 것을 특징으로 하는 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법.

청구항 5

청구항 1 또는 청구항 2에 있어서,

상기 산화물 반도체는 비정질 인듐-갈륨-징크옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)인 것을 특징으로 하는 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법.

청구항 6

청구항 1 또는 청구항 2의 제조방법에 의해서 제조된 오프셋을 가지는 산화물 반도체 박막 트랜지스터를 이용한 능동 구동 디스플레이 장치.

청구항 7

청구항 1 또는 청구항 2의 제조방법에 의해서 제조된 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터를 이용한 능동 구동 센서 장치.

청구항 8

청구항 1 또는 청구항 2의 제조방법에 있어서,

상기의 보호막이 없는 BCE(back channel etched) 구조인 것을 특징으로 하는 산화물 반도체 박막 트랜지스터를 이용한 능동 구동 디스플레이 장치.

명세서

기술분야

[0001] 본 발명은 능동 구동 디스플레이 장치 설계 및 제조에 쓰이는 박막 트랜지스터 제조방법 및 이를 응용한 디스플레이 장치에 관한 것으로, 특히 산화물 반도체를 이용하고 게이트와 소스 사이 또는 게이트와 소스 드레인 사이에 오프셋을 형성하여 박막 트랜지스터를 제조하는 방법 및 이를 응용한 디스플레이 장치에 관한 것이다.

배경기술

[0002] 박막 트랜지스터를 활용한 능동 구동 디스플레이(active matrix display) 장치를 구현함에 있어서 화소 구동 전압(data voltage)을 한 프레임(frame) 동안 유지하는 기술이 필수적이다.

[0003] 이는 화소 내 박막 트랜지스터의 전류 특성과 픽셀 정전 용량을 조절함으로써 유지할 수 있다.

[0004] 그러나 일반적인 비정질 실리콘 박막 트랜지스터를 이용할 경우 구조적으로 나타나는 기생 정전 용량에 의하여 화소 구동 전압의 변화에 따른 커플링(coupling)이 발생하게 된다.

[0005] 이는 결과적으로 픽셀 정전 용량의 전압을 일부 떨어지게 만든다. 이를 통상적으로 ΔV_p 또는 킥 백 전압(kick-back voltage)이라 하며, ΔV_p 가 0.3 V 이상이 되면 이는 디스플레이 구동시 플리커(flicker) 등의 이미지 저하를 가져오게 된다.

[0006] 아래의 수학적 식 1은 ΔV_p 를 계산하는 수학적식이다.

[0007] {수학적 식 1}

$$\Delta V_p = \frac{C_{gd}}{C_{st} + C_{gd} + C_{lc}} \times V_p$$

[0008]

[0009] ΔV_p 는 상기의 수학적 식 1과 같이 표현되며 픽셀 정전 용량(C_{lc})과 박막 트랜지스터의 게이트와 드레인 사이의 기생 정전 용량(C_{gd})과 매우 밀접한 관계를 가지고 있다. 여기서 V_p 는 화소 전극 전압을 나타내고 C_{st} 는 축적 용량을 나타낸다.

[0010] 도 1a와 도 1b는 종래의 기술에 따른 오프셋 구조를 적용하지 않은 박막 트랜지스터의 단면도 및 평면도이다. 도 1a에 도시된 바와 같이, 기판(10)상에 게이트(12)가 형성되고, 그 위에 게이트 절연막(12), 활성층(13), 보호막(14)이 형성된다. 다음으로 소스(15)와 드레인(16)이 형성되는데 드레인(16) 및 소스(15)는 게이트(11)의 중심으로부터 동일한 거리만큼 떨어져 있다. 그리고 드레인(16)은 컨택홀(19)이 형성된 화소 전극(18)에 닿아 있다.

[0011] 또한 도 1b에 도시된 바와 같이, 종래의 기술에 따른 오프셋 구조가 아닌 박막 트랜지스터는 소스(15)와 드레인(16)이 게이트(11)의 중심으로부터 동일한 거리만큼 떨어져 형성된다. 최상면은 절연막인 에치 스톱퍼(etch

stopper, 14)이다.

[0012] 도 1c는 종래의 기술에 따른 오프셋 구조를 적용하지 않은 박막 트랜지스터를 이용하여 구동한 능동 구동 디스플레이의 픽셀 전압 구동을 나타낸다. 도 1c에 도시된 바와 같이, 상기 종래의 소스(15)와 드레인(16)의 좌우 대칭형태에서는 화소 전압(V_p)이 ΔV_p 만큼 감소한다는 것을 알 수 있다.

[0013] 여기서 V_g 는 게이트 전압, V_d 는 데이터 전압, V_{com} 은 공통 전극 전압 및 V_{offset} 은 전압보상을 의미한다.

[0014] 따라서 상기와 같이 종래의 기술에 의할 경우 좋은 이미지 구현을 위해서는 디스플레이 픽셀 설계시 ΔV_p 를 줄이기 위한 작업이 선행되어야 한다.

발명의 내용

해결하려는 과제

[0015] 본 발명은 상기의 문제점을 해결하기 위해 산화물 반도체를 이용하여 박막 트랜지스터를 구성할 때 게이트와 드레인 사이, 게이트와 소스 사이 또는 게이트와 소스 드레인 사이에 오프셋을 형성하였기 때문에 기생 정전 용량(C_{gd})을 제거할 수 있는 오프셋을 갖는 산화물 반도체 박막 트랜지스터 제조방법 및 이를 응용한 디스플레이 장치를 얻고자 하는 것을 목적으로 한다.

과제의 해결 수단

[0016] 상기 기술적 과제를 달성하기 위해 본 발명에서는 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조방법이 제공된다.

[0017] 본 발명은 능동 구동 디스플레이 장치의 화소 스위칭 소자로 사용되는 박막 트랜지스터를 제조하는 방법에 있어서, a) 기판 상에 게이트 전극을 형성하는 단계, b) 상기 게이트 전극 상에 게이트 절연막, 산화물 반도체 및 보호막을 형성하는 단계, c) 상기 산화물 반도체에 소스 및 드레인을 형성하되, 일정 길이의 드레인 오프셋 또는 소스와 드레인 양쪽에 오프셋을 형성하여 게이트와 드레인 사이의 기생 정전 용량(C_{gd})을 최소화하는 단계, d) 상기 소스 및 드레인 전극 상에 패시베이션(passivation) 층을 형성하는 단계 및, e) 상기 패시베이션 층 위에 상기 드레인에 접촉되는 콘택홀을 가지는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0018] 여기서 상기 일정 길이는 0.5 ~ 5인 것이 바람직하다.

[0019] 한편 상기 게이트 절연막과 보호막은 실리콘 산화막인 것을 특징으로 한다.

[0020] 나아가 상기 산화물 반도체는 비정질 인듐-갈륨-징크옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)인 것을 특징으로 한다.

[0021] 또한 상기 본 발명의 제조방법에 의해서 제조된 오프셋을 가지는 산화물 반도체 박막 트랜지스터는 능동 구동 액정 디스플레이 장치나 능동 구동 유기 전계 발광 디스플레이 장치에 사용됨으로써, 전계 이동도의 감소를 최소화하고 킥 백 전압이 0이 되는 능동 구동 디스플레이 픽셀을 디자인 및 제조할 수 있도록 한다.

발명의 효과

[0022] 상기와 같은 구성에 의하면, 본 발명은 산화물 반도체를 이용한 박막 트랜지스터를 구성할 때 게이트와 드레인 사이에 오프셋을 형성함으로써 기생 정전 용량(C_{gd})을 "0"으로 만들 수 있는 보다 유리한 효과가 있는 것이다. 결과적으로 능동 구동 디스플레이 장치의 구동시 킥 백 전압이 전혀 없는 디스플레이 장치를 구현할 수 있다.

[0023] 또한 본 발명의 산화물 반도체 박막 트랜지스터는 오프셋을 형성하여도 전계 효과 이동도가 크게 감소하지 않는 장점을 가진다.

도면의 간단한 설명

[0024] 도 1a와 도 1b는 종래의 기술에 따른 드레인 오프셋 구조를 적용하지 않은 박막 트랜지스터의 단면도 및 평면도이다.

도 1c는 종래의 기술에 따른 드레인 오프셋 구조를 적용하지 않은 박막 트랜지스터를 이용하여 구동한 능동 구

동 디스플레이의 픽셀 전압 구동을 나타낸다.

도 2a는 본 발명의 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법을 적용한 박막 트랜지스터의 단면도이다.

도 2b는 본 발명의 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법을 적용한 산화물 반도체 박막 트랜지스터의 평면도이다.

도 2c는 본 발명의 소스 및 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법을 적용한 박막 트랜지스터의 단면도이다.

도 2d는 본 발명의 소스 및 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법을 적용한 산화물 반도체 박막 트랜지스터의 평면도이다

도 2e는 본 발명에 따른 드레인 오프셋 구조를 적용한 산화물 반도체 박막 트랜지스터의 오프셋 길이에 따른 전류 전압 특성 곡선이다.

도 2f는 본 발명에 따른 드레인 오프셋 구조를 적용한 산화물 반도체 박막 트랜지스터의 오프셋 길이에 따른 전계 효과 이동도(mobility)의 변화를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0026] 도 1a 내지 도 1c는 종래 기술로서 앞서 설명하였기 때문에 여기서의 설명은 생략한다.
- [0027] 도 2a 또는 도 2c는 본 발명의 드레인 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법을 적용한 박막 트랜지스터의 단면도이다.
- [0028] 도 2a 또는 도 2c에 도시된 바와 같이, 기판(10) 상에 게이트(11)를 먼저 증착한 후, 상기 게이트(11) 전극 상에 실리콘 산화막인 게이트 절연막(12)을 형성하고, 다음으로 산화물 반도체(20)를 형성한다. 여기서 상기 산화물 반도체(20)는 비정질 인듐-갈륨-징크옥사이드(amorphous indium-gallium-zinc oxide, a-IGZO)이 바람직하다.
- [0029] 상기 산화물 반도체(20)의 특성상 전계 효과 이동도(mobility)가 많이 감소하지 않으므로 소자의 설계시 드레인 오프셋에 의한 박막 트랜지스터의 특성 감소를 최소화할 수 있다. 이와 같은 산화물 반도체(20)의 특성을 활용하여 능동 구동 디스플레이 장치에 적용하였을 때 V_p 또는 킥 백 전압(kick-back voltage)값이 "0"인 디스플레이 장치를 구현할 수 있다.
- [0030] 또한 여기서 게이트(11)는 70nm로 증착된 몰리 텅스텐(MoW)으로 형성되는 것이 바람직하다.
- [0031] 한편 상기 산화물 반도체(20) 위에 다시 보호막(14)을 형성하고 그 위에 소스(15) 및 드레인(16)을 형성한다. 여기서 상기 보호막(14)은 실리콘 산화막이 바람직하고, 상기 소스(15) 및 드레인(16)은 크롬(Cr)을 증착시키는 것이 바람직하다.
- [0032] 또한, 여기서 게이트(11)의 끝에서부터 상기 드레인(16)이 서로 겹쳐져 있지 않고 오프셋을 형성하여 드레인(16) 오프셋 구조를 형성하는 방법, 또는 게이트(11)의 끝부분과 소스(15) 및 드레인(16) 양쪽 모두에 오프셋을 형성하는 소스, 드레인 오프셋 구조를 형성하도록 한다. 바람직하게는 오프셋의 길이는 0.5 ~ 5 μ m이다.
- [0033] 한편 이와 같이 오프셋을 형성한 후, 다시 패시베이션 층(17)을 형성한다. 나아가 상기 패시베이션 층(17) 위에 드레인(16)까지 컨택홀(19)이 형성된 화소 전극(18)을 형성한다.
- [0034] 상기 화소 전극(18)은 패시베이션 층(17) 상에 투명 도전층을 스퍼터링 등의 증착 방법으로 형성한 후, 그 투명 도전층을 포토리소그래피 공정 및 건식 식각 공정으로 패터닝함으로써 형성될 수 있다. 여기서 투명 도전층은 ITO(Indium Tin Oxide), TO(Tin Oxide), ITZO(Indium Tin Zinc Oxide) 등이 이용될 수 있다.

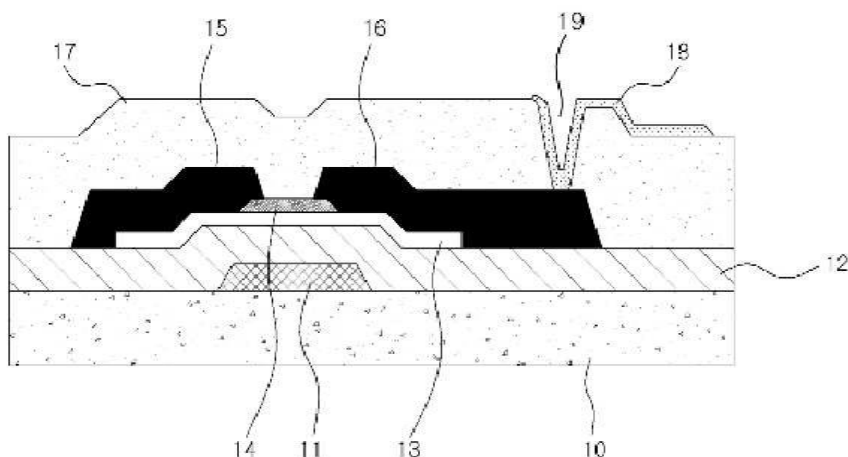
- [0035] 도 2b와 도 2d는 본 발명의 오프셋을 가지는 산화물 반도체 박막 트랜지스터 제조 방법을 적용한 산화물 반도체 박막 트랜지스터의 평면도이다.
- [0036] 도 2b와 도 2d에 도시된 바와 같이, 종래의 기술과는 달리 게이트(11) 위에 산화막 반도체(20)가 형성되고, 드레인(16) 또는 소스(15)와 드레인이 모두 일정 길이로 오프셋이 형성되어 있다.
- [0037] 도 2c는 본 발명에 따른 드레인 오프셋 구조를 적용한 산화물 반도체 박막 트랜지스터의 오프셋 길이에 따른 전류 전압 특성 곡선이다. 도 2c에 도시된 바와 같이, 오프셋의 길이가 길어질수록 원치 않는 누설 전류가 감소하는 것을 알 수 있다.
- [0038] 도 2d는 본 발명에 따른 드레인 오프셋 구조를 적용한 산화물 반도체 박막 트랜지스터의 오프셋 길이에 따른 전계 효과 이동도(mobility)의 변화를 나타내는 그래프이다. 도 2d에 도시된 바와 같이, 드레인 오프셋 길이가 길어질수록 전계 효과 이동도가 작은 비율로 감소하는 것을 알 수 있다.
- [0039] 이와 달리, 비정질 실리콘 박막 트랜지스터나 다결정 실리콘 박막 트랜지스터를 이용하여 ΔV_p 가 "0"인 디스플레이 장치를 구현하기 위해서 드레인 오프셋을 적용하였을 경우에는 불가피하게 따라오는 전계 효과 이동도의 급격한 감소를 고려하여야 하므로 본 발명의 드레인 오프셋 구조를 적용할 수 없다.
- [0040] 그러나 본 발명의 산화물 반도체 박막 트랜지스터는 드레인 오프셋을 형성하여도 전계 효과 이동도가 크게 감소하지 않는 장점을 가지고 있다. 특히 공정 마진을 고려한 $2\mu\text{m}$ 미만의 드레인 오프셋 길이에서는 초기 특성 대비 10% 미만의 전계 효과 이동도 감소를 확인할 수 있다. 따라서 산화물 반도체를 이용한 ΔV_p 이 "0"인 능동 구동 디스플레이 구현은 획기적이라 할 수 있다.
- [0041] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 부가 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

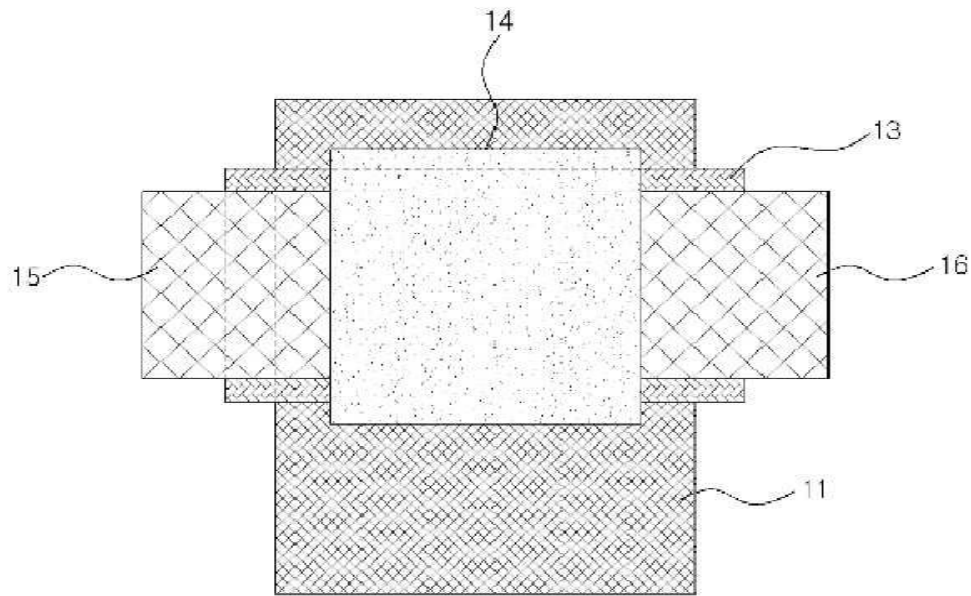
- [0042]
- | | |
|-------------|-------------|
| 10: 기판 | 11: 게이트 |
| 12: 게이트 절연막 | 14: 보호막 |
| 15: 소스 | 16: 드레인 |
| 17: 패시베이션 층 | 18: 화소 전극 |
| 19: 컨택홀 | 20: 산화물 반도체 |

도면

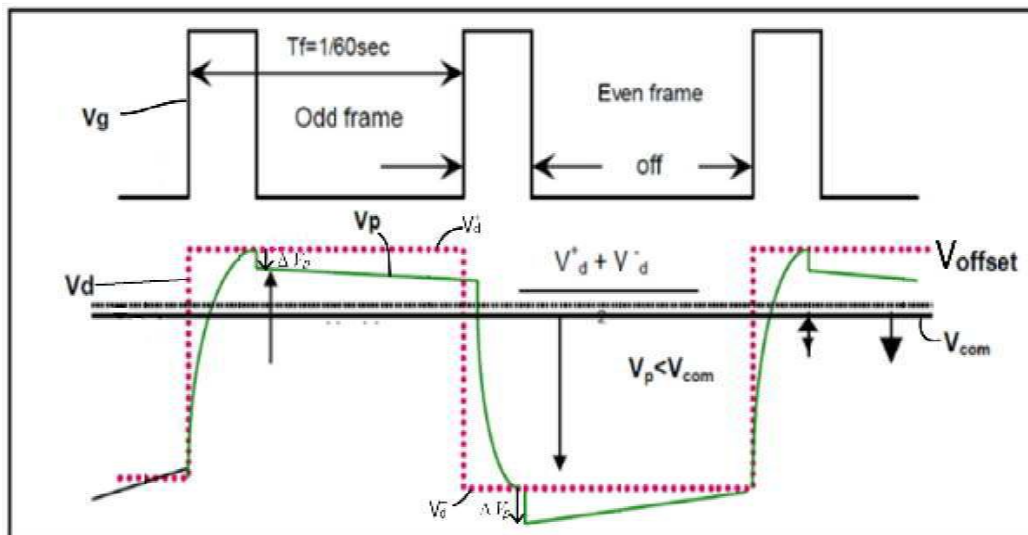
도면1



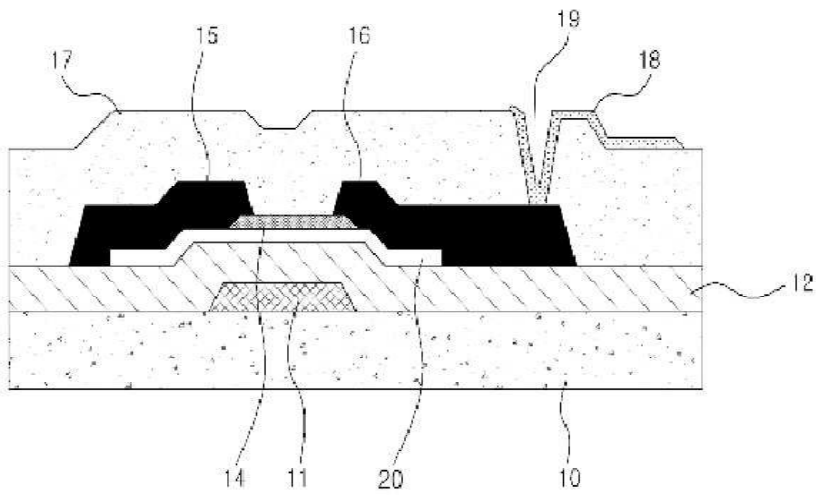
도면1b



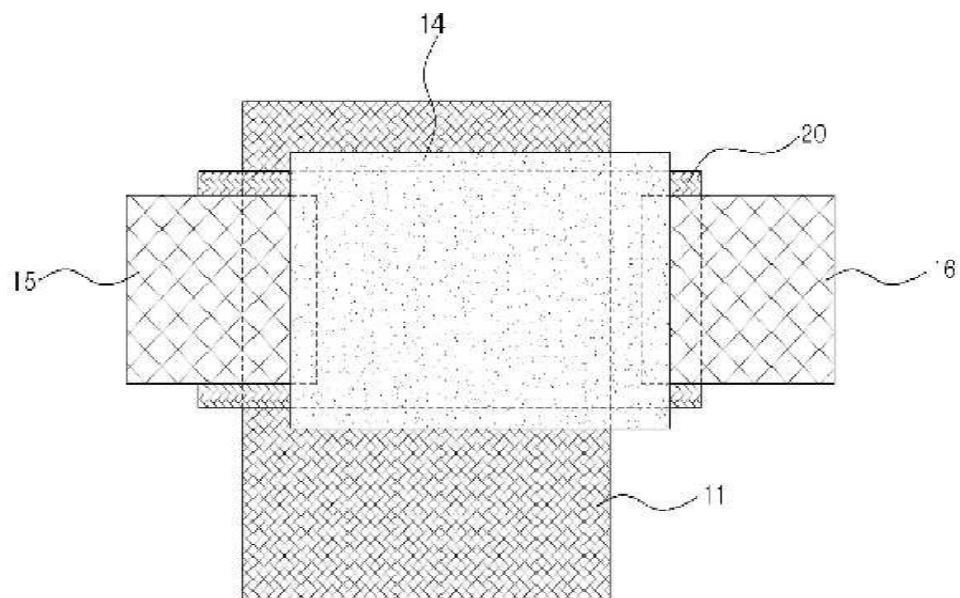
도면1c



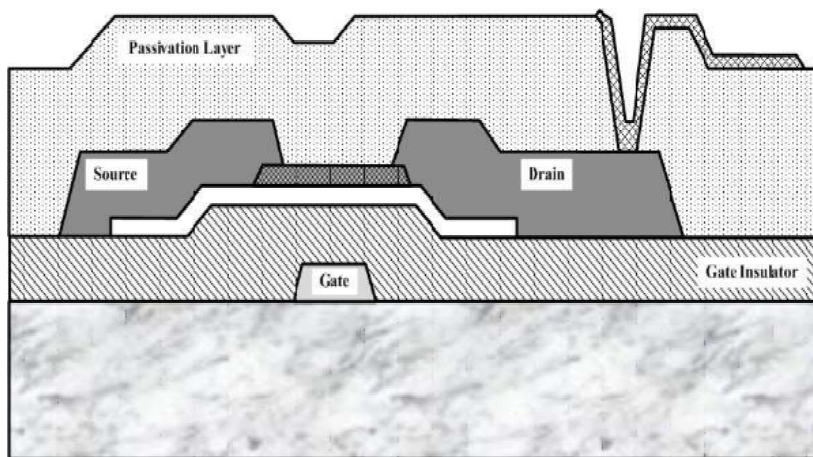
도면2a



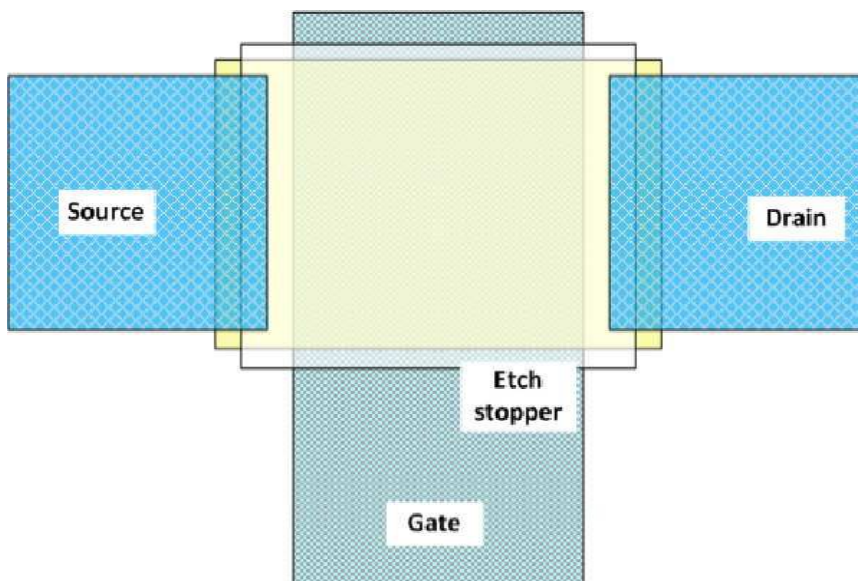
도면2b



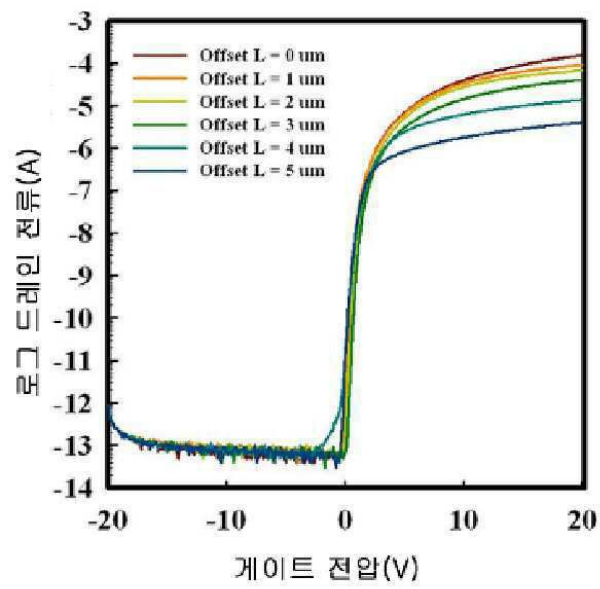
도면2c



도면2d



도면2e



도면2f

