



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H01L 27/105 (2006.01)

(45) 공고일자

2007년05월17일

(11) 등록번호

10-0719178

(24) 등록일자

2007년05월10일

(21) 출원번호 10-2003-0060343
 (22) 출원일자 2003년08월29일
 심사청구일자 2003년12월05일

(65) 공개번호

10-2005-0021862

(43) 공개일자

2005년03월07일

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 안진홍
 경기도안양시동안구평촌동130-1영풍아파트101-1408

홍상훈
 경기도이천시부발읍신하리청구아파트101-1302

박영준
 서울특별시관악구남현동602-63금호파크202

이상돈
 경기도구리시수택동금호2차아파트505-102

김일옥
 서울특별시송파구가락2동140쌍용아파트303-1305

배기현
 경기도성남시분당구정자동신화아파트501-904

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌

KR1019980064657 A
KR1020020027943 A

KR100263867 B1

KR1020030003207 A

심사관 : 홍경희

전체 청구항 수 : 총 40 항

(54) 비휘발성 디램의 구동방법

(57) 요약

본 발명은 전원공급이 중단되더라도 데이터를 유지할 수 있고, 또한 디램과 같이 고속으로 동작할 수 있는 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 플로팅게이트와 컨트롤게이트와, 제1 및 제2 접합영역을 구비하는 트랜지스

터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 포함하는 비휘발성 디램의 구동방법에 있어서, 상기 다수의 단위셀 각각의 플로팅게이트에 축적된 전자량에 응답하여, 대응되는 캐패시터에 데이터를 저장하는 제1 단계; 상기 다수의 단위셀 각각의 플로팅게이트에 축적되는 전자량을 일정하게 하여, 상기 다수의 단위셀 각각의 트랜지스터 문턱전압을 모두 같은 전압레벨의 제1 문턱전압으로 조정하는 제2 단계; 상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하거나, 캐패시터에 저장된 데이터를 관독함으로서 노멀 디램으로 동작시키는 제3 단계; 및 파워오프시의 데이터 저장을 위해, 상기 다수의 단위셀에 각각 대응하는 캐패시터에 저장된 데이터에 응답하여, 대응하는 플로팅게이트에 선택적으로 전자를 축적하는 제4 단계를 포함하는 비휘발성 디램의 구동방법을 제공한다.

대표도

도 3

특허청구의 범위

청구항 1.

삭제

청구항 2.

플로팅게이트와 컨트롤게이트와, 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 포함하는 비휘발성 디램의 구동방법에 있어서,

상기 다수의 단위셀 각각의 플로팅게이트에 축적된 전자량에 응답하여, 대응되는 캐패시터에 데이터를 저장하는 제1 단계;

상기 다수의 단위셀 각각의 캐패시터에 저장된 데이터를 백업하는 제5 단계;

상기 다수의 단위셀 각각의 플로팅게이트에 축적되는 전자량을 일정하게 하여, 상기 다수의 단위셀 각각의 트랜지스터 문턱전압을 모두 같은 전압레벨의 제1 문턱전압으로 조정하는 제2 단계;

상기 제5 단계에서 백업된 데이터를 상기 다수의 단위셀 각각의 캐패시터에 저장하는 제6 단계;

상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하거나, 캐패시터에 저장된 데이터를 관독함으로서 노멀 디램으로 동작시키는 제3 단계; 및

파워오프시의 데이터 저장을 위해, 상기 다수의 단위셀에 각각 대응하는 캐패시터에 저장된 데이터에 응답하여, 대응하는 플로팅게이트에 선택적으로 전자를 축적하는 제4 단계

를 포함하는 비휘발성 디램의 구동방법.

청구항 3.

제 2 항에 있어서,

상기 제1 단계는

상기 다수의 단위셀 각각의 캐패시터를 충전시키는 제1-1 단계; 및

상기 다수의 단위셀 각각의 트랜지스터중 상대적으로 문턱전압이 낮은 트랜지스터에 대응하는 캐패시터를 방전시키는 제1-2 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 4.

제 3 항에 있어서,

상기 제1 단계는

상기 다수의 단위셀 전체를 리프레쉬하는 제1-3 단계를 더 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 5.

제 2 항에 있어서,

상기 제1 단계는 로우어드레스 별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 6.

제 3 항에 있어서,

상기 제1-1 단계는

상기 다수의 단위셀 각각의 트랜지스터가 모두 턴온될 수 있는 고전압을 컨트롤게이트에 인가하여 모든 단위셀의 트랜지스터를 턴온시키는 단계; 및

상기 제1 접합영역에 전원전압을 인가하여 상기 다수의 단위셀 각각의 캐패시터를 충전시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 7.

제 6 항에 있어서,

상기 제1-2 단계는

상기 다수의 단위셀 각각의 컨트롤게이트에 소정의 전압을 공통으로 인가하여 상대적으로 낮은 문턱전압을 가지는 트랜지스터를 턴온시키는 단계;

상기 제1 접합영역에 접지전원을 인가하여 상대적으로 문턱전압이 낮은 단위셀의 캐패시터를 방전시키는 단계;

청구항 8.

제 2 항에 있어서,

상기 제2 단계는

상기 다수의 단위셀 각각의 플로팅게이트에 일정한 양의 전자를 축적시켜, 상기 다수의 단위셀 각각의 트랜지스터가 상기 제1 문턱전압보다 높은 문턱전압을 같도록 하는 제2-1 단계;

상기 다수의 단위셀 각각의 캐패시터를 충전시키는 제2-2 단계;

상기 다수의 단위셀 각각의 컨트롤게이트와 제1 접합영역간에 상기 제1 문턱전압에 해당되는 전압이 인가되도록 하여, 상기 다수의 단위셀 각각의 트랜지스터중 턴온되는 트랜지스터에 대응하는 캐패시터를 방전시키는 제2-3 단계; 및

상기 제2-3 단계에서 턴온되지 않는 트랜지스터에 대응하는 플로팅게이트의 축척된 소정 양의 전자를 추출하여 상기 턴온되지 않은 트랜지스터의 문턱전압을 낮추는 제2-4 단계를 포함하며,

상기 다수의 단위셀에 구비되는 모든 트랜지스터 문턱전압이 상기 제1 문턱전압이 될때까지 상기 제2-3 단계와 상기 제2-4 단계를 반복적으로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 9.

제 8 항에 있어서,

상기 제2-2 단계는

상기 다수의 단위셀 각각의 트랜지스터가 모두 턴온될 수 있는 고전압을 인가하여 상기 다수의 단위셀 각각의 트랜지스터를 턴온시키는 단계; 및

상기 다수의 단위셀 각각의 제1 접합영역에 전원전압을 인가하여 상기 다수의 단위셀 각각의 캐패시터를 충전시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 10.

제 8 항에 있어서,

상기 제2-3 단계는

상기 단위셀 각각의 트랜지스터 컨트롤게이트에 상기 제1 문턱전압을 인가하고, 상기 제1 접합영역에 접지전압을 인가하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 11.

제 8 항에 있어서,

상기 제2-3 단계는

상기 단위셀 각각의 트랜지스터 컨트롤게이트에 접지전압을 인가하고, 상기 제1 접합영역에 상기 제1 문턱전압에 해당되는 전압의 마이너스전압을 인가하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 12.

제 8 항에 있어서,

상기 제2-4 단계는

상기 다수의 단위셀 각각의 컨트롤게이트에 음의 전압을 인가하고, 상기 플레이트 전압공급단으로 공급되는 전압레벨을 승압시켜 전하가 충전되어 있는 캐패시터에 대응하는 제2 접합영역의 전압레벨을 높여, 상기 플로팅게이트의 축척된 소정 양의 전자가 추출되어 상기 캐패시터로 이동될 수 있도록 하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 13.

제 2 항에 있어서,

상기 제2 단계는 로우어드레스 별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 14.

제 2 항에 있어서,

상기 제4 단계는

파워오프시에 제1 레벨의 데이터를 저장하기 위한 상기 제1 문턱전압보다 낮은 레벨의 제2 문턱전압을 상기 다수의 단위셀 각각의 컨트롤게이트로 인가하는 제4-1 단계;

상기 다수의 단위셀 각각의 모스트랜지스터중 상기 제2 문턱전압에 편온되는 트랜지스터에 대응하는 캐패시터를 방전시키는 제4-2 단계; 및

상기 제4-2 단계에서 편온되지 않는 트랜지스터에 대응하는 플로팅게이트에 축척된 소정 양의 전자를 추출하여 상기 제4-2 단계에서 편온되지 않는 트랜지스터의 문턱전압을 낮추는 제4-3 단계를 포함하며,

상기 다수의 단위셀 각각의 트랜지스터 문턱전압이 상기 제2 문턱전압이 될때까지 상기 제4-1단계 내지 상기 제4-3 단계를 반복적으로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 15.

제 14 항에 있어서,

상기 제4-2 단계는

상기 다수의 단위셀 각각의 컨트롤게이트에 상기 제2 문턱전압을 인가하는 단계; 및

상기 다수의 단위셀 각각의 제1 접합영역에 접지전압을 공급하여 상기 제2 문턱전압에 편온되는 트랜지스터에 대응하는 캐패시터에 충전된 전자를 방전시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 16.

제 15 항에 있어서,

상기 제4-3 단계는

상기 다수의 단위셀 각각의 컨트롤게이트에는 음의 전압을 인가하는 단계;

상기 다수의 단위셀 각각의 플레이트전극 전원단에 공급되는 전압을 승압시켜, 전자가 충전된 캐패시터에 대응하는 제2 접합영역에 인가되는 전압을 높이는 단계; 및

상기 전자가 충전된 캐패시터에 대응하는 플로팅게이트의 축척된 소정 양의 전자를 대응하는 캐패시터로 추출하여 문턱전압을 낮추는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 17.

제 14 항에 있어서,

상기 제4 단계는 로우어드레스 별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 18.

제 2 항에 있어서,

상기 제1 단계는

상기 다수의 단위셀 각각의 컨트롤게이트 및 제1 접합영역에 하기의 수학식2에 해당되는 전압을 인가하여, 문턱전압이 Vth.l인 단위셀에 대응하는 캐패시터에 제1 레벨의 데이터를 저장하고, 문턱전압이 Vth.h인 단위셀에 대응하는 캐패시터에 제2 레벨의 데이터를 저장하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

수학식 2

$$V = V_{blp} + (V_{th.h} + V_{th.l})/2$$

(V_{blp} 는 상기 제3 단계 동작시 상기 제1 접합영역에 인가되는 프리차지전압, $V_{th.h}$ 는 상기 제4 단계 동작시 캐패시터에 상기 제1 레벨의 데이터가 저장되었을 때 대응되는 트랜지스터의 문턱전압, $V_{th.l}$ 는 상기 제4 단계 동작시 캐패시터에 상기 제2 레벨의 데이터가 저장되었을 때 대응되는 트랜지스터의 문턱전압)

청구항 19.

제 17 항에 있어서,

상기 제1 단계는 로우어드레스별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 20.

제 19 항에 있어서,

상기 제1 단계를 로우어드레스별로 수행할 때에 상기 제1 단계를 수행하지 않는 로우어드레스에 대응하는 워드라인에는 상기 문턱전압($V_{th.l}$)보다 낮은 전압을 인가하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 21.

제 18 항에 있어서,

상기 제1 단계의 동작을 수행하고 나서 상기 다수의 단위셀에 대한 리프레쉬 동작을 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 22.

삭제

청구항 23.

제1 산화막/질화막/제2 산화막/컨트롤게이트로 적층된 게이트 패턴과 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 포함하는 비휘발성 디램의 구동방법에 있어서,

상기 다수의 단위셀 각각의 제1 산화막/질화막의 계면에 축적된 전자량에 응답하여, 대응되는 캐패시터에 데이터를 저장하는 제1 단계;

상기 다수의 단위셀 각각의 캐패시터에 저장된 데이터를 백업하는 제5 단계;

상기 다수의 단위셀 각각의 제1 산화막/질화막의 계면에 축적되는 전자량을 일정하게 하여, 상기 다수의 단위셀 각각의 트랜지스터 문턱전압을 모두 같은 전압레벨의 제1 문턱전압으로 조정하는 제2 단계;

상기 제5 단계에서 백업된 데이터를 상기 다수의 단위셀 각각의 캐패시터에 저장하는 제6 단계;

상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하거나, 캐패시터에 저장된 데이터를 판독함으로서 노멀 디램으로 동작시키는 제3 단계; 및

파워오프시의 데이터 저장을 위해, 상기 다수의 단위셀에 각각 대응하는 캐패시터에 저장된 데이터에 응답하여, 대응하는 제1 산화막/질화막의 계면에 선택적으로 전자를 축적하는 제4 단계

를 포함하는 비휘발성 디램의 구동방법.

청구항 24.

제 23 항에 있어서,

상기 제1 단계는

상기 다수의 단위셀 각각의 캐패시터를 충전시키는 제1-1 단계; 및

상기 다수의 단위셀 각각의 트랜지스터중 상대적으로 문턱전압이 낮은 트랜지스터에 대응하는 캐패시터를 방전시키는 제1-2 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 25.

제 24 항에 있어서,

상기 제1 단계는

상기 다수의 단위셀 전체를 리프레쉬하는 제1-3 단계를 더 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 26.

제 23 항에 있어서,

상기 제1 단계는 로우어드레스 별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 27.

제 24 항에 있어서,

상기 제1-1 단계는

상기 다수의 단위셀 각각의 트랜지스터가 모두 턴온될 수 있는 고전압을 컨트롤게이트에 인가하여 모든 단위셀의 트랜지스터를 턴온시키는 단계; 및

상기 제1 접합영역에 전원전압을 인가하여 상기 다수의 단위셀 각각의 캐패시터에 전자를 충전시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 28.

제 27 항에 있어서,

상기 제1-2 단계는

상기 다수의 단위셀 각각의 컨트롤게이트에 소정의 전압을 공통으로 인가하여 상대적으로 낮은 문턱전압을 가지는 트랜지스터를 턴온시키는 단계;

상기 제1 접합영역에 접지전원을 인가하여 상대적으로 문턱전압이 낮은 단위셀의 캐패시터를 방전시키는 단계;

청구항 29.

제 23 항에 있어서,

상기 제2 단계는

상기 다수의 단위셀 각각의 제1 산화막/질화막 계면에 일정한 양의 전자를 축적시켜, 상기 다수의 단위셀 각각의 트랜지스터가 상기 제1 문턱전압보다 높은 문턱전압을 같도록 제2-1 단계;

상기 다수의 단위셀 각각의 캐패시터를 충전시키는 제2-2 단계;

상기 다수의 단위셀 각각의 컨트롤게이트과 상기 제1 접합영역간의 접압차이가 상기 제1 문턱전압에 해당되는 전압이 인가되도록 하여, 상기 다수의 단위셀 각각의 트랜지스터중 턴온되는 트랜지스터에 대응하는 캐패시터를 방전시키는 제2-3 단계; 및

상기 제2-3 단계에서 턴온되지 않는 트랜지스터에 대응하는 플로팅게이트의 축척된 소정 양의 전자를 추출하여 상기 턴온되지 않은 트랜지스터의 문턱전압을 낮추는 제2-4 단계를 포함하며,

상기 다수의 단위셀에 구비되는 모든 트랜지스터 문턱전압이 상기 제1 문턱전압이 될때까지 상기 제2-3 단계와 상기 제2-4 단계를 반복적으로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 30.

제 29 항에 있어서,

상기 제2-2 단계는

상기 다수의 단위셀 각각의 트랜지스터가 모두 턴온될 수 있는 고전압을 인가하여 상기 다수의 단위셀 각각의 트랜지스터를 턴온시키는 단계; 및

상기 다수의 단위셀 각각의 제1 접합영역에 전원전압을 인가하여 상기 다수의 단위셀 각각의 캐패시터를 충전시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 31.

제 29 항에 있어서,

상기 제2-3 단계는

상기 단위셀 각각의 트랜지스터 컨트롤게이트에 상기 제1 문턱전압을 인가하고, 상기 제1 접합영역에 접지전압을 인가하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 32.

제 29 항에 있어서,

상기 제2-3 단계는

상기 단위셀 각각의 트랜지스터 컨트롤게이트에 접지전압을 인가하고, 상기 제1 접합영역에 상기 제1 문턱전압에 해당되는 전압의 마이너스전압을 인가하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 33.

제 29 항에 있어서,

상기 제2-4 단계는

상기 다수의 단위셀 각각의 컨트롤게이트에 음의 전압을 인가하고, 상기 플레이트 전압공급단으로 공급되는 전압레벨을 승압시켜 전하가 충전되어 있는 캐패시터에 대응하는 제2 접합영역의 전압레벨을 높여, 상기 제1 산화막/질화막 계면에 축척된 소정 양의 전자가 추출되어 상기 캐패시터로 이동될 수 있도록 하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 34.

제 29 항에 있어서,

상기 제2 단계는 로우어드레스 별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 35.

제 23 항에 있어서,

상기 제4 단계는

파워오프시에 제1 레벨의 데이터를 저장하기 위해 상기 제1 문턱전압보다 낮은 제2 문턱전압을 상기 다수의 단위셀 각각의 컨트롤레이트로 인가하는 제4-1 단계;

상기 다수의 단위셀 각각의 모스트랜지스터중 상기 제2 문턱전압에 턴온되는 트랜지스터에 대응하는 캐패시터를 방전시키는 제4-2 단계; 및

상기 제4-2 단계에서 턴온되지 않는 트랜지스터에 대응하는 제1 산화막/질화막 계면에 축적된 소정 양의 전자를 추출하여 상기 제4-2 단계에서 턴온되지 않는 트랜지스터의 문턱전압을 낮추는 제4-3 단계를 포함하며,

상기 다수의 단위셀 각각의 트랜지스터 문턱전압이 상기 제2 문턱전압이 될때까지 상기 제4-1단계 내지 상기 제4-3 단계를 반복적으로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 36.

제 35 항에 있어서,

상기 제4-2 단계는

상기 다수의 단위셀 각각의 컨트롤레이트에 상기 제2 문턱전압을 인가하는 단계; 및

상기 다수의 단위셀 각각의 제1 접합영역에 접지전압을 공급하여 상기 제2 문턱전압에 턴온되는 트랜지스터에 대응하는 캐패시터에 충전된 전자를 방전시키는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 37.

제 36 항에 있어서,

상기 제4-3 단계는

상기 다수의 단위셀 각각의 컨트롤레이트에는 음의 전압을 인가하는 단계;

상기 다수의 단위셀 각각의 플레이트전극 전원단에 공급되는 전압을 승압시켜, 전자가 충전된 캐패시터에 대응하는 제2 접합영역에 인가되는 전압을 높이는 단계; 및

상기 전자가 충전된 캐패시터에 대응하는 제1 산화막/질화막 계면에 축적된 소정 양의 전자를 대응하는 캐패시터로 추출하여 문턱전압을 낮추는 단계를 포함하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 38.

제 23 항에 있어서,

상기 제4 단계는 로우어드레스 별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 39.

제 23 항에 있어서,

상기 제1 단계는

상기 다수의 단위셀 각각의 컨트롤게이트 및 제1 접합영역에 하기의 수학식3에 해당되는 전압을 인가하여, 문턱전압이 Vth.l인 단위셀에 대응하는 캐패시터에 제1 레벨의 데이터를 저장하고, 문턱전압이 Vth.h인 단위셀에 대응하는 캐패시터에 제2 레벨의 데이터를 저장하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

수학식 3

$$V = V_{blp} + (V_{th.h} + V_{th.l})/2$$

(V_{blp} 는 상기 제3 단계 동작시 상기 제1 접합영역에 인가되는 전압, $V_{th.h}$ 는 상기 제4 단계 동작시 캐패시터에 상기 제1 레벨의 데이터가 저장되었을 때 대응되는 트랜지스터의 문턱전압, $V_{th.l}$ 는 상기 제4 단계 동작시 캐패시터에 상기 제2 레벨의 데이터가 저장되었을 때 대응되는 트랜지스터의 문턱전압)

청구항 40.

제 39 항에 있어서,

상기 제1 단계는 로우어드레스별로 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 41.

제 40 항에 있어서,

상기 제1 단계를 로우어드레스별로 수행할 때에 상기 제1 단계를 수행하지 않는 로우어드레스에 대응하는 워드라인에는 상기 문턱전압($V_{th.l}$)보다 낮은 전압을 인가하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 42.

제 41 항에 있어서,

상기 제1 단계의 동작을 수행하고 나서 상기 다수의 단위셀에 대한 리프레쉬 동작을 수행하는 것을 특징으로 하는 비휘발성 디램의 구동방법.

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 비휘발성 특성(non-volatile)을 가지는 다이나믹 랜덤 액세스 메모리 장치(Dynamic Random Access Memory Device, 이하 디램이라 함)의 구동방법에 관한 것이다.

도1a는 종래기술에 의한 디램의 단위셀을 나타내는 회로도이다.

도1a를 참조하여 살펴보면, 통상적인 디램의 단위셀은 워드라인(WL)에 게이트가 접속되고, 비트라인(BL)에 일측단이 연결되며 타측단으로 캐패시터(Cap)와 연결되는 앤모스트랜지스터(NMOS)와, 앤모스트랜지스터(NMOS)의 타측단과 캐패시터의 플레이트 전압공급단(Vcp) 사이에 구비되는 데이터 저장용 캐패시터(Cap)를 구비한다.

도1b는 도1a에 도시된 디램의 단위셀 단면도로서, 특히 기판에 제조되는 앤모스트랜지스터(NMOS)의 단면을 나타내는 것이다.

도1b를 참조하여 살펴보면, 디램의 단위셀을 구성하는 앤모스트랜지스터(NMOS)는 P형 도전성 불순물로 이루어진 드레인/소스영역(13,14)과 게이트 패턴(11,12)으로 구성된다. 전술한 바와 같이 드레인영역(13)은 비트라인(BL)으로 연결되어 비트라인 전압(Vbl)이 인가되고, 소스영역(14)은 캐패시터(Cap)와 연결된다. 또한 앤모스트랜지스터의 벌크영역을 이루는 P웰영역(10c)에는 벌크전압(Vbb)이 공급된다.

게이트 패턴(11,12)는 게이트용 절연막(11)과 게이트용 도전막(12)로 이루어진다. 게이트용 도전막(12)으로는 앤모스트랜지스터를 턴온시키기 위해 게이트전압(Vg)을 공급받는다.

또한, 앤모스트랜지스터(10c)의 벌크영역을 이루는 P웰영역(10c)은 P형 기판(10a)상에 형성된 N웰영역(10b)과 그 상부에 형성된 P웰영역(10c)의 내부에 형성된다. 이는 디램의 단위셀 벌크영역(10c)에는 주변영역에 형성되는 모스트랜지스터와는 다른 독립적인 벌크전압(Vbb)를 공급하기 위한 것이다.

이하 도1a와 도1b를 참조하여 디램에서의 단위셀 동작을 살펴본다.

잘 알려진 바와 같이, 디램에서 데이터 저장은 단위셀에 구비되는 캐패시터(Cap)에 충전되는 전하량을 이용한다. 즉, 캐패시터(Cap) 전하가 충전되어 있으면, 데이터 '1'로 하고, 캐패시터(Cap)에 전하가 충전되어 있지 않으면, 데이터 '0'으로 하는 것이다.

앤모스트랜지스터를 턴온시킬 수 있는 문턱전압(Vth)보다 높은 게이트전압(Vg)이 게이트용 도전막(12)에 공급되면 게이트용 절연막(13)의 하부영역에 소스영역(14)과 드레인영역(13)을 단락시키는 채널이 형성된다. 이 때 비트라인(BL)에 인가되는 비트라인 전압(Vbl)에 따라 캐패시터(Cap)에 전하가 충전되던지 방전되는데, 비트라인 전압(Vbl)이 하이레벨을 유지하여 캐패시터(Cap)에 전하가 충전되면 데이터 '1'이 저장되는 것이고, 비트라인 전압(V_{BL})이 로우레벨을 유지하여 캐패시터(Cap)가 방전되면, 캐패시터(Cap)에 데이터 '0'이 저장되는 것이다. 여기서 플레이트 노드에는 플레이트 전압(Vcp)이 공급되는 데 통상적으로 0V 또는 전원전압의 1/2이 인가된다.

전술한 바와 같이, 디램은 단위셀이 하나의 캐패시터와 하나의 모스트랜지스터만으로 이루어져 하나의 단위셀이 비교적 간단하게 구성되며, 동작속도 또한 비교적 고속으로 동작할 수 있어 시스템의 메모리 장치로 가장 널리 사용되고 있다.

그러나, 디램에서는 데이터 저장을 캐패시터에 저장된 전하량으로 하기 때문에 전원 공급이 중단되면, 캐패시터에 충전된 전하가 방전되어 단위셀에 저장된 데이터가 유지되지 못하는 단점을 가지고 있다.

이를 해결하고자 제안된 것중 하나가 플레쉬 메모리 장치라는 메모리 장치이다.

도2는 종래기술에 의한 플레쉬 메모리에서의 단위셀을 나타내는 단면도를 나타낸 것이다.

도2를 참조하여 살펴보면, 플레쉬 메모리에서의 단위셀은 하나의 트랜지스터로 구성되며, 트랜지스터는 도전성 불순물로 이루어지는 드레인영역/소스영역(25,26)과 게이트 패턴(21~24)으로 구성된다. 드레인영역(25)은 비트라인(BL)과 연결되고, 소스영역(26)은 접지전압(VSS)과 연결된다.

게이트 패턴(21~24)은 게이트용 제1 절연막(21)과 그 상부에 형성되며 도전성 물질로 형성된 플로팅게이트(22)와, 그 상부에 형성된 게이트용 제2 절연막(23)과, 그 상부에 형성된 컨트롤게이트(24)로 구성된다.

이하에서는 도2를 참조하여 플레쉬 메모리의 단위셀의 동작을 살펴본다. 플레쉬메모리는 크게 프로그램 모드, 판독 모드, 소거 모드로 동작한다.

먼저 프로그램 모드에서는 컨트롤 게이트(24)에 공급되는 게이트전압(Vg)을 고전압(예를 들어 +5V)으로 높이고, 벌크전압(Vbb)은 낮은 저전압(예를 들어 -3V)을 인가하고, 드레인영역(25)에는 고에너지의 전자가 생길 수 있는 전압(+5V)을 인가하여, 고에너지 상태의 전자가 플로팅게이트(22)에 축적되도록 한다. 플로팅게이트(22)에 축적된 전자는 문턱전압(Vth)을 높이는 역할을 한다.

여기서 컨트롤 게이트(24)에 인가되는 고전압과 벌크전압(Vbb)로 인가되는 저전압은 드레인단에서 공급되는 전자가 플로팅게이트(22)로 터널링될 수 있는 전압레벨로 하게 되며, 이는 데이터 '0'을 저장하기 위한 것이며, 데이터 '1'을 저장하기 위해서는 플로팅게이트(22)로 전자를 축적시키지 않으면 되는 것이다.

판독 모드에서는 컨트롤게이트(25)로 소정의 전압을 인가하고 소스영역(26)에 접지전압을 인가하게 된다. 프로그램 모드에서 플로팅게이트(22)로 전자가 축적된 경우에는 문턱전압(Vth)이 증가된 상태여서 채널이 형성되지 않게 되고, 플로팅게이트(22)로 전자가 축적되지 않은 경우에는 문턱전압(Vth)이 증가되지 않은 상태여서 채널이 형성되어 소스영역(26)과 드레인영역(25)간에 전류가 통하게 된다. 전류가 통하는지의 여부에 의해서 저장된 데이터의 종류를 판독하게 되는 것이다.

소거 모드에서는 컨트롤게이트로 저전압(예를 들면 -3V)를 인가하고 벌크전압으로 고전압(예를 들면 5V)을 인가하여 플로팅게이트에 축적된 전자를 제거하게 된다.

전술한 바와 같이 동작하는 플레쉬 메모리는 전원공급이 중단되더라도 디램과는 달리 데이터를 유지하는 장점을 가지고 있다. 그러나 플레쉬메모리는 디램에 비해 동작속도가 늦어서 고속의 시스템에 사용하는 데는 무리가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전원공급이 중단되더라도 데이터를 유지할 수 있고, 또한 디램과 같이 고속으로 동작할 수 있는 메모리 장치의 구동방법을 제공하는 것을 목적으로 한다.

발명의 구성

본 발명은 상기의 과제를 해결하기 위해 플로팅게이트와 컨트롤게이트와, 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 포함하는 비휘발성 디램의 구동방법에 있어서, 상기 다수의 단위셀 각각의 플로팅게이트에 축적된 전자량에 응답하여, 대응되는 캐패시터에 데이터를 저장하는 제1 단계; 상기 다수의 단위셀 각각의 플로팅게이트에 축적되는 전자량을 일정하게 하여, 상기 다수의 단위셀 각각의 트랜지스터 문턱전압을 모두 같은 전압레벨의 제1 문턱전압으로 조정하는 제2 단계; 상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하거나, 캐패시터에 저장된 데이터를 판독함으로서 노멀 디램으로 동작시키는 제3 단계; 및 파워오프시의 데이터 저장을 위해, 상기 다수의 단위셀에 각각 대응하는 캐패시터에 저장된 데이터에 응답하여, 대응하는 플로팅게이트에 선택적으로 전자를 축적하는 제4 단계를 포함하는 비휘발성 디램의 구동방법을 제공한다.

또한, 본 발명은 제1 산화막/질화막/제2 산화막/컨트롤게이트로 적층된 게이트 패턴과 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 포함하는 비휘발성 디램의 구동방법에 있어서, 상기 다수의 단위셀 각각의 제1 산화막/질화막의 계면에 축적된 전자량에 응답하여, 대응되는 캐패시터에 데이터를 저장하는 제1 단계; 상기 다수의 단위셀 각각의 제1 산화막/질화막의 계면에 축적되는 전자량을 일정하게 하여, 상기 다수의 단위셀 각각의 트랜지스터 문턱전압을 모두 같은 전압레벨의 제1 문턱전압으로 조정하는 제2 단계; 상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하거나, 캐패시터에 저장된 데이터를 판독함으로서 노멀 디램으로 동작시키는 제3 단계; 및 파워오프시의 데이터 저장을 위해, 상기 다수의 단위셀에 각각 대응하는 캐패시터에 저장된 데이터에 응답하여, 대응하는 제1 산화막/질화막의 계면에 선택적으로 전자를 축적하는 제4 단계를 포함하는 비휘발성 디램의 구동방법을 제공한다.

또한 본 발명은 플로팅게이트와 컨트롤게이트와, 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 구비하며, 파워오프시에는 상기 다수의 단위셀 각각의 플로팅게이트에 전자를 선택적으로 축척함으로서 데이터를 저장하고, 파워온시에는 상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하는 비휘발성 디램을 제공한다.

또한, 본 발명은 제1 산화막/질화막/컨트롤게이트가 적층된 게이트패턴과 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 구비하며, 파워오프시에는 상기 다수의 단위셀 각각의 제1 산화막/질화막의 계면에 전자를 선택적으로 축척함으로서 데이터를 저장하고, 파워온시에는 상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하는 비휘발성 디램을 제공한다.

또한, 본 발명은 산화막/질화막/컨트롤게이트가 적층된 게이트패턴과 제1 및 제2 접합영역을 구비하는 트랜지스터와, 상기 트랜지스터의 제2 접합영역과 플레이트전극 전원단 사이에 캐패시터를 구비하는 다수의 단위셀을 구비하며, 파워오프시에는 상기 다수의 단위셀 각각의 산화막/질화막 계면에 전자를 선택적으로 축척함으로서 데이터를 저장하고, 파워온시에는 상기 다수의 단위셀 각각의 캐패시터에 데이터를 저장하는 비휘발성 디램을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시 할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도3은 본 발명의 바람직한 실시예에 따른 비휘발성 디램의 단위셀을 나타내는 도면이다.

도3을 참조하여 살펴보면, 본 실시예에 따른 비휘발성 디램의 단위셀은 게이트용 제1 절연막(31)과 플로팅게이트(32)와 게이트용 제2 절연막(33)과 컨트롤게이트(34)와, 제1 및 제2 접합영역(35,36)을 구비하는 트랜지스터와, 트랜지스터의 제2 접합영역(36)과 플레이트전극 전원단 사이에 캐패시터(Cap)를 구비한다.

본 실시예에 따른 비휘발성 디램은 파워오프시에는 플로팅게이트(32)에 전자를 선택적으로 축척함으로서 데이터를 저장하고, 파워온시에는 캐패시터(Cap)에 데이터를 저장하고, 판독하게 된다.

여기서 제1 및 제2 접합영역(35,36)은 N형 도전성 불순물로 도핑된 영역이며, 제1 접합영역(35)은 비트라인에 인가되는 비트라인 전압(Vbl)을 공급받게 되고, 컨트롤게이트(34)에는 워드라인 전압(Vg)이 공급된다. 또한 캐패시터(Cap)의 일측 즉 스토리지 노드는 제2 접합영역(36)과 연결되고, 타측인 플레이트 노드는 플레이트 전극 전압(Vcp)을 인가받게 된다. 또한 도면부호 '30c'는 P형 웨爾을 나타내며 트랜지스터의 벌크영역을 이루고, '30b'는 N형 웨爾을 나타내는 것이고, 30a는 P형 반도체 기판을 나타내는 것이다.

본 실시예에 따른 비휘발성 디램은 리콜모드, 문턱전압 조정모드, 노멀디램모드, 프로그램모드 총 네가지 모드를 가지고 있다. 이하에서는 각각의 모드를 나타내는 도면을 참조하여 본 실시예에 따른 비휘발성 디램의 동작을 살펴본다.

먼저, 리콜모드에서는 단위셀의 플로팅게이트에 축척되는 전자량에 응답하여, 캐패시터에 데이터를 저장하게 된다.

본 발명은 전원이 공급되는 동안에는 통상적인 디램으로 동작하게 되고, 전원 공급이 중단되는 동안에는 플로팅게이트(32)에 축척된 전자의 유무에 의해 데이터를 저장하게 되는데, 전원이 공급되면 첫번째로 플로팅게이트(32)에 축척된 전자의 유무를 판별하고, 그에 대응하여 캐패시터에 데이터를 저장하고, 이를 리콜 모드라고 하는 것이다.

만약 트랜지스터의 플로팅게이트(32)에 전자가 충전되어 있으면, 트랜지스터가 높은 문턱전압(Vth.h)을 가지게 되고, 플로팅게이트(33)에 전자가 충전되어 있지 않은 경우에는 낮은 문턱전압(Vth.l)을 가지게 된다. 높은 문턱전압(Vth.h)인 경우 데이터 '0'을 저장하고 있는 경우이고, 낮은 문턱전압(Vth.l)을 가지고 있는 경우는 데이터 '1'을 저장하고 있는 경우이다.

도4a 내지 도4c는 도3에 도시된 비휘발성 디램의 단위셀에서 리콜 모드의 동작을 나타내는 단면도이다.

도4a에 도시된 바와 같이, 리콜모드에서 먼저 컨트롤게이트(34)에 4V의 고전압을 인가하고, 비트라인 전압(Vbl)으로 2.5V의 전압을 인가하고, 플레이트 전압(Vcp)으로 0V를 인가한다. 이로 인하여 게이트 패턴(31~34) 하부에 채널(37)이 형성되어 캐패시터(Cap)에 전자가 충전된다. 여기서 벌크전압(Vbb)은 -1V를 공급하게 된다.

이어서 도4b에 도시된 바와 같이, 비트라인 전압(Vbl)은 0V로 인가하고 컨트롤게이트(34)에는 낮은 문턱전압(Vth.l)에 해당되는 전압레벨인 0V를 인가하고, 플레이트 전압(Vcp)으로는 0V를 인가하게 된다.

이 때 트랜지스터의 플로팅게이트(32)에 전자가 축적되어 있지 않는 경우에는 문턱전압이 낮은 문턱전압(Vth.l)을 유지하고 있어, 제1 접합영역(35)과 제2 접합영역(36)의 사이에 채널(37)이 형성된다. 따라서 도4b의 상단에 표시된 도면처럼 캐패시터(Cap)에 충전된 전자가 비트라인을 통해 방전된다.

한편, 트랜지스터의 플로팅게이트(33)에 전자가 축적되어 있는 경우에는 문턱전압이 높은 문턱전압(Vth.h)을 유지하고 있어, 제1 접합영역(35)과 제2 접합영역(36)의 사이에 채널이 형성되지 않는다. 따라서 도4b의 하단에 표시된 도면처럼 캐패시터(Cap)에 충전된 전자가 방전되지 않는다.

본 발명의 비휘발성 디램에 전원이 공급되고 나서 리콜모드를 진행하고 나면, 단위셀 트랜지스터의 플로팅게이트(32)에 전자가 축적되어 있는 경우에는 도4c의 상단 도면에 표시된 바와 같이 캐패시터(Cap)에 전자가 방전된 상태를 유지하고, 플로팅게이트(32)에 전자가 축적되어 있는 경우에는 도4c의 하단 도면에 표시된 바와 같이 캐패시터(Cap)에 전자가 충전된 상태를 유지하게 된다.

이어서 플로팅게이트에 축적된 전자에 대응하여 캐패시터(Cap)에 저장된 데이터를 보다 확실하게 하기 위해 리프레쉬 동작을 추가로 실시할 수 있다.

또한, 전술한 리콜모드는 로우어드레스 별로 수행하도록 한다.

상기와 같이 리콜모드에서 플로팅게이트(32)에 전자가 축적된 유무에 따라 캐패시터(Cap)에 데이터를 저장하게 되면, 데이터 '1'을 저장하고 있는 플로팅게이트(32)인 경우 대응되는 캐패시터(Cap)에 데이터 '0'이 저장되고, 데이터 '1'을 저장하고 있는 플로팅게이트(32)인 경우 대응되는 캐패시터(Cap)에 데이터 '0'을 저장하게 된다.

따라서 반대로 된 데이터를 원래의 데이터로 반전시키는 동작이 필요하게 되는데, 이는 다음에 설명할 문턱전압 조정모드 시에 해결한다.

도5a 내지 도5d는 도3에 도시된 비휘발성 디램의 단위셀이 문턱전압 조정모드에서의 동작을 나타내는 단면도이고, 도5e는 문턱전압 조정모드에서 문턱전압이 조정되는 상태를 나타내는 과정도이다. 이어서 도5a 내지 도5e를 참조하여 문턱전압조정모드에서의 동작을 살펴본다.

문턱전압 조정모드에서는 단위셀을 구성하는 트랜지스터의 문턱전압(Vth)을 디램으로 동작할 때의 높은 문턱전압(Vth.h)으로 조정하기 위한 모드이다. 즉, 전원공급이 중단될 때 데이터를 저장하기 위해 트랜지스터의 문턱전압을 낮은 문턱전압(Vth.l) 또는 높은 문턱전압(Vth.h)으로 조정된 상태를 디램 동작시 모든 단위셀 각각의 트랜지스터 문턱전압을 높은 문턱전압(Vth.t)으로 조정하는 것이다.

먼저 트랜지스터의 문턱전압을 조정하기 전에 캐패시터에 저장된 데이터를 다른 단위셀로 백업받는다. 이 때 전술한 바와 같이 캐패시터에 저장된 데이터는 최초의 데이터와는 반대의 데이터로 유지되고 있기 때문에 반전하여 백업받도록 한다.

이어서, 도5a에 도시된 바와 같이, 컨트롤게이트(34)에는 5V의 고전압을 인가하고, 제1 접합영역(35)에 인가되는 비트라인 전압(Vbl)은 -3V의 전압을 인가하고, 별크전압(Vbb)도 -3V를 인가한다. 따라서 제1 접합영역(35)에서 공급되는 전자가 터널링현상에 의해서 플로팅게이트로 축적되어 단위셀 트랜지스터의 문턱전압이 높은 문턱전압(Vth.h)보다 더 높은 전압레벨을 가지게 된다. 이 때 플레이트 전극 전압(Vcp)은 0V를 공급한다.

이어서 도5b에 도시된 바와 같이, 컨트롤게이트(34)에는 높아진 문턱전압보다 높은 고전압인 5V를 인가하고, 비트라인전압(Vbl)로는 2.5V를 인가하고, 별크전압으로는 -1V를 인가한다. 따라서 게이트 패턴(21~24)의 하단에 채널이 형성되고, 채널을 통하여 캐패시터(Cap)에 전자가 충전되어 스토리지 노드 전압(Vn)이 2.5V로 증가된다. 이 때 플레이트 전극 전압(Vcp)은 0V를 공급한다.

이어서 도5c에 도시된 바와 같이 컨트롤게이트(34)에 디램동작시에 단위셀이 유지해야 할 목표 문턱전압인 높은 문턱전압($Vth.h=1.0V$)을 인가하고, 비트라인 전압(Vbl)으로 0V를 인가하고, 별크전압(Vbb)으로 -1V를 인가한다. 따라서 도5c의

상단에 나타난 것과 같이 트랜지스터의 문턱전압(V_{th})이 높은 문턱전압($V_{th.h}$)인 경우에는 채널(39)이 형성되어 캐패시터(Cap)에 충전되어 있는 전자가 방전이 되고, 도5c의 하단에 나타난 것과 같이 트랜지스터의 문턱전압(V_{th})이 높은 문턱전압($V_{th.h}$)에 도달하지 않은 경우에는 채널이 형성되지 않아 캐패시터(Cap)에 충전된 전자가 방전되지 않는다.

이 경우에는 플로팅게이트(32)에 축척된 전자의 소정양을 추출하여 문턱전압을 높은 문턱전압($V_{th.h}$)으로 낮추어 주어야 한다.

여기서 컨트롤게이트(34)에 목표 문턱전압인 높은 문턱전압($V_{th.h}=1.0V$)을 인가하고 비트라인 전압(V_{bl})으로 0V를 인가하는 대신에, 컨트롤게이트(34)에 0V를 인가하고, 비트라인 전압으로 목표 문턱전압인 높은 문턱전압($V_{th.h}=1.0V$)의 마이너스값에 해당되는 전압을 인가하여도 된다.

이어서 도5d에 도시된 바와 같이, 컨트롤게이트(32)에 -3V의 전압을 인가하고 비트라인 전압(V_{bl})으로 0V를 인가하고, 벌크전압(V_{bb})으로 -3V를 인가한다. 한편 플레이트 전극 전압(V_{cp})를 0V에서 2.5V로 높이어서 공급하는데, 이로 인해 캐패시터(Cap)에 전자가 충전되어 있는 경우에는 스토린지 노드 전압(V_n)이 커플링 작용에 의해 2.5V에서 5V로 증가된다.

따라서 플로팅게이트(32)에 축척된 소정양의 전자가 추출되어 캐패시터(Cap)로 이동되고, 이로 인해 문턱전압(V_{th})이 낮아진다.

이어서 다시 도5c에 도시된 바와 같이 컨트롤게이트 목표문턱전압($V_{th.h}$)를 인가하고, 비트라인 전압(V_{bl})로 0V를 인가하여 캐패시터(Cap)를 방전시킨다. 여기서 만약 트랜지스터의 문턱전압이 높은 문턱전압($V_{th.h}$)인 경우 캐패시터가 방전될 것이고, 아직 높은 문턱전압($V_{th.h}$)이 아니라면 다시 도5d에 도시된 바와 같이 플로팅게이트(32)에 축척된 소정양의 전자를 추출하여 문턱전압을 더 낮추게 한다.

여기서 도5c와 도5d에 도시된 바와 같이 캐패시터에 저장된 전자를 방전시키고, 문턱전압을 낮추는 동작을 한번 수행하고 나서는 단위셀을 리프레쉬하는 동작을 수행한다.

도5e는 문턱전압 조정모드에서의 문턱전압이 조정되는 상태를 나타내는 파형도이다. 도5e에 도시된 바와 같이 도5c와 도5d에 각각 도시된 캐패시터에 저장된 전자를 방전시키고, 문턱전압을 낮추는 동작을 하나의 사이클로 하여 단위셀의 문턱전압이 높은 문턱전압($V_{th.h}$)이 될 때까지 진행한다.

트랜지스터의 문턱전압이 높은 문턱전압($V_{th.h}$)이 된 단위셀은 구비하고 있는 캐패시터가 방전되어 문턱전압의 강하가 중단되고, 문턱전압이 높은 문턱전압($V_{th.h}$)이 아직 도착하지 않은 경우에는 문턱전압의 강하가 계속되어 강하하게 되는 것이다.

문턱전압 조정이 끝나면, 이어서 백업된 데이터를 단위셀의 캐패시터에 저장한다. 문턱전압 조정모드도 리콜모드에서와 같이 로우어드레스 별로 수행하게 된다.

전술한 바와 같이, 문턱전압 조정모드에서 문턱전압이 노멀 디램모드에서의 높은 문턱전압($V_{th.h}$)이 된 이후에 통상적인 노멀 디램에서와 같이 동작하게 된다.

도6은 도3에 도시된 비휘발성 디램의 단위셀에서 노멀 디램 모드에서의 동작을 나타내는 단면도이다.

도6에 도시된 바와 같이, 전원공급이 공급되는 동안은 통상적인 노멀 디램과 같은 동작을 하게 되는데, 플레이트 전극 전압(V_{cp})은 0V가 인가되며, 벌크전압(V_{bb})로는 -1V의 전압이 인가된 상태에서 컨트롤게이트(34)는 4V의 전압이 인가되면, 채널(40)이 형성된다. 채널(40)이 형성된 상태에서 디램의 리드동작시에는 비트라인 전압(V_{bl})의 상태에 따라 캐패시터에 전자가 충전되거나, 캐패시터에 충전된 전자가 방전된다. 또한 디램의 라이트 동작시에는 캐패시터 충전된 전자가 비트라인으로 공급되거나, 비트라인에 있는 전자가 캐패시터로 충전된다.

전술한 바와 같이 전원이 공급될 때에는 노멀 디램으로 동작하다가 전원공급이 중단되는 파워오프 구간동안에는 플로팅게이트에 전자를 축척함으로서 데이터를 저장하게 된다. 단위셀의 캐패시터에 저장된 데이터에 따라, 대응하는 트랜지스터의 플로팅게이트에 축척되는 전자를 조절하는 동작을 전원공급이 중단되기 전에 수행하게 되는데 이를 프로그램 모드라고 한다.

도7a 내지 도7b는 도3에 도시된 비휘발성 디램의 단위셀에서 프로그램 모드에서의 동작을 나타내는 단면도이며, 도7c는 프로그램 모드에서 문턱전압이 조정되는 상태를 나타내는 파형도이다.

계속해서 도7a 내지 도7b를 참조하여 프로그램 모드에서의 동작을 살펴본다.

도7a에 도시된 바와 같이, 프로그램 모드에서 컨트롤게이트(34)로 -3V를 인가하고, 비트라인 전압(Vbl)로는 0V를 인가하고, 벌크전압(Vbb)로는 -3V를 인가한다. 플레이트 전극 전압(Vcp)은 0V에서 2.5로 승압시킨다.

이 때 캐패시터(Cap)에 전자가 충전되어 있는 경우에는 캐패시터(Cap)의 커플링 작용에 의해 스토리지 노드 전압(Vn)이 2.5V에서 5V로 승압된다. 만약 캐패시터에 전자가 충전되어 있지 않은 경우에는 캐패시터의 커플링 작용에 의해 스토리지 노드 전압(Vn)이 0V에서 2.5V로 승압된다.

스토리지 노드 전압(Vn)이 5V인 경우에 플로팅게이트(32)에 축척된 소정양의 전자가 빠져나와 캐패시터(Cap)로 이동되고, 이로 인해 단위셀 트랜지스터의 문턱전압이 낮아지게 된다. 만약 스토리지 노드 전압(Vn)이 2.5V라면 플로팅게이트(32)에 축척된 전자가 추출되지 않게 되어 단위셀 트랜지스터의 문턱전압이 변화하지 않게 된다.

이어서 도7b에 도시된 바와 같이, 컨트롤게이트(34)에 낮은 문턱전압(Vth.l)을 인가하고 비트라인 전압(Vbl)으로 0V를 인가하고, 벌크전압(Vbb)으로 -1V를 인가하고, 플레이트 전극 전압(Vcp)로는 0V를 인가한다.

만약, 단위셀 트랜지스터의 문턱전압이 낮은 문턱전압(Vth.l)이라면, 단위셀의 트랜지스터가 턴온되어 채널이 형성되어 캐패시터(Cap)에 충전된 전자가 모두 제1 접합영역(35)을 통해 비트라인으로 방전될 것이고, 아직 낮은 문턱전압(Vth.l)이 아니라면, 단위셀의 트랜지스터가 턴온되지 않아 캐패시터(Cap)에 전자가 충전된 상태를 유지하게 된다.

캐패시터(Cap)에 전자가 충전되어 데이터 '1'을 저장하고 있는 단위셀의 경우 대응하는 트랜지스터의 문턱전압(Vth)이 낮은 문턱전압(Vth.l)이 될 때까지 도7a에서 설명한 바와 같이 플로팅게이트(32)에 축척된 소정양의 전자를 추출하여 캐패시터(Cap)로 이동시켜 문턱전압을 낮추는 동작을 계속 수행하게 된다. 즉, 캐패시터에 전자가 충전되어 있는 모든 단위셀 트랜지스터의 문턱전압을 낮은 문턱전압(Vth.l)이 될 때까지 도7a와 도7b에 도시된 동작을 반복해서 수행하는 것이다.

또한, 플로팅게이트(32)에 축척된 전자를 추출하여 캐패시터로 이동시키고, 컨트롤게이트(34)에 낮은 문턱전압(Vth.l)을 인가하는 동작을 한번 수행하고 나서는 리프레쉬동작을 수행한다. 여기서도 프로그램 모드에서의 동작도 로우 어드레스 별로 수행하게 된다.

따라서 앞에서 살펴본 바와 같이 본 실시예에 따른 비휘발성 디램의 단위셀은 전원이 공급되는 동안에는 캐패시터에 데이터를 저장하고, 저장된 데이터를 관리하는 통상적인 디램의 단위셀로 동작하게 된다. 전원공급이 중단되는 동안에는 캐패시터에 저장된 데이터에 따라서 대응하는 트랜지스터의 문턱전압을 조정된 상태를 유지함으로서 데이터를 유지하게 된다.

그러므로 본 발명의 비휘발성 디램은 전원이 공급되는 동안에는 캐패시터를 이용하여 고속으로 데이터를 억제스할 수 있으며, 전원공급이 중단되더라도 데이터가 소멸되지 않고 유지되어, 디램의 가장 큰 핸디캡인 전원공급이 중단되면 데이터가 소멸되는 약점을 해결할 수 있다.

도8은 도3에 도시된 비휘발성 디램의 단위셀에서, 리콜 모드에서의 다른 방법을 나타내는 단면도이다.

전술한 바와 같이, 도5a 내지 도5c에 도시된 바와 같이 리콜모드를 수행하게 되면, 파워오프시에 유지하고 있던 데이터와 반대의 데이터가 각 단위셀의 캐패시터에 저장이 된다. 따라서 이를 반대로 전환하는 동작이 따로 필요하였다.

이를 해결하기 위해 본 발명에서는 도8에 도시된 바와 같이 리콜모드가 종료된 후에 각 단위셀의 캐패시터에 저장된 데이터가 파워오프시에 컨트롤게이트에 원래 저장되어 있는 데이터와 같도록 하는 두번째 리콜모드의 동작을 제안하다.

두번째 리콜모드에서는 도8에 도시된 바와 같이 컨트롤게이트에 수학식1에 해당되는 전압을 인가하고, 비트라인 전압(Vbl)으로 프리차지전압(Vblp)을 인가하고, 벌크전압(Vbb)-1V을 인가하고, 플레이트 전극 전압으로 0V를 인가한다.

수학식 1

$$Vg = Vblp + (Vth.h + Vth.l) / 2$$

여기서 비트라인 프리차지 전압(V_{blp})은 1.25V이고, 높은 문턱전압($V_{th.h}$)은 1.0V이며, 낮은 문턱전압($V_{th.l}$)은 0V이다. 따라서 컨트롤게이트(32)에 인가되는 전압(V_g)은 1.75V이며, 프로그램 모드에서 낮은 문턱전압($V_{th.l}=1.0V$)으로 되어 있는 트랜지스터에 대응하는 캐패시터(Cap)에는 스토리지 노드 전압(V_n)이 1.75V가 될 때까지 충전되며, 프로그램 모드에서 높은 문턱전압($V_{th.h}=1.0V$)로 되어 있는 트랜지스터에 대응하는 캐패시터(Cap)에는 인가되는 전압이 0.75V가 될 때까지 충전된다.

이어서 단위셀에 대해 리프레쉬동작을 수행하면, 파워오프시에 트랜지스터의 플로팅게이트에 저장된 데이터와 같은 데이터가 캐패시터(Cap)에 저장이 된다.

또한, 전술한 두번째 리콜모드도 로우어드레스별로 수행하게 되는데, 리콜모드를 수행하는 워드라인 이외의 다른 워드라인은 음의 전압을 인가하도록 한다. 이는 두번째 리콜모드에서는 플로팅게이트(32) 축척된 전자를 캐패시터(Cap)로 이동하는 동작에서는 컨트롤게이트(34)에 비교적 낮은 전압인 1.75V의 전압을 인가하게 되기 때문에 리콜모드를 수행하지 않는 워드라인에 대응되는 트랜지스터가 약하게 턴온되어 누설전류가 생길 수 있기 때문이다.

본 실시예에 따른 비휘발성 디램을 구동하는 데 있어서, 리콜모드는 도5a 내지 도5c에 도시된 첫번째 방법을 사용할 수도 있고, 도8에 도시된 두번째 방법을 사용할 수도 있다.

도9는 본 발명의 바람직한 제2 실시예에 의한 비휘발성 디램의 단위셀을 나타내는 단면도이다.

도9를 참조하여 살펴보면 제2 실시예에 따른 비휘발성 디램의 단위셀은 트랜지스터의 게이트 패턴을 제1 실리콘산화막(41)/실리콘질화막(42)/제2 실리콘산화막(43)/컨트롤게이트(44)로 하는 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon)구조로 하고 있다. 트랜지스터의 게이트 패턴을 SONOS 구조로 하게 되면 전도체의 플로팅게이트가 구비되는 통상적인 게이트 패턴을 가지는 트랜지스터보다 제조공정상으로 크게 유리하다.

도9에 도시된 SONOS 구조를 가지는 비휘발성 디램의 단위셀의 동작은 전술한 제1 실시예와 같으므로 그에 관한 자세한 설명은 생략한다.

또한, 본 발명의 비휘발성 디램의 단위셀은 SONOS 구조에서 윗층의 제1 실리콘산화막(43)을 제거한 MNOS(METal-Oxide-Nitride-Oxide-Silicon)구조의 게이트 패턴을 가지는 트랜지스터를 이용하여 구성할 수도 있다.

여기서 SONOS구조나 MNOS구조의 게이트 패턴을 가지는 트랜지스터를 본 발명에 의해 비휘발성 디램의 단위셀에 사용하려면, 문턱전압 조정모드에서 드레인영역과 실리콘질화막(42)간에 축척된 전자를 제거하는 동작이 추가적으로 필요하다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

본 발명에 의한 비휘발성 디램의 단위셀은 전원이 공급되는 동안에는 통상적인 디램과 같이 캐패시터를 이용하여 데이터 양세스 동작을 수행하기 때문에 고속으로 데이터를 양세스할 수 있으며, 전원이 공급되지 않는 동안에도 통상적인 디램과 달리 데이터를 저장할 수 있어, 전원공급이 중단되더라도 데이터가 파괴되지 않아 다양한 용도의 시스템 메모리 장치로 사용할 수 있다.

또한, 본 발명의 비휘발성 디램의 단위셀은 통상적인 노멀 디램과 같은 회로구조를 가지고 있기 때문에, 노멀 디램의 단위셀에 비해 추가적인 면적증가는 없으면서도 전원공급이 중단되더라도 데이터를 유지할 수 있는 메모리 장치를 구현할 수 있다.

또한, 본 발명의 비휘발성 디램의 단위셀은 전원공급이 중단되더라도 데이터를 유지할 수 있기 때문에 본 발명의 비휘발성 디램의 단위셀을 구비하는 메모리 장치는 시스템이 동작하는 중간에 메모리 장치를 사용하지 않는 동안에는 메모리 장치의 전체를 파워다운시킬 수 있어 전력소모를 크게 줄일 수 있다.

도면의 간단한 설명

도1a는 종래기술에 의한 디램의 단위셀을 나타내는 회로도.

도1b는 도1a에 도시된 디램의 단위셀을 나타내는 단면도.

도2는 종래기술에 의한 플래쉬 메모리에서의 단위셀을 나타내는 도.

도3은 본 발명의 바람직한 실시예에 따른 비휘발성 디램의 단위셀을 나타내는 단면도.

도4a 내지 도4c는 도3에 도시된 비휘발성 디램의 단위셀에서 리콜 모드에서의 동작을 나타내는 단면도.

도5a 내지 도5d는 도3에 도시된 비휘발성 디램의 단위셀에서 문턱전압 조정 모드에서의 동작을 나타내는 단면도.

도5e는 문턱전압 조정모드에서의 문턱전압이 조정되는 상태를 나타내는 파형도.

도6은 도3에 도시된 비휘발성 디램의 단위셀에서 노멀 디램 모드에서의 동작을 나타내는 단면도.

도7a 내지 도7b는 도3에 도시된 비휘발성 디램의 단위셀에서 프로그램 모드에서의 동작을 나타내는 단면도.

도7c는 프로그램 모드에서 문턱전압이 조정되는 상태를 나타내는 파형도.

도8은 도3에 도시된 비휘발성 디램의 단위셀에서 리콜 모드에서의 다른 동작을 나타내는 단면도.

도9는 본 발명의 바람직한 제2 실시예에 의한 비휘발성 디램의 단위셀을 나타내는 단면도.

* 도면의 주요부분에 대한 부호설명 *

30a : 반도체 기판

30b : N웰영역

30c : P웰영역

31 : 제1 절연막.

32 : 플로팅 게이트

33 : 제2 절연막.

34 : 컨트롤 게이트

41 : 제1 실리콘산화막

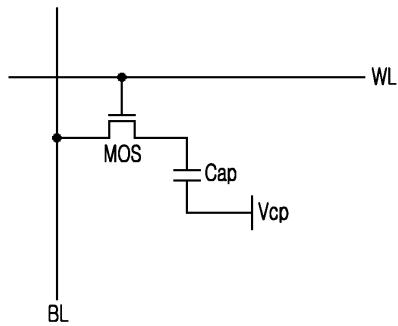
42 : 제1 실리콘질화막

43 : 제2 실리콘산화막

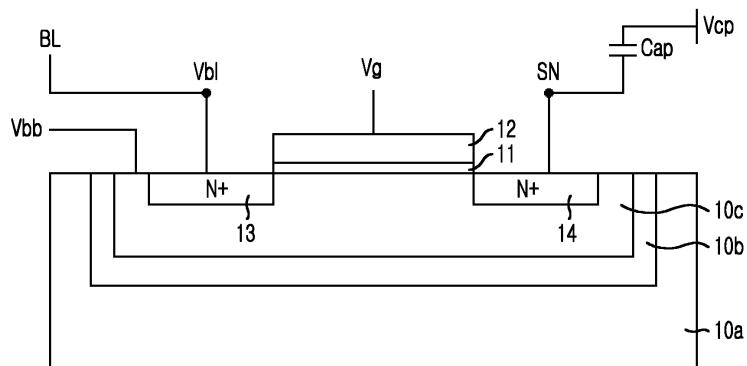
44 : 컨트롤 게이트

도면

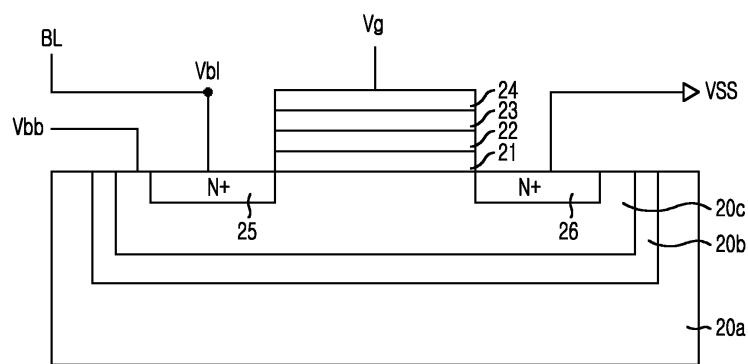
도면1a



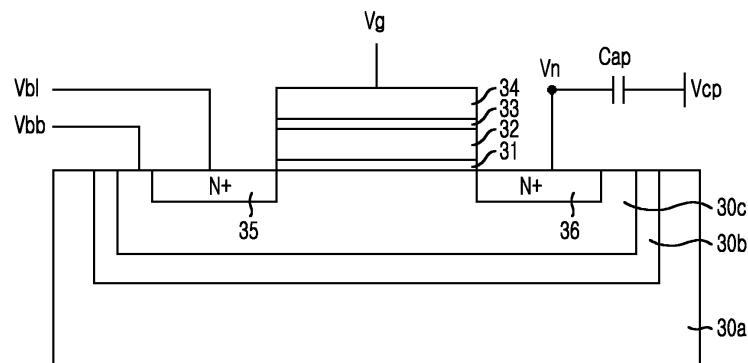
도면1b



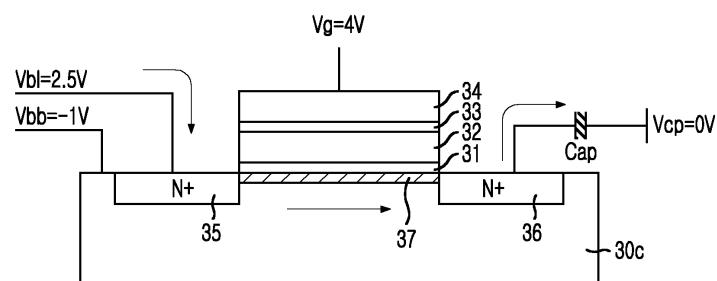
도면2



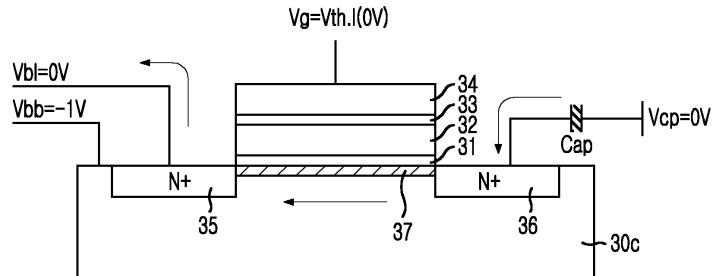
도면3



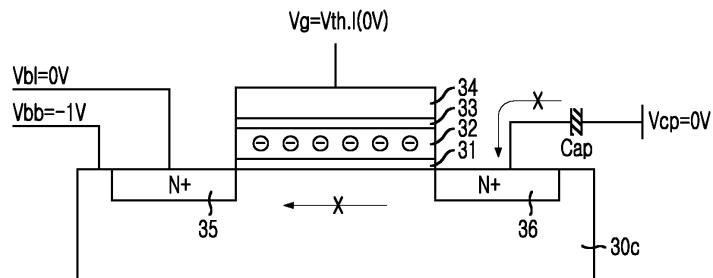
도면4a



도면4b

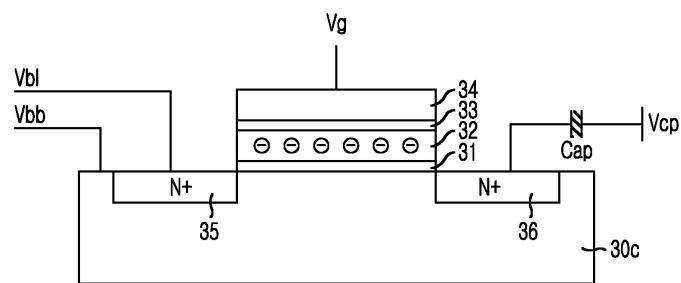
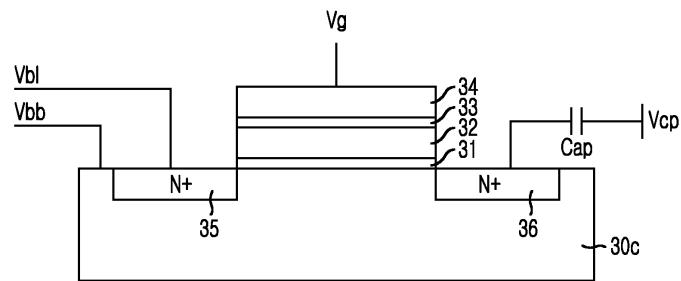


< 플로팅 케이트에 데이터 '1'이 저장되어 있는 경우 >
즉, V_{th} 가 $V_{th.l}$ 인 경우

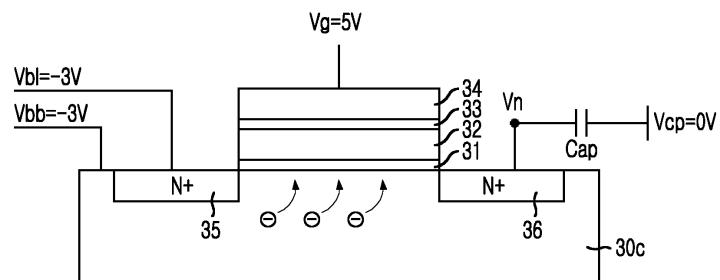


< 플로팅 케이트에 데이터 '0'이 저장되어 있는 경우 >
즉, V_{th} 가 $V_{th.h}$ 인 경우

도면4c

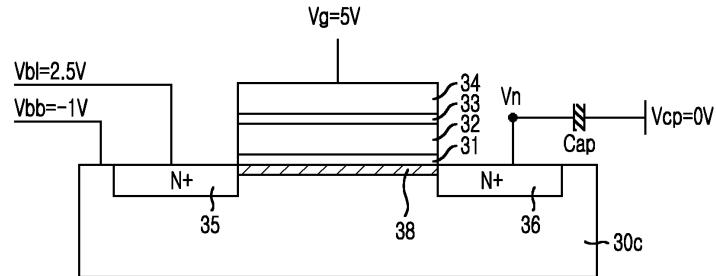


도면5a

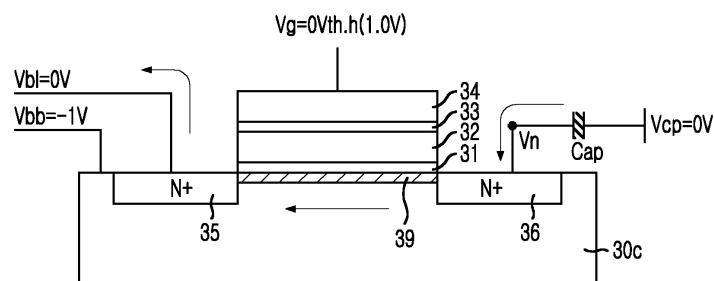
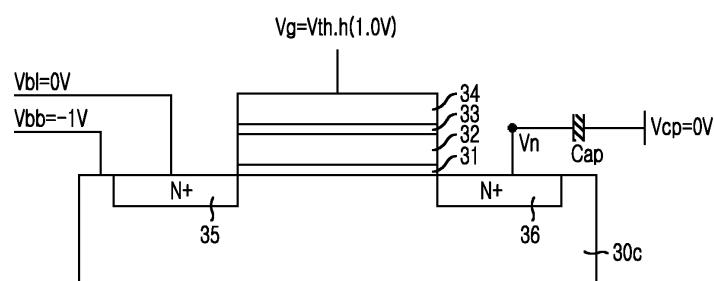


<문턱전압이 $V_{th,h}$ 이상의 전압레벨로 됨 >

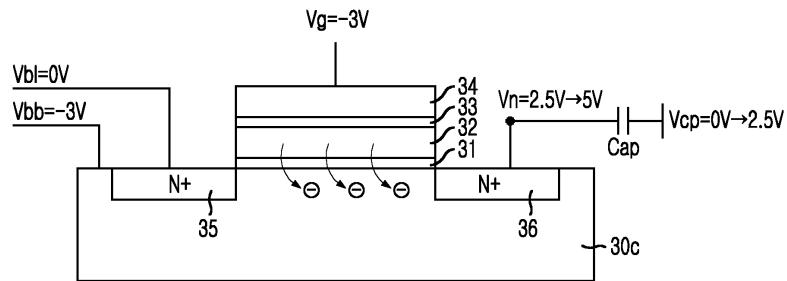
도면5b



도면5c

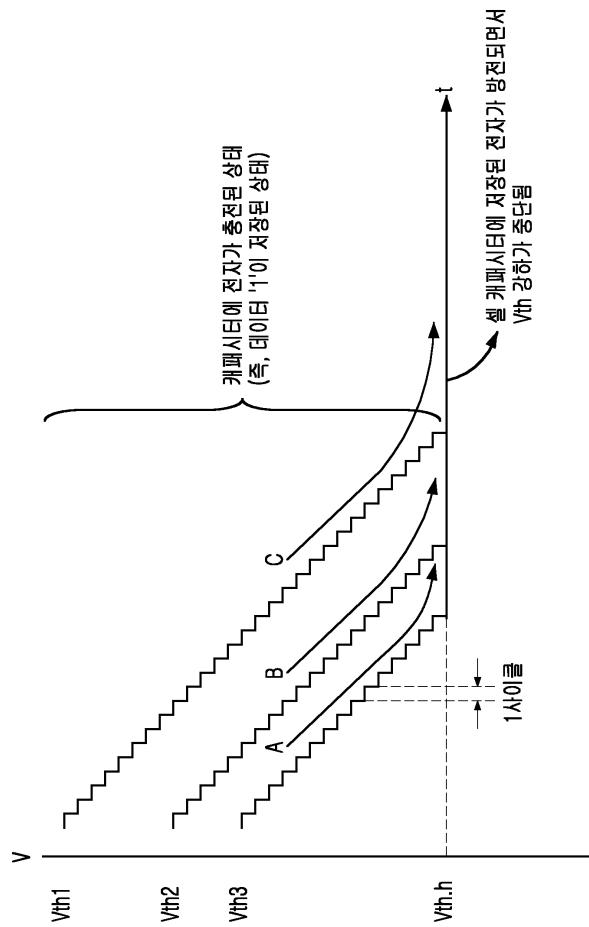
<문턱전압이 $V_{th.h}$ 인 경우 >

도면5d

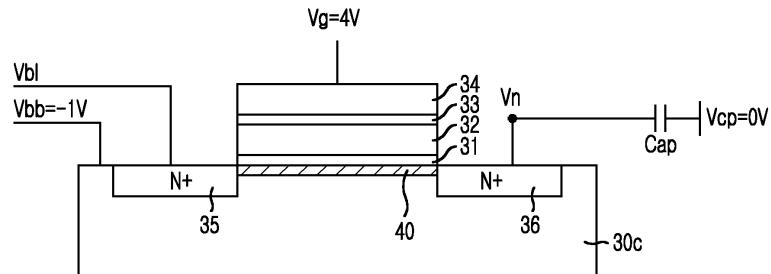


< 플로팅 게이트의 전자가 빠져나와 캐퍼시터쪽으로 이동하여 문턱전압 감소 >

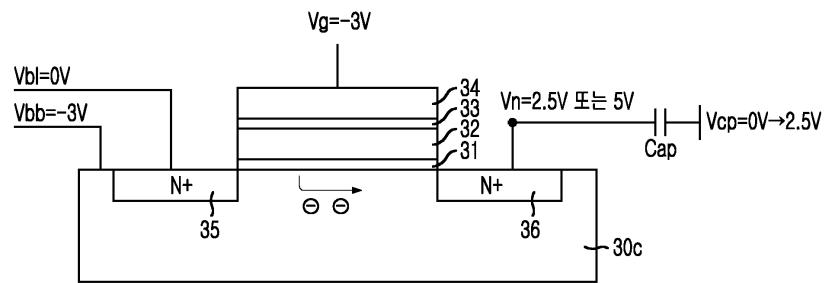
도면5e



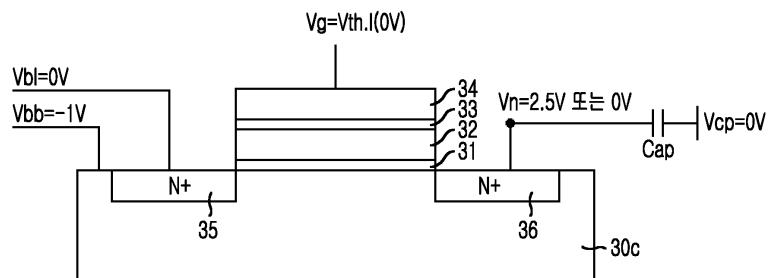
도면6

<문턱전압이 $V_{th.H}$ 이상의 전압레벨로 됨>

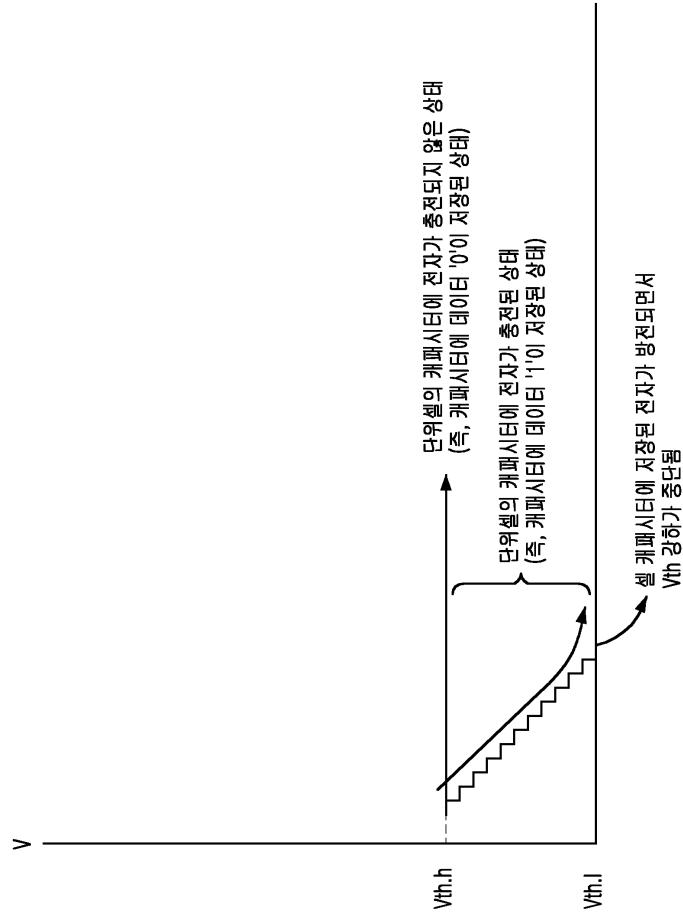
도면7a

< $V_n=5V$ 인 경우 플로팅 케이트의 전자가 캐패시터로 빠져나와서 V_{th} 감소됨>

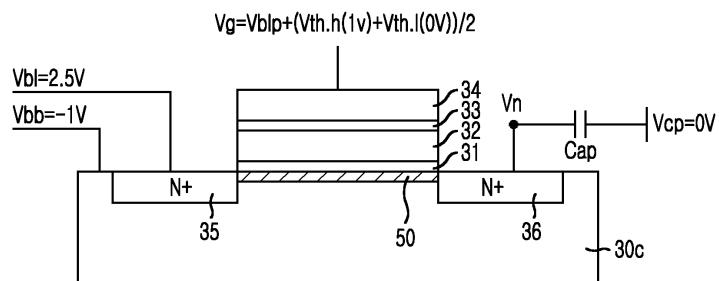
도면7b



도면7c



도면8



< $V_{th,h}=1.0V$ 인 경우 V_n 에 0.75V 인가
 $V_{th,l}=0V$ 인 경우 V_n 에 1.75V 인가 >

도면9

