

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4164241号  
(P4164241)

(45) 発行日 平成20年10月15日(2008.10.15)

(24) 登録日 平成20年8月1日(2008.8.1)

(51) Int.Cl.

F I

G 1 1 C 11/4099 (2006.01)

G 1 1 C 11/34 3 5 2 E

G 1 1 C 11/405 (2006.01)

G 1 1 C 11/34 3 5 2 B

G 1 1 C 11/4097 (2006.01)

G 1 1 C 11/34 3 6 2 B

G 1 1 C 11/401 (2006.01)

G 1 1 C 11/34 3 7 1 K

G 1 1 C 11/404 (2006.01)

G 1 1 C 11/34 3 5 2 C

請求項の数 19 (全 46 頁) 最終頁に続く

(21) 出願番号 特願2001-38237 (P2001-38237)  
 (22) 出願日 平成13年2月15日(2001.2.15)  
 (65) 公開番号 特開2002-245775 (P2002-245775A)  
 (43) 公開日 平成14年8月30日(2002.8.30)  
 審査請求日 平成16年3月26日(2004.3.26)

(73) 特許権者 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区大手町二丁目6番2号  
 (74) 代理人 110000350  
 ポレール特許業務法人  
 (74) 代理人 100068504  
 弁理士 小川 勝男  
 (72) 発明者 半澤 悟  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所 中央研究所内  
 (72) 発明者 阪田 健  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所 中央研究所内内

審査官 園田 康弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1データ線と、  
 前記第1データ線と交差する複数の第1ワード線と、  
 前記第1データ線と交差する第1ダミーワード線と、  
 前記複数の第1ワード線と第1データ線との交点に配置された複数の第1メモリセルを含む第1メモリセルアレイと、  
 前記第1ダミーワード線と前記第1データ線との交点に配置された第1ダミーセルと、  
 第2データ線と、  
 前記第2データ線と交差する複数の第2ワード線と、  
 前記第2データ線と交差する第2ダミーワード線と、  
 前記複数の第2ワード線と第2データ線との交点に配置された複数の第2メモリセルを含む第2メモリセルアレイと、  
 前記第2ダミーワード線と前記第2データ線との交点に配置された第2ダミーセルと、  
 前記第1データ線及び第2データ線に接続されるセンスアンプとを有し、  
 前記複数の第1及び第2メモリセルはリフレッシュ動作が必要であり、  
 前記第1メモリセルアレイが、前記第1ダミーセルと前記センスアンプとの間に配置され、  
 前記第2メモリセルアレイが、前記第2ダミーセルと前記センスアンプとの間に配置され、

10

20

前記第 1 及び第 2 データ線の夫々は、読み出しデータ線と書き込みデータ線を含み、前記第 1 ダミーセルと前記複数の第 1 メモリセルとは前記第 1 データ線に含まれる同じ読み出しデータ線に接続され、

前記第 2 ダミーセルと、前記複数の第 2 メモリセルとは前記第 2 データ線に含まれる同じ読み出しデータ線に接続されることを特徴とする半導体装置。

【請求項 2】

前記複数の第 1 及び第 2 メモリセルの夫々は、読み出しMOSトランジスタと書き込みMOSトランジスタとを含み、

前記第 1 及び第 2 ダミーセルの夫々は、ダミーの読み出しMOSトランジスタとダミーの書き込みMOSトランジスタとを含み、

前記第 1 及び第 2 ダミーセルの読み出しMOSトランジスタのソース・ドレイン間の抵抗値が、前記複数の第 1 及び第 2 メモリセルの読み出しMOSトランジスタのソース・ドレイン間の抵抗値の実質的に 2 倍である請求項 1 に記載の半導体装置。

【請求項 3】

前記複数の第 1 及び第 2 メモリセルの書き込みMOSトランジスタは、チャネル領域にトンネル電流を流し得る少なくとも一層の絶縁膜を有する請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 及び第 2 ダミーセルのソース・ドレイン経路の電圧を、前記メモリセルに記憶された信号を読み出すための参照電圧とする請求項 2 に記載の半導体装置。

【請求項 5】

第 1 及び第 2 のデータ線が交互に配置される複数のデータ線と、

前記第 1 及び第 2 のデータ線は、それぞれ読み出しデータ線と書き込みデータ線を含み、交互に配置された前記複数の第 1 のデータ線及び第 2 データ線において、隣接する前記第 1 のデータ線と第 2 のデータ線に含まれる読み出しデータ線の 2 本を対として接続するための複数の読み出しデータ線接続スイッチと、

前記スイッチに接続される前記読み出しデータ線接続スイッチを制御するための前記第 1 のデータ線と交差するスイッチ制御線と、

前記複数のデータ線と交差する複数のワード線と、

前記第 1 のデータ線と交差するダミーワード線と、

前記複数のワード線と前記複数のデータ線との交点に配置された複数のメモリセルを含むメモリセルアレイと、

前記ダミーワード線と前記第 1 のデータ線との交点に配置されたダミーセルと、

前記第 1 のデータ線に接続される第 1 のセンスアンプと、前記第 2 のデータ線に接続される第 2 のセンスアンプとを有し、

前記メモリセルはリフレッシュ動作が必要であり、

前記メモリセルアレイが、前記ダミーセルと前記第 1 のセンスアンプとの間に配置され、かつ、前記メモリセルアレイの一方の端に前記ダミーワード線と前記第 2 のセンスアンプが配置され、

前記メモリセルアレイの他方の端に前記読み出しデータ線接続スイッチが配置されることを特徴とする半導体装置。

【請求項 6】

前記メモリセルは読み出しMOSトランジスタと書き込みMOSトランジスタとを含み、

前記ダミーセルは前記第 1 読み出しデータ線ごとに配置され、前記メモリセルと実質的に同サイズ、同構成のダミーセルを含む請求項 5 に記載の半導体装置。

【請求項 7】

前記メモリセルの書き込みMOSトランジスタは、チャネル領域にトンネル電流を流し得る少なくとも一層の絶縁膜を有する請求項 6 に記載の半導体装置。

【請求項 8】

複数のデータ線と、

前記データ線と交差する複数のワード線と、

10

20

30

40

50

前記データ線と交差するダミーワード線と、  
前記複数のワード線と前記データ線との交点に配置される複数のメモリセルを含むメモリセルアレイと、  
前記ダミーワード線と前記データ線との交点に配置されるダミーセルと、  
前記データ線に結合されたセンスアンプとからなり、  
前記メモリセルはリフレッシュ動作を必要とし、  
前記メモリセルアレイは、前記ダミーセルと前記センスアンプとの間に配置され、  
前記メモリセルは読み出しMOSトランジスタと書き込みMOSトランジスタを含み、  
前記ダミーセルは第1のダミー読み出しMOSトランジスタとダミー書き込みMOSトランジスタとを含み、  
前記書き込みMOSトランジスタのチャネル領域は、多結晶シリコンで形成されることを特徴とする半導体装置。

10

【請求項9】

前記データ線は読み出しデータ線と書き込みデータ線を含み、  
前記ダミーセルは前記読み出しデータ線毎に配置されることを特徴とする請求項8記載の半導体装置。

【請求項10】

第1のダミー読み出しMOSトランジスタのソース・ドレイン経路の抵抗値は、読み出しMOSトランジスタのソース・ドレイン経路の抵抗値の実質的に2倍であることを特徴とする請求項8記載の半導体装置。

20

【請求項11】

前記書き込みMOSトランジスタは、前記読み出しMOSトランジスタ上に形成され、  
前記ダミー書き込みMOSトランジスタは、前記第1のダミー読み出しMOSトランジスタ上に形成されることを特徴とする請求項10記載の半導体装置。

【請求項12】

前記ダミーセルは前記第1の読み出しMOSトランジスタに直列に結合された第2のダミー読み出しMOSトランジスタを、さらに含むことを特徴とする請求項8記載の半導体装置。

【請求項13】

複数のデータ線と、  
前記データ線に交差する複数のワード線と、  
前記データ線と交差するダミーワード線と、  
前記複数のワード線とデータ線の交点に配置される複数のメモリセルを含むメモリセルアレイと、前記ダミーワード線と前記データ線との交点に配置されたダミーセルと、  
前記データ線に結合されたセンスアンプとからなり、  
前記メモリセルアレイは前記ダミーセルと前記センスアンプとの間に配置され、  
複数のメモリセルの各々は読み出しMOSトランジスタと書き込みMOSトランジスタとを含み、  
前記ダミーセルの各々は第1のダミー読み出しMOSトランジスタと第1のダミー書き込みMOSトランジスタを含み、  
電流は書き込みMOSトランジスタのチャネル領域を通して半導体基板の表面と交差する方向に流れることを特徴とする半導体装置。

30

【請求項14】

前記データ線は読み出しデータ線と書き込みデータ線を含み、  
前記ダミーセルは前記読み出しデータ線毎に配置されることを特徴とする請求項13記載の半導体装置。

【請求項15】

前記第1のダミー読み出しMOSトランジスタのソース・ドレイン経路の抵抗値は、前記読み出しMOSトランジスタのソース・ドレイン経路の抵抗値の実質的に2倍であることを特徴とする請求項13記載の半導体装置。

50

## 【請求項 16】

前記書き込みMOSトランジスタは前記読み出しMOSトランジスタ上に形成され、

前記第1のダミー書き込みMOSトランジスタは前記第1の読み出しMOSトランジスタ上に形成されることを特徴とする請求項15記載の半導体装置。

## 【請求項 17】

前記ダミーセルの各々は前記第1のダミー読み出しMOSトランジスタに直列に結合された第2のダミー読み出しMOSトランジスタを更に含むことを特徴とする請求項13記載の半導体装置。

## 【請求項 18】

前記ダミーセルの各々は第2のダミー書き込みMOSトランジスタを更に含み、

前記第1のダミー書き込みMOSトランジスタは前記第1のダミー読み出しMOSトランジスタ上に形成され、

前記第2の書き込みMOSトランジスタは前記第2のダミー読み出しMOSトランジスタ上に形成されることを特徴とする請求項17記載の半導体装置。

## 【請求項 19】

前記書き込みMOSトランジスタのチャネル領域と、前記ダミー書き込みMOSトランジスタのチャネル領域は、多結晶シリコンで形成されることを特徴とする請求項13記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は半導体装置に係り、特に、増幅作用を有するメモリセルを用いた高信頼、高速、高集積なメモリを含む半導体装置に関する。

## 【0002】

## 【従来の技術】

ダイナミック・ランダム・アクセス・メモリ（以下、「DRAM」という）には、1個のトランジスタと1個のキャパシタからなる1トランジスタセルをメモリセルとする構成が、広く用いられている。しかし、近年の半導体装置では、MOSトランジスタが高集積化および微細化されるにつれて、微細化に伴うMOSトランジスタの耐圧低下と、高集積化に伴う消費電力の増加が問題となり、これらを解決するためと、更なる低消費電力化の要求に答えるために、その動作電圧が低くなっている。このため、1トランジスタセルを用いたDRAMでは、メモリセル自体に増幅作用がないので、メモリセルからの読み出し信号量が小さく、動作が各種の雑音を受けて不安定になり易い。

## 【0003】

そこで、増幅作用により大きな読み出し信号量を得ることができるメモリセルとして、1トランジスタセルが実用化される以前に用いられていた3個のトランジスタで構成されるメモリセル（以下、「3トランジスタセル」という）が、再び注目されている。

## 【0004】

3トランジスタセルは、例えば、アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ、第42頁から第43頁（1970年）（IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS, pp.42-43, 1970）で述べられている。このメモリセル（以下、「MCT」という）は、図2に示すように、NMOSトランジスタR、W、Sから構成される。メモリセルMCTへの書き込み動作では、データバスDBUSからトランジスタWを介して記憶ノードNSにデータを書き込む。記憶情報を読み出す際、トランジスタRを活性化して、リードバスRBUSを記憶ノードNSの電位に応じた電位に駆動する。

## 【0005】

さらに、増幅作用を持つ別のメモリセルとして、2個のトランジスタと1個のキャパシタで構成される容量結合型2トランジスタセルが、アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テク

10

20

30

40

50

ニカル・ペーパーズ、第132頁から第133頁（2000年）（IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS, pp. 132-133, 2000。以下では文献1とする。）で述べられている。図3に示すように、このメモリセルMCは、読み出しNMOSトランジスタQR、書き込みトランジスタQW、結合容量Ccで構成される。読み出しNMOSトランジスタQRは通常MOSFETである。なお、書き込みトランジスタQWと結合容量Ccは、文献1において、それぞれスタックトトンネルトランジスタ（stacked tunnel transistor）PLEDTR、ビルトインキャパシタ（built-in capacitor）と呼ばれている。

【0006】

このメモリセルMCの特徴は、第一に、読み出しNMOSトランジスタQRと書き込みトランジスタQWが立て積み構造になっているため、セル面積を小さくできることである。すなわち、従来の1トランジスタを用いたメモリセルの面積が約 $8F^2$ （F: Feature size（最小加工寸法））であるのに対して、2トランジスタを用いるこのメモリセルMCの面積は $4 \sim 6F^2$ と小さい。

10

【0007】

第二に、トンネル現象を利用した書き込みトランジスタを用いてリーク電流を小さくしていることである。これにより、リフレッシュ動作は従来のDRAMと同様に必要であるが、その頻度は従来のものに比べて少なくてすむようになる。

【0008】

これらの素子の接続は、結合容量Ccの一端と書き込みトランジスタQWのゲートをワード線WLに接続し、書き込みトランジスタQWのソースを（文献1において「データ線」と呼ばれている）書き込みデータ線DWに接続する。結合容量Ccの他の一端と書き込みトランジスタQWのドレインを読み出しNMOSトランジスタQRのゲートに接続し、記憶ノードNを形成する。さらに、読み出しNMOSトランジスタQRのソースを接地し、ドレインを読み出しデータ線DR（文献1において「センス線」と呼ばれている）に接続する。記憶情報を読み出す際、読み出しNMOSトランジスタQRを活性化して、読み出しデータ線DRを記憶ノードNの電位に応じた電位に駆動する。

20

【0009】

ところで、従来の1トランジスタセルを用いたDRAMでは、一般に電源電圧VDDの半分の値 $V_{DD}/2$ を参照電圧として読み出し動作を行っている。すなわち、データ線対が $V_{DD}/2$ にプリチャージされた後に選択されたメモリセルの記憶情報に応じて、一方のデータ線が $V_{DD}/2 + V_S$ もしくは $V_{DD}/2 - V_S$ に駆動される。この電位に駆動された一方のデータ線とプリチャージ電位に保持されている他方のデータ線との微小電位差 $+V_S$ もしくは $-V_S$ をセンスアンプで増幅してデータを読み出す。すなわち、メモリセルの記憶情報に応じてデータ線対に生じる正もしくは負の信号から記憶情報の分別を行っている。

30

【0010】

しかし、前述したような増幅作用を有するメモリセルを用いた場合、データ線対に生じる信号は、何れか一方の極性の信号だけである。例えば、図2に示したメモリセルMCTにおいてトランジスタSが導通するような高電位の記憶情報“1”が記憶ノードNSに保持されている場合、ワード線WLが読み出し電位に駆動されるとトランジスタRが導通して、例えば $V_{DD}/2$ にプリチャージされた一方のデータ線を接地電位に向って放電する。このとき、データ線対には負の信号が得られる。一方、トランジスタSがオフするような低電位の記憶情報“0”が記憶ノードNSに保持されている場合、ワード線WLが読み出し電位に駆動されてトランジスタRが活性化されても、トランジスタSは導通しないため、データ線はプリチャージ電位 $V_{DD}/2$ に保持されたままである。よって、データ線対に電位差が生じないので記憶情報を分別することができない。図3に示したメモリセルMCにおいても、同様な問題が起こる。

40

【0011】

そこで、増幅作用を有するメモリセルの、このような問題を解決する読み出し方法として、例えば、特開平9-213812号公報で開示されている方法がある。ここでは、絶縁膜で分離されたメモリMISTランジスタM1と書き込みMISTランジスタQ1とで構成されるメモ

50

リセルが適用されている。さらに、読み出しデータ線の各々にはダミーセルが接続されている。このダミーセルは、上記メモリセルにおいて、メモリMISTランジスタM1のゲート長を約2倍にし、記憶情報“1”を書き込んだものが用いられている。このようなメモリセルとダミーセルを用いてデータ線対を駆動して、記憶情報を読み出している。

【0012】

また、従来の一般的なDRAMでは、ワード線ごとに一つずつダミーセルを設けており、選択された一つのメモリセルのデータを駆動して読み出していた。

【0013】

【発明が解決しようとする課題】

しかし、前述した特開平9-213812号公報に開示された方法を、図3に示したメモリセルMCから構成されるメモリセルアレイに適用すると、ダミーセルの配置によってはダミーセルに記憶情報“1”を書き込むためのデータ線配線が複雑になり、メモリセルアレイ面積が大きくなる。例えば、メモリセルのデータ線とダミーセルの電源供給線を同じ層で形成する場合、メモリセルとダミーセルの配置関係によっては、データ線が電源供給線を避けるようにそれぞれの線を形成する必要があり、面積が大きくなってしまう。本発明は、このような問題を解決するためになされた。

【0014】

したがって、本発明の目的の一つは、図3に示したメモリセルMCで構成されるメモリセルアレイの各メモリセルに保持された記憶情報を、読み出しデータ線対に正負の微小信号差を発生させて読み出すことができる半導体装置を提供することである。

【0015】

また、本発明の他の目的は、上記メモリセルMCやダミーセルの配置、データ線配線の連続性をそれぞれ保ちながら、小面積のメモリセルアレイを有する半導体装置を提供することである。

【0016】

さらに、本発明のまた他の目的は、高信頼性を確保しつつ高速・低電力・高集積なDRAMを実現することにある。

【0017】

またさらに、本発明は、複数のデータ線を同時に駆動して、一つのワード線に接続される全てのデータを読み出し可能な半導体装置を提供することである。

【0018】

【課題を解決するための手段】

本願によって開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明に係る半導体装置は、複数のデータ線と、前記データ線と交差する複数のワード線と、前記データ線と交差するダミーワード線と、前記複数のワード線とデータ線との交点に配置された複数のメモリセルからなるメモリセルアレイと、前記ダミーワード線と前記データ線との交点に配置されたダミーセルと、前記データ線に接続されるセンスアンプとを有し、前記メモリセルはリフレッシュ動作が必要であり、前記メモリセルアレイが、前記ダミーセルと前記センスアンプとの間に配置されることを特徴とするものである。

【0019】

また、本発明に係る半導体装置は、参照電圧 $V_{REF}(t)$ を発生するダミーセルを設け、この参照電圧 $V_{REF}(t)$ は、図4に示すように、記憶情報“1”もしくは“0”を保持するメモリセルMCで駆動されるデータ線の電位 $V_1(t)$ もしくは $V_0(t)$ のほぼ中間値となるように電圧を発生する。これにより、読み出しデータ線対に正負の微小信号を発生させてメモリセルの記憶情報を読み出すことができる。

この場合、ダミーセルをデータ線ごとに一つずつ設けた構成とすることにより、複数のデータ線を同時に駆動することができる。

【0020】

**【発明の実施の形態】**

以下、本発明に係る半導体装置の実施の形態について、具体的な実施例を用いて添付図面を参照しながら詳細に説明する。

**【0021】**

なお、本明細書では、「MOSトランジスタ」が絶縁ゲート型電界効果型トランジスタを意味する略式表現として用いている。

**【0022】****<実施例1>**

前述した文献1に示された容量結合型2トランジスタセル（以下、単に「メモリセルMC」という）をDRAMに適用する場合を一例として、本発明を説明する。

10

**【0023】**

図1は、本発明に係る半導体装置の一実施例を示すメモリ回路の要部回路図である。図1において、参照符号RWCAは読み書き制御回路アレイを示し、本実施例は、この読み書き制御回路アレイRWCAの両側に、 $n \times m$ ビットのメモリセルアレイを有するブロックBLK1, BLK2がそれぞれ配置された開放型データ線構成の例である。

**【0024】**

読み書き制御回路アレイRWCAは、 $m$ 個の読み書き制御回路RWC1, RWC2, ..., RWC $m$ で構成される。ブロックBLK1, BLK2は、 $n$ 個のメモリセルアレイMCA1, MCA2, ..., MCA $n$ およびダミーセルアレイDCAでそれぞれ構成される。

**【0025】**

ここで、読み出しデータ線DRと書き込みデータ線DWを一对として、データ線対(DR, DW)と表記すると、同図のブロックBLK1において $m$ 組のデータ線対(DR11, DW11), (DR12, DW12), ..., (DR1 $m$ , DW1 $m$ )が縦方向に延長され、同様にブロックBLK2において $m$ 組のデータ線対(DR21, DW21), (DR22, DW22), ..., (DR2 $m$ , DW2 $m$ )が縦方向に延長されている。図1では、このうち6組のデータ線対が例示されている。

20

**【0026】**

上記 $m$ 組のデータ線対は、例えばデータ線対(DR11, DW11)と(DR21, DW21)が読み書き制御回路RWC1に接続されるように、読み書き制御回路RWCK ( $k = 1, 2, \dots, m$ ) にそれぞれ接続される。また、上記 $m$ 組のデータ線対(DR1 $k$ , DW1 $k$ )および(DR2 $k$ , DW2 $k$ )と直交するように、同図では横方向に $n$ 本のワード線WL11, WL12, ..., WL1 $n$ および $n$ 本のWL21, WL22, ..., WL2 $n$ がそれぞれ延長され、このうち4本が例示されている。さらに、上記 $m$ 本の読み出しデータ線DR1 $k$ , DR2 $k$ と直交するように、同図では横方向にダミーワード線DWL1とDWL2がそれぞれ延長される。メモリセルアレイMCA1, MCA2, ..., MCA $m$ の各々では、例えばメモリセルアレイMCA1に示すように、ワード線WL11と $m$ 組のデータ線対(DR11, DW11), (DR12, DW12), ..., (DR1 $m$ , DW1 $m$ )との各交点に四角印で示す $m$ 個のメモリセルMC11, MC12, ..., MC1 $m$ がそれぞれ配置されており、一交点メモリセルアレイを形成している。

30

**【0027】**

また、ダミーセルアレイDCAでは、例えばブロックBLK1におけるように、ダミーワード線DWL1と読み出しデータ線DR11, DR12, ..., DR1 $m$ との各交点に丸印で示す $m$ 個のダミーセルDC1, DC2, ..., DC $m$ がそれぞれ配置されている。なお、同図の各素子および回路ブロックは公知の半導体集積回路の製造技術によって、単結晶シリコン等の半導体基板上においてLSI（大規模半導体集積回路）チップとして形成される。

40

**【0028】**

本実施例のメモリセルアレイの特徴は、基本構成であるブロックBLK2に注目すると次の二点である。

**【0029】**

第一に、メモリセルアレイMCA1, MCA2, ..., MCA $n$ が、読み書き制御回路アレイRWCA1とダミーセルアレイDCAとの間に配置されることである。この配置により、メモリセルMCとダミーセルDCの配置の連続性を保ちながらダミーセルアレイDCAおよびブロックBLKを形成することができるので、単に前述した従来の読み出し方法を適用する場合に比べてメモリセ

50

ルアレイ面積の増加を抑制できる。

#### 【 0 0 3 0 】

第二に、ダミーセルDCがメモリセルを二つ直列接続することにより構成されることである。この構成により、ダミーセルDCにおける読み出しNMOSトランジスタのチャネル長の合計がメモリセルMCの約2倍となり、ダミーセルDCは図4に示したような特性の参照電圧VREF(t)を発生することができる。ここで、参照電圧VREF(t)は、記憶情報“1”もしくは“0”を保持するメモリセルMCで駆動されるデータ線の電位V1(t)もしくはV0(t)のほぼ中間値となるような電圧である。なお、図4において、縦軸は電圧を、横軸は時間tをそれぞれ示している。上記メモリセルアレイの特徴について、以下に詳しく説明する。

#### 【 0 0 3 1 】

図5は、図1に示したブロックBLK2における回路を具体的に示している。ここでは、データ線対(DR21, DW21)とワード線WL2(n-2), WL2(n-1), WL2nとの各交点にそれぞれ配置されるメモリセルMC(n-2)1, MC(n-1)1, MCnと読み出しデータ線DR21とダミーワード線DWL2との交点に配置されるダミーセルDC1とが例示されている。メモリセルMCは、図3に示した構成と同じものである。図5において、例えばメモリセルの記憶ノードN2n1とは、ブロックBLK2のn行1列における記憶ノードであることを意味する。

#### 【 0 0 3 2 】

一方、ダミーセルDC1は、読み出しNMOSトランジスタDQR1, DQR2と、書き込みトランジスタDQW1, DQW2と、ダミーセルの記憶ノードDN211, DN212の電圧を制御する結合容量DCc1, DCc2とから構成される。これらの素子はメモリセルMCを構成する読み出しNMOSトランジスタQR、書き込みトランジスタQW、および記憶ノードNの電圧を制御する結合容量Ccとそれぞれ同じものである。

#### 【 0 0 3 3 】

ダミーセル内の素子は、次のように接続する。すなわち、結合容量DCc1の一端とトランジスタDQW1のゲートをダミーワード線DWL2に接続し、トランジスタDQW1のソースを電源電圧VDDに接続する。結合容量DCc1の他の一端とトランジスタDQW1のドレインとを、読み出しNMOSトランジスタDQR1のゲートに接続して記憶ノードDN211を形成する。同様に、結合容量DCc2の一端とトランジスタDQW2のゲートをダミーワード線DWL2に接続し、トランジスタDQW2のソースを電源電圧VDDに接続する。結合容量DCc2の他の一端とトランジスタDQW2のドレインとを、読み出しNMOSトランジスタDQR2のゲートに接続して記憶ノードDN212を形成する。さらに、読み出しNMOSトランジスタDQR1のソースと読み出しNMOSトランジスタDQR2のドレイン、読み出しNMOSトランジスタDQR1のドレインと読み出しデータ線DR21をそれぞれ接続し、読み出しNMOSトランジスタDQR2のソースを接地する。ここで図5において、例えば記憶ノードDN211とは、ブロックBLK2のダミーセルDC1における読み出しNMOSトランジスタDQR1のゲート電極に形成された記憶ノードであることを意味する。

#### 【 0 0 3 4 】

次に、本実施例におけるメモリセルアレイの読み書き動作を制御する読み書き制御回路RWCについて説明する。図6は読み書き制御回路RWC1, RWC2を例示しており、読み書き制御回路RWC1, RWC2はそれぞれ、データ線制御回路DSW1, DSW2と、センスアンプSAと、プリチャージ回路PCEQと、データ線選択回路YSWとで構成される。データ線制御回路DSW1, DSW2はそれぞれ、NMOSトランジスタMNR, MNWで構成される。

#### 【 0 0 3 5 】

同図に示すように、例えば読み書き制御回路RWC1におけるデータ線制御回路DSW1では、トランジスタMNRのソースがブロックBLK1の読み出しデータ線DR11に、ドレインがデータ線DLT1にそれぞれ接続され、トランジスタMNWのソースがブロックBLK1の書き込みデータ線DW11に、ドレインがデータ線DLB1にそれぞれ接続される。同様に、データ線制御回路DSW2では、トランジスタMNRのソースがブロックBLK2の読み出しデータ線DR21に、ドレインがデータ線DLB1にそれぞれ接続され、トランジスタMNWのソースがブロックBLK2の書き込みデータ線DW21に、ドレインがデータ線DLT1にそれぞれ接続される。

#### 【 0 0 3 6 】

10

20

30

40

50



以下では、データ線DLTkとDLBkを一組としてデータ線対(DLTk,DLBk)と表記する(なおここで、 $k=1,2,\dots,m$ であり、以下の説明においても、 $k$ は同様の意味で用いている)。同様に、読み出しデータ線DR1kとDR2kを一組として読み出しデータ線対(DR1k,DR2k)、書き込みデータ線DW1kとDW2kを一組として書き込みデータ線対(DW1k,DW2k)とそれぞれ表記する。

#### 【0037】

トランジスタMNRのゲートに接続された読み出し制御信号 Rが昇圧電位VDHに駆動されると、対応する読み出しデータ線対(DR1k,DR2k)がデータ線対(DLT,DLB)にそれぞれ接続される。ここで、昇圧電位VDHは、VDDを電源電圧、VTHをNMOSトランジスタのしきい電圧とすると、例えば、 $VDH = VDD + VTH$ である。また、トランジスタMNWのゲートに接続された書き込み制御信号 Wが昇圧電位VDHに駆動されると、対応する書き込みデータ線対(DW1k,DW2k)がデータ線対(DLBk,DLTk)にそれぞれ接続される。

10

#### 【0038】

センスアンプSAは、PMOSトランジスタMP61, MP62およびNMOSトランジスタMN61, MN62からなるフリップフロップ回路である。センスアンプ起動信号SDPが接地電位VSSに、センスアンプ起動信号SDNが昇圧電位VDHにそれぞれ駆動されると、PMOSトランジスタMP63およびNMOSトランジスタMN63を介して電源電圧VDDおよび接地電位VSSがそれぞれ対応するMOSトランジスタのソースに供給される。こうして活性化されたセンスアンプSAは、データ線対(DLTk,DLBk)に発生された微小電位差を増幅するので、メモリセルの記憶情報を高速に分別することができる。

20

#### 【0039】

プリチャージ回路PCEQは、NMOSトランジスタMN71, MN72, MN73で構成される回路である。プリチャージイネーブル信号EQが電源電圧VDDに駆動されると、トランジスタMN71, MN72を介してプリチャージ電圧 $VDD/2$ がデータ線対(DLTk,DLBk)に供給される。また、トランジスタMN73によって、データ線対(DLT,DLB)を同じ電位になるように制御することができる。

#### 【0040】

データ線選択回路YSWは、NMOSトランジスタQY1, QY2でそれぞれ構成される。読み書き制御回路RWC1内のデータ線選択回路YSWを一例として、その動作を説明する。NMOSトランジスタQY1, QY2のゲートに接続されたデータ線選択信号YS1が昇圧電位VDHに駆動されると、データ線対(DLT1,DLB1)はデータ線選択回路YSWにおけるトランジスタQY1, QY2のドレインとソースを介して共通データ線対IOT1, IOB1にそれぞれ接続される。

30

#### 【0041】

図1および図6に示していないが、センスアンプ起動信号SDP, SDN、プリチャージイネーブル信号EQ、読み出し制御信号 R、書き込み制御信号 Wは、アレイ制御回路により制御される。アレイ制御回路は読み書き制御回路列RWCAを選択制御するためのアドレス入力信号端子およびアドレスデコーダを備え、入力されたアドレス信号がアドレスデコーダでデコードされてデコード信号を発生する。このデコード信号により、選択するメモリセルが含まれるデータ線対(DR,DW)を指定するように、センスアンプ起動信号SDP, SDN、プリチャージイネーブル信号EQ、読み出し制御信号 R、書き込み制御信号 Wがそれぞれ活性化される。

40

#### 【0042】

また、ワード線WLおよびダミーワード線DWLは、ロウデコーダにより制御されるドライバ回路に接続されている。ロウデコーダは読み書き動作を行うメモリセルを選択制御するためのアドレス入力信号端子およびアドレスデコーダを備え、入力されたアドレス信号がアドレスデコーダでデコードされてデコード信号を発生する。このデコード信号により、選択するメモリセルが含まれるメモリセルおよびダミーセルを指定するように、ドライバ回路を介してワード線WLおよびダミーワード線DWLが活性化される。

#### 【0043】

さらに、データ線選択信号YSkはカラムデコーダにより制御されるドライバ回路に接続さ

50

れている。カラムデコーダは読み書き動作を行うメモリセルを選択制御するためのアドレス入力信号端子およびアドレスデコーダを備え、入力されたアドレス信号がアドレスデコーダでデコードされてデコード信号を発生する。このデコード信号により、選択するメモリセルが含まれるメモリセルを指定するように、ドライバ回路を介してデータ線選択信号 YSk が活性化される。

#### 【 0 0 4 4 】

図 7 は、図 1 および図 6 に示したメモリセルアレイ構成におけるブロック BLK2 のレイアウトの一部を示す。同図では、縦方向に 2 組のデータ線対 (DR21, DW21), (DR22, DW22) が、横方向にワード線 WL2(n-3) ~ WL2n およびダミーワード線 DWL2 がそれぞれ示されている。また、データ線対 (DR, DW) とワード線 WL の交点には記憶ノード N が形成されており、同図では記憶ノード N2(n-3)1, N2(n-2)1, N2(n-1)1, N2n1 が代表して指し示されている。さらに、読み出しデータ線 DR21 とダミーワード線 DWL2 との交点にはダミーセルにおける二つの記憶ノードが形成されており、同図では記憶ノード DN211, DN212 が代表して示されている。

10

#### 【 0 0 4 5 】

ワード線直下の基板層には通常 MOS トランジスタ (ここでは、読み出し NMOS トランジスタ QR) のチャネル領域と、隣り合うメモリセル MC の読み出し NMOS トランジスタ QR を分離するためのシリコン酸化膜 SGI がそれぞれ交互に形成されている。それ以外の基板層には、読み出し NMOS トランジスタ QR のドレインおよびソースとなるようにドナーを十分な濃度にドーピングしたシリコン (以下では「 $n^+Si$ 」と表記する) による通常の拡散層が形成され、接地電位 VSS が給電された拡散層と読み出しデータ線コンタクト DRCNT が形成される拡散層とが、ワード線 WL と平行に交互に形成されている。同図では、一点鎖線で囲まれたメモリセル MCn1 とダミーセル DC1 が示されている。

20

#### 【 0 0 4 6 】

ここで、ワード線ピッチまたはデータ線ピッチのうち、小さい方の配線ピッチの  $1/2$  の値を最小加工寸法 F と表すものとする。ワード線ピッチとデータ線ピッチの双方が等しい場合、一交点メモリセルは正方形をなし、その一边を最小加工寸法の 2 倍である  $2F$  と表すことができる。したがって、面積は最小値  $4F^2$  ( $2F \times 2F$ ) となる。これに対して図 7 では、データ線が 2 本のデータ線 DR, DW を対にして配置されているので、ワード線ピッチの方が小さく、メモリセル MCn1 の短辺の長さを最小加工寸法の 2 倍である  $2F$ 、長辺の長さを最小加工寸法の 2.5 倍である  $2.5F$  と表すことができる。したがって、メモリセル MCn1 の面積は  $5F^2$  ( $2F \times 2.5F$ ) となる。ただし、この値は一例であり、各々のメモリセルを構成する素子や配線を電氣的に分離させる領域が必要な場合や、マスク合わせ等のプロセス技術上の限界から生じる誤差を考慮すると、メモリセル MCn1 の面積はさらに大きな値となることもある。具体的には、メモリセル MCn1 の面積は、加工条件によってその上限は異なるが、1 つのトランジスタと 1 つのキャパシタで構成される従来の DRAM が、一般に  $8F^2$  で構成されている点を考慮すると、 $4 \sim 8F^2$  程度の間の大きさであることが望ましく、 $4 \sim 6F^2$  の間の大きさであれば、さらに高集積な DRAM を実現することができる。

30

#### 【 0 0 4 7 】

図 8 は、図 7 に示した A-A' 線に沿った断面の概略を示す図である。以下、この図に従ってメモリセル MC の構造について説明する。ここでは、一例として p 型シリコン基板 PSUB を用いている。書き込みトランジスタ QW は、積層した 4 層のポリシリコン PS1, PS2, PS3, PS4 の側壁にゲート酸化膜 INS1 を介してゲート電極となるワード線 WL2(n-1) が配置された縦型トランジスタで形成している点が特徴である。このゲート電極 (ワード線 WL2(n-1)) は、ボロンがドーピングされた p 型ポリシリコン膜で形成される。

40

#### 【 0 0 4 8 】

ポリシリコン PS1, PS2 は、ポリシリコンに  $10^{20} \text{ cm}^{-3}$  程度のリンがドーピングされており、トランジスタのドレインとソースをそれぞれ形成する。同図では、ポリシリコン PS1 が書き込みデータ線 DW21 であり、ポリシリコン PS2 が記憶ノード N2(n-1)1 である。ポリシリコン PS3, PS4 は、極めて低濃度のリンがドーピングされたイントリンジック (intrinsic) ポリ

50

シリコンで書き込みトランジスタQWの基板を形成する。ポリシリコンPS1とPS3、ポリシリコンPS3とPS4、ポリシリコンPS4とPS2との間には、 $2 \sim 3 \text{ nm}$ の薄い絶縁膜(例えばシリコン窒化膜)SN1, SN2, SN3がそれぞれ形成される。絶縁膜SN1とSN3は、トランジスタ形成時にドレインあるいはソース領域の高濃度のリンが内部(ポリシリコンPS3, PS4)の低濃度層に拡散しないようなストッパーの役割を果たす。

#### 【0049】

書き込みトランジスタQWのドレインからソース間に電流を流すために、これらの絶縁膜の厚さは正孔あるいは電子がトンネルできる程度の厚さにする。中央に位置する絶縁膜SN2は、トランジスタのオフ電流を小さく抑えるためのものである。すなわち、オフ状態にあるトランジスタ内のポリシリコンPS3, PS4で発生した正孔あるいは電子が、電流となってドレイン・ソース間を流れないようにするストッパーである。なお、ゲートに十分高い電圧を印加すると、この絶縁膜SN2のポテンシャル障壁は下がるのでドレイン・ソース間に十分大きなオン電流が流れる。もちろん、オフ電流の目標値によっては、この中央の絶縁膜SN2を削除することもできる。また、図8では中央のトンネル膜を1層と仮定したが、必要に応じて多層からなる絶縁膜としてもよい。

#### 【0050】

以上のような構造を有する書き込みトランジスタQWのポリシリコンPS1で形成されたドレイン電極、すなわち書き込みデータ線DW21上に、厚い絶縁膜INS2を介して、ボロンがドーピングされたp型シリコン膜で形成されたワード線WL2(n-1)が直交するように配置される。また、ポリシリコンPS2で形成された記憶ノードN2(n-1)1は、素子分離用シリコン酸化膜SGIの一部と読み出しNMOSトランジスタQRを覆うように、通常のMOSトランジスタのゲート酸化膜(同図では絶縁膜INS3)上に形成される。読み出しNMOSトランジスタQRのドレインあるいはソースを構成する $n^+Si$ 拡散層のうち、一方の $n^+Si$ 拡散層DS1上には読み出しデータ線コンタクトDRCNTが形成され、十分に厚い絶縁膜(同図では絶縁膜INS2, INS4, INS5)上の金属配線層MTL1(同図では読み出しデータ線DR21)と接続される。図5に示した結合容量Ccは、図8に示すように、ワード線WL2(n-1)とポリシリコンPS2の間の薄い熱酸化膜(ゲート酸化膜INS1)で形成される。

#### 【0051】

図9は、図7に示したB-B'線に沿った断面の概略を示す図である。図8と同様に、書き込みトランジスタQWは、積層した4層のポリシリコンPS1, PS2, PS3, PS4と薄い絶縁膜SN1, SN2, SN3で構成されている。 $n^+Si$ 拡散層DS2, DS5には、接地電位VSSが給電されている。図9では示していないが、 $n^+Si$ 拡散層DS3には図7に示した位置に読み出しデータ線コンタクトDRCNTが形成されている。したがって、メモリセルアレイMCAnにおけるメモリセルMC1とダミーセルDC1は、 $n^+Si$ 拡散層DS3を介して読み出しデータ線DR21に接続されている。

#### 【0052】

さらに、図9は、本実施例によるダミーセルDCの二つの特徴を示している。第一に、ダミーセルDCにおける読み出しNMOSトランジスタは、例えばダミーセルDC1におけるDQR1とDQR2のように $n^+Si$ 拡散層DS4を介して直列接続される。第二に、書き込みデータ線を形成するポリシリコンPS1は、ワード線WL2nとダミーワード線DWL2との間で分断されている。同図のように、例えば記憶ノードN2(n-1)1とN2n1上のポリシリコンPS1により、書き込みデータ線DW21が形成される。また、記憶ノードDN211とDN212上のポリシリコンPS1によって、電源給電線DWVが形成される。さらに、この電源給電線DWV上にコンタクトDWCNTが形成され、電源電圧VDDが供給された金属配線層MTL2に接続される。

#### 【0053】

以上のようなダミーセルDCの構成と配置により、次の二つの効果が得られる。

#### 【0054】

第一に、メモリセルアレイMCA1, MCA2, ..., MCAnが読み書き制御回路アレイRWCAとダミーセルアレイDCAとの間にそれぞれ配置されることにより、メモリセルMCとダミーセルDCの配置の連続性を保ちながらダミーセルアレイDCA並びにブロックBLKを容易に形成すること

ができて、メモリセルアレイ面積を抑制できる。すなわち、縦型の書き込みトランジスタQWを有する3次元構造メモリセルMCの隣に同様の構造のダミーセルDCが配置されるので、加工が容易である。また、メモリセルアレイMCAにおけるデータ線対(DR,DW)と同じピッチで、ダミーセルアレイDCAに読み出しデータ線DRおよび電源給電線DWVを形成できて、ダミーセルアレイDCAおよびブロックBLKの面積を抑制できる。書き込みデータ線DWと電源給電線DWVとを同じ層で形成する場合、それぞれの配線を迂回させる必要がないため、面積増加の抑制には特に効果的である。さらに、ダミーセルDCは電源電圧VDDが給電される電源給電線DWVに接続されているので記憶情報“1”を保持できて、読み出しNMOSトランジスタDQR1,DQR2がそれぞれ導通することにより、VDD/2にプリチャージされた読み出しデータ線DRを接地電位VSSに向かって放電することができる。

10

#### 【0055】

第二に、メモリセルMCを二つ直列接続してダミーセルDCが構成されることにより、ダミーセルDCにおける読み出しNMOSトランジスタのチャネル長の合計は、メモリセルMCの約2倍となる。このため、ダミーセルDCは図4に示したような参照電圧VREF(t)を発生することができる。すなわち、読み出しNMOSトランジスタDRQ1とDRQ2とが直列接続されるダミーセルのドレイン・ソース間の抵抗値は、同じサイズのNMOSトランジスタが一つだけ接続されるメモリセルMCの約2倍となるため、ゲートとソースとの間の電位差が一定の場合、トランジスタのオン電流はゲート長に反比例するから、ダミーセルDCの読み出しNMOSトランジスタDQR1とDQR2に流れる電流は、メモリセルMCの約半分になる。したがって、ダミーセルDCの放電スピードはメモリセルMCより遅くなり、参照電圧VREF(t)が発生される。また、メモリセルMCに加工ばらつきが生じた場合でも、メモリセルを二つ直列接続したダミーセルDCに加工ばらつきが同じ割合で再現されるため、精度良く参照電圧VREF(t)を発生できる。

20

#### 【0056】

図10に、本実施例における読み出し動作および再書き込み動作を示す。以下では、図1のメモリセルアレイ構成に従い、一例として読み出しデータ線対(DR11,DR21),(DR12,DR22)と、書き込みデータ線対(DW11,DW21),(DW12,DW22)に注目して順を追って説明する。ここで、ブロックBLK1におけるダミーセルアレイDCAを用いてデータ線DR11,DR12,...,DR1mに参照電圧VREF(t)を発生させ、ブロックBLK2におけるメモリセルMCの記憶情報を読み出すものとする。また、ブロックBLK2におけるメモリセルMCn1は記憶情報“1”を保持して

30

いて、このメモリセルMCn1の記憶ノードN2n1は待機状態において高電位VNB(H)であり、メモリセルMCn2は記憶情報“0”を保持していて、このメモリセルMCn2の記憶ノードN2n2は待機状態において低電位VNB(L)であるものと仮定する。

#### 【0057】

始めに、読み出し動作について説明する。図10では、読み書き制御回路RWC1,RWC2におけるデータ線対(DLT1,DLB1)と(DLT2,DLB2)を省略したが、読み出しデータ線対(DR11,DR21)と(DR12,DR22)の動作波形にそれぞれ等しい。図10に示す待機状態では、プリチャージイネーブル信号EQが電源電圧VDDに、読み出し制御信号Rと書き込み制御信号Wが昇圧電位VDHにそれぞれ駆動されている。また、読み出しデータ線対(DR11,DR21),(DR12,DR22)と、書き込みデータ線(DW11,DW21),(DW12,DW22)とは、それぞれVDD/2にプリチャ

40

#### 【0058】

まず、書き込み制御信号Wが接地電位VSSに駆動されて、書き込みデータ線(DW11,DW21),(DW12,DW22)とデータ線対(DLB1,DLT1),(DLB2,DLT2)が遮断され、プリチャージイネーブル信号EQが接地電位VSSに駆動されてプリチャージが終了する。

#### 【0059】

次に、待機電位-VBとなっているワード線WL2nおよびダミーワード線DWL1が読み出し電位VRに駆動されると、記憶ノードN2n1の電位は容量Ccと結合してVNR(H)に、記憶ノードN2n2の電位はVNR(L)にそれぞれ上昇する。同様に、ブロックBLK1におけるダミーセルDC1の記憶ノードDN111, DN112とダミーセルDC2の記憶ノードDN121, DN122の電位も、容量DCc11,

50

DCc12とそれぞれ結合して待機時の高レベルVNB(H)からVNR(H)にそれぞれ上昇する。VNR(H)は読み出しNMOSトランジスタQR, DR1, DR2のしきい電圧VTRよりも高い電位であるので、ブロックBLK2のメモリセルMCn1における読み出しNMOSトランジスタQRとブロックBLK1におけるダミーセルDC1, DC2の読み出しNMOSトランジスタDQR1, DQR2がそれぞれ導通して、読み出しデータ線DR11, DR12, DR21をそれぞれ放電する。

【 0 0 6 0 】

前述したように、ダミーセルDCの駆動能力はメモリセルMCよりも低いので、読み出しデータ線対(DR11, DR21)においては、常に読み出しデータ線DR21が読み出しデータ線DR11よりも早く放電することにより微小電位差が生じ、負の読み出し信号が得られる。一方、読み出しデータ線対(DR12, DR22)においては、ブロックBLK2におけるメモリセルMCn2の読み出しNMOSトランジスタQRがオフ状態にあるので、読み出しデータ線DR22はプリチャージ電位VDD/2に保持され、読み出しデータ線DR12が放電されることにより微小電位差が生じ、正の読み出し信号が得られる。

10

【 0 0 6 1 】

これらの読み出し信号が十分大きな値(例えば従来DRAMでは約0.1V)となるタイミングで、VDD/2となっているセンスアンプ起動信号SDPを接地電位VSSに、センスアンプ起動信号SDNを昇圧電位VDHに駆動し、読み書き制御回路RWC1, RWC2におけるセンスアンプSAを活性化する。上記読み出し信号はセンスアンプSAによりそれぞれ増幅され、読み出しデータ線DR21, DR12は接地電位VSSに、読み出しデータ線DR11, DR22は電源電圧VDDに駆動される。同図では省略したが、読み書き制御回路RWC1において、データ線DLT1が電源電圧VDDに、データ線DLB1が接地電位VSSにそれぞれ駆動されている。同様に、読み書き制御回路RWC2において、データ線DLTが接地電位VSSに、データ線DLBが電源電圧VDDにそれぞれ駆動されている。

20

【 0 0 6 2 】

次いで、接地電位VSSとなっているデータ線選択信号YS1を昇圧電位VDHに駆動して、読み書き制御回路RWC1におけるデータ線選択回路YSWを活性化させ、ブロックBLK2のメモリセルアレイMCAnにおけるメモリセルMCn1の記憶情報を共通データ線IO1T, IO1Bに読み出す。同様にして、ブロックBLK2のメモリセルアレイMCAnにおけるメモリセルMCn2のデータを共通データ線IO2T, IO2Bに読み出すこともできる。

30

【 0 0 6 3 】

次に、再書き込み動作について説明する。データ線選択信号YS1が再び接地電位VSSに駆動された後に、接地電位VSSとなっている書き込み制御信号Wが昇圧電位VDHに駆動されて、書き込みデータ線対(DW11, DW21)と読み書き制御回路RWC1におけるデータ線対(DLB1, DLT1)、書き込みデータ線対(DW12, DW22)と読み書き制御回路RWC2におけるデータ線対(DLB2, DLT2)とがそれぞれ接続される。この時、読み書き制御回路RWC1, RWC2におけるセンスアンプSAは活性状態にあるので、プリチャージ電位VDD/2となっている書き込みデータ線対(DW11, DW21)と(DW12, DW22)は、読み出された記憶情報に応じた電位にそれぞれ駆動される。同図では、ブロックBLK2のメモリセルMCn1の記憶情報“1”およびメモリセルMCn2の記憶情報“0”に応じて、書き込みデータ線DW21, DW12が電源電圧VDDに、書き込みデータ線DW11, DW22が接地電位VSSに駆動されることを示している。

40

【 0 0 6 4 】

続いて、ワード線WL2nとダミーワード線DWL1が書き込みトランジスタQW, DQWのしきい電圧VTWよりも高い書き込み電位VWに駆動されると、ブロックBLK2におけるメモリセルMCn1, MCn2の書き込みトランジスタQWと、ブロックBLK1におけるダミーセルDC1, DC2の書き込みトランジスタDQW1, DQW2がそれぞれ導通する。この結果、記憶ノードN2n1は電源電圧VDDに駆動されて記憶情報“1”が書きこまれ、記憶ノードN2n2が接地電位VSSに駆動されて記憶情報“0”が書き込まれる。すなわち、読み出しデータ線DRに読み出された信号をセンスアンプSAで反転増幅した信号が書き込みデータ線DWに生じるので、元の記憶情報が再度書き込まれる。

【 0 0 6 5 】

50

一方、ダミーセルDCの電源給電線DWVには電源電圧VDDが印加されているので、ブロックBLK1のダミーセルDCにおける記憶ノードDN1k1, DN1k2は電源電圧VDDに駆動されて記憶情報“1”が書きこまれる。この後、書き込み電位VWとなっているワード線WL2nとダミーワード線DWL1を待機電位-VBに駆動すると、メモリセルの記憶ノードN2n1およびダミーセルの記憶ノードDN1k1, DN1k2は、容量CcおよびDCc1, DCc2とそれぞれ結合して高電位の待機電位VNB(H)、記憶ノードN2n2は低電位の待機電位VNB(L)になる。すなわち、メモリセルおよびダミーセルは元の状態に戻る。

次に、接地電位VSSとなっているセンスアンプ起動信号SDPと、昇圧電位VDHとなっているセンスアンプ起動信号SDNをVDD/2にそれぞれ駆動して、読み書き制御回路RCW1, RCW2, ..., RWCmにおけるセンスアンプSAをオフ状態として再書き込み動作を終了する。最後に、接地電位VSSとなっているプリチャージイネーブル信号EQを電源電圧VDDに駆動し、上記データ線をそれぞれVDD/2にプリチャージして各データ線をプリチャージし、待機状態に戻る。したがって、本実施例によるブロックBLKでは、待機状態に浮遊状態のノードがないので、制御信号の電位の切替りで生じるノイズの影響を抑制し、正確に読み出し動作を行うことができる。

#### 【0066】

本実施例による読み書き制御回路は、図6に示したような構成に限られず、別の構成でも可能である。例えば、これまでは、これまではNMOSトランジスタMNRを介して読み出しデータ線対(DR1k, DR2k)とデータ線対(DLTk, DLBk)を接続していた。しかし、図10に示したように、読み出しデータ線対(DR1k, DR2k)に対応するデータ線対(DLTk, DLBk)に接続したまま読み書き動作をする場合、NMOSトランジスタMNRを取り除いたほうが、レイアウト面積を抑制することができる。

#### 【0067】

本実施例によるメモリセルアレイの読み出し動作は、図10に示したような制御による動作に限られることはなく、その他種々の制御による動作が可能である。例えば、これまでは読み出し制御信号Rを昇圧電位VDHに固定してNMOSトランジスタMNRを導通させ、読み出しデータ線対(DR1k, DR2k)に対応するデータ線対(DLTk, DLBk)に接続したまま、ワード線WLとダミーワード線DWLを読み出し電位VRに駆動した状態で微小電位差をセンスアンプSAで増幅する動作を示した。しかし、センスアンプSAを活性化する前に、読み出し電位VRとなっているワード線WLとダミーワード線DWLを待機電位-VBに駆動して読み出しデータ線の駆動を停止し、さらに高電位となっている読み出し信号Rを接地電位VSSに駆動して読み出しデータ線対(DR1k, DR2k)を切り離してから対応するデータ線対(DLTk, DLBk)をセンスアンプで増幅することも可能である。この場合の効果は二つある。

#### 【0068】

第一に、センスアンプSAの駆動すべき負荷容量が、読み出しデータ線DRの容量(以下ではCDRと表記)を除いたデータ線DLの容量(以下ではCDLと表記)だけとなるので、増幅時間が早くなり、読み出し時間を短縮できる。

#### 【0069】

第二に、読み出しデータ線DRの放電動作を停止し、さらにセンスアンプSAとメモリセルMCおよびダミーセルDMCにおける読み出しNMOSトランジスタQRおよびDQR1, DQR2を介して電源VDDと接地電位VSSとの間に流れる貫通電流を阻止することにより、消費電流を抑制できる。

#### 【0070】

ここで、読み出し制御信号Rの高電位は昇圧電位VDHである必要はなく、読み出しデータ線DRの電圧振幅が接地電位VSSからVDD/2の間となるため、電源電圧VDDとすることができる。

#### 【0071】

また、読み書き制御回路RWCKにおけるデータ線対(DLTk, DLBk)を増幅した後に、書き込みデータ線対(DW1k, DW2k)に対応するデータ線対(DLBk, DLTk)に接続して、それぞれをセンスアンプSAで駆動する動作を例示した。しかしこれに限られることはなく、対応するデータ

10

20

30

40

50

線対(DLBk,DLTk)と書き込みデータ線(DW1k,DW2k)を接続して、同時に増幅、駆動してもよい。この場合、データ線制御回路DSW1,DSW2におけるNMOSトランジスタMNWを活性化する時間を省くことができるので、書き込み動作時間を短縮することが可能となる。

【0072】

本実施例におけるダミーセルDCは、読み出しデータ線DRごとに一つずつ設けられているため、同時に複数の読み出しデータ線DRを駆動することができる。

【0073】

本実施例で用いた2トランジスタセルを用いると、トランジスタQW,DQW1,DQW2のリーク電流が小さく、記憶ノードN,DN11,DN12における電荷が長時間保持されるため、1トランジスタセルを用いた従来のDRAMと比べて、リフレッシュサイクルを長くすることができる。また、トランジスタのリーク電流が十分小さく、それぞれの記憶ノードにおける電荷が長時間保持される場合は、再書き込み動作を省略することができる。

【0074】

これまでは、プリチャージ電位がVDD/2の場合について説明したが、プリチャージ電位はこれに限定されない。例えば、電源電圧VDDが1V以下のような低電圧の場合、プリチャージ電位を電源電圧VDDとして、十分な値のオン電流を、読み出しNMOSトランジスタQRおよび書き込みトランジスタQWに流すことができる。さらに、十分大きな読み出し信号( $V_0(t)$ ), ( $V_1(t)$ )を得ることが出来る。この場合、プリチャージイネーブル信号EQを昇圧電位VDHとすれば、データ線対(DR,DW)を確実に電源電圧VDDにプリチャージできる。

【0075】

以上で用いてきた昇圧電位VDHおよびプリチャージ電位VDD/2は、従来DRAMでも用いられている電圧レベルであり、特に電源電圧発生回路を追加することがないのため、チップ面積を抑制できる。

【0076】

<実施例2>

本実施例では、ダミーセルの別の構成例を説明する。図11は、一例として図1に示したブロックBLK2に本実施例によるダミーセルDCLを適用した場合の回路構成を示している。ここでは、データ線対(DR21,DW21)とワード線WL2(n-2),WL2(n-1),WL2nとの交点にそれぞれ配置されるメモリセルMC(n-2)1,MC(n-1)1,MCn1とデータ線DR21とダミーワード線DL2との交点に配置されるダミーセルDCL1とが例示されている。また、図5に示したブロックBLK2とダミーセルアレイDCAと区別するために、図11ではブロックBLKL2、ダミーセルアレイDCLAとそれぞれ表記している。

【0077】

図5に示したダミーセルDCと比べて、ダミーセルDCLの異なる点は、読み出しNMOSトランジスタがDQRLの一つだけであり、そのゲート長はメモリセルMCの読み出しNMOSトランジスタQRのゲート長の2倍であることである。この特徴を、メモリセルアレイのレイアウト図と断面図により説明する。

【0078】

図12は、ブロックBLKL2の一部を示すレイアウト図である。同図では、縦方向に2組のデータ線対(DR21,DW21)および(DR22,DW22)が、横方向に4本のワード線WL2(n-3)~WL2nおよびダミーワード線DWL2がそれぞれ示されている。データ線対(DR2,DW2)とワード線WLおよび読み出しデータ線DRとダミーワード線DWL2との交点には記憶ノードNおよびDNLがそれぞれ形成されており、同図では記憶ノードN2(n-3)1,N2(n-2)1,N2(n-1)1,N2n1,DNL21が代表として示されている。

【0079】

ワード線直下の基板層には通常MOSトランジスタ(ここでは、読み出しNMOSトランジスタQR)のチャネル領域と、隣り合うメモリセルMCの読み出しNMOSトランジスタQRを分離するためのシリコン酸化膜SGIがそれぞれ交互に形成されている。それ以外の基板層には、読み出しNMOSトランジスタQRのドレインおよびソースとなるようにドナーを十分な濃度にドーピングしたn<sup>+</sup>Siによる通常の拡散層が形成され、接地電位VSSが給電された拡散層と読み

10

20

30

40

50

出しデータ線コンタクトDRCNTに接する拡散層とが、ワード線WL2kと平行に交互に形成されている。一点鎖線で囲んだ部分は、メモリセルMC2n1とダミーセルDCL1を示す。後で詳しく説明するが、書き込みデータ線DW2k層は、例えばメモリセルMCn1とダミーセルDCL1との間で分離される。また、ダミーセル内のDW2k層上には書き込みデータ線コンタクトDWCNTが形成され、電源電圧VDDが供給された金属配線層MTL2に接続される。

#### 【0080】

図13は、図12におけるA-A線に沿った断面の概略図を示している。図9に示したダミーセルの構造と異なる点は、以下の二つである。第一に、読み出しNMOSトランジスタDQRLのチャネル長をメモリセルの2倍としたことに応じて、書き込みトランジスタDQWLとダミーワード線DWL2の幅が2倍になっていることである。この構造の効果は、動作上の特徴で説明する。第二に、読み出しNMOSトランジスタを一つのDQRLとすることにより、図9におけるn<sup>+</sup>Si拡散層領域DS4が削除されていることである。したがって、この分だけダミーセルDCL1の面積を抑制できる。

#### 【0081】

次に、本実施例におけるダミーセルDCLの動作上の特徴を述べる。書き込みトランジスタDQWLは、図12に示す平面内で比べたときに、ダミーセルDCLにおける読み出しNMOSトランジスタDQRLのチャネルと同じ方向に同じ倍率で拡大されている。つまり、読み出しNMOSトランジスタDQRLにおけるチャネル長が2倍となってゲート面積が2倍になるのに応じて、書き込みトランジスタにおけるチャネル断面積も2倍となる。よって、図10に示した動作を適用した場合、メモリセルMCの記憶ノードNで充電される電荷密度と同じ密度の電荷をダミーセルDCLの記憶ノードDNLに充電することができる。したがって、ダミーセルDCLが読み出し状態に選択されて読み出しNMOSトランジスタが導通した時に、読み出しNMOSトランジスタDQRLのゲート-ソース間の電位差がメモリセルMCと等しくなり、ドレイン-ソース間に流れる電流はチャネル長に応じてメモリセルMCの約半分とすることができる。以上のような動作機構により、図4に示すような参照電圧VREF(t)を発生することができる。

#### 【0082】

##### <実施例3>

本実施例では、メモリセルアレイの別の構成例を説明する。実施例1で述べたように本実施例に適用されるメモリセルMCでは、2本のデータ線DR、DWを別の配線層を使って形成して、小さな面積のメモリセルを実現している。一方、図6に示すような通常のセンスアンプSAを開放型データ線構造のメモリセルアレイに適用する場合、2本のデータ線がセンスアンプSA上を通過することになるので、メモリセルMCと同じ間隔で効率よく配置することが難しい。そこで、図14に示すようなメモリセルアレイ構成として上記の問題を回避する。

#### 【0083】

このメモリセルアレイ構成の特徴は、例えばブロックBLKST1を用いて説明できる。第一に、ブロックBLKST1の両端に読み書き制御回路アレイRWCAS0とRWCAT1が配置されることである。第二に、ダミーセルアレイDCASとDCATとの間にm個のメモリセルアレイMCA1, MCA2, ..., MCAmが配置されることである。同図では、読み書き制御回路アレイRWCAS0, RWCAS1, RWCAT1およびブロックBLKST1, BLKST2を示しているが、さらに縦方向に読み書き制御回路アレイRWCAS, RWCATおよびブロックBLKSTが複数配置されているものとして、以下に本実施例を詳しく説明する。

#### 【0084】

まず、読み書き制御回路アレイRWCAS0は、図6に示すような1～sの複数の読み書き制御回路RWC1, RWC2, ..., RWCsで構成される。これらの読み書き制御回路RWCは、例えば読み書き制御回路RWC1にデータ線対(DR02, DW02)および(DR12, DW12)、読み書き制御回路RWC2にデータ線対(DR04, DW04)および(DR14, DW14)というように、一組のデータ線対(DR, DW)おきに接続される。同様に、読み書き制御回路アレイRWCAT1は、図6に示すような1～tの複数の読み書き制御回路RWC1, RWC2, ..., RWCtで構成される。これらの読み書き制御回路RWCは、例えば読み書き制御回路RWC1にデータ線対(DR11, DW11)および(DR21, DW21)、読み書



き制御回路RWC2にデータ線対(DR13,DW13)および(DR23,DW23)というように、一組のデータ線対(DR,DW)おきに接続される。よって、 $s$ 、 $t$ は $m$ と、 $m = s + t$ の関係にある。

【0085】

次に、ダミーセルアレイDCASは、図14に示すような1～ $s$ 個の複数のダミーセルDC1, DC2, ..., DCsで構成される。これらのダミーセルDCは読み書き制御回路RWCAS0に対応し、例えばダミーセルDC1に読み出しデータ線DR12、ダミーセルDC2に読み出しデータ線DR14というように、1本の読み出しデータ線DRおきに接続される。同様に、ダミーセルアレイDCATは読み書き制御回路RWCAT1に対応し、図14に示すような1～ $t$ の複数のダミーセルDC1, DC2, ..., DCtで構成される。これらのダミーセルDCは、例えばダミーセルDC1に読み出しデータ線DR11、ダミーセルDC2に読み出し線DR13というように、1本の読み出しデータ線DRおきに接続される。

10

【0086】

本実施例のメモリセルアレイ構成における読み出し動作は、次のように行われる。

例えば、ブロックBLKST1内におけるメモリセルMCの記憶情報を読み出す場合、読み書き制御回路アレイRWCAS0に接続された図示されていないブロックBLKST0内のダミーセルアレイDCASと、読み書き制御回路アレイRWCAT1に接続されたブロックBLKST2内のダミーセルアレイDCATが選択されて参照電圧VREF( $t$ )がそれぞれ発生され、記憶情報が分別される。

【0087】

一方、例えばブロックBLKST2内におけるメモリセルMCの記憶情報を読み出す場合、読み書き制御回路アレイRWCAT1に接続されたブロックBLKST1内のダミーセルアレイDCATと、読み書き制御回路アレイRWCAS1に接続された図示されていないブロックBLKST3内のダミーセルアレイDCASが選択されて参照電圧VREF( $t$ )が発生され、記憶情報が分別される。

20

【0088】

また、例えば図示されていないブロックBLKST0内におけるメモリセルMCの記憶情報を読み出す場合、読み書き制御回路アレイRWCAS0に接続されたブロックBLKST1内のダミーセルアレイDCASが選択されて参照電圧VREF( $t$ )が発生され、記憶情報が分別される。

【0089】

以上の構成により、以下に述べる二つの効果が得られる。

第一に、一組のデータ線対おきに接続された読み書き制御回路RWCで構成された読み書き制御回路アレイRWCAS, RWCATを、メモリセルアレイブロックBLKSTの両端にそれぞれ配置することにより、読み書き制御回路アレイRWCAS, RWCATに要する面積を抑制できる。

30

第二に、ダミーワード線DWLS, DWLTと読み出しデータ線DRの交点には、一つおきにダミーセルDCが配置されるので、ダミーワード線DWLとダミーセルDCとの間に形成される結合容量が低減されて、ダミーワード線DWLを駆動する際に生じる遅延時間を抑制できる。

【0090】

図14では、読み書き制御回路RWCASおよびRWCATにおいて、読み書き制御回路RWCが一組のデータ線対おきにそれぞれ接続される構成を示した。しかし、メモリセルアレイ構成はこれに限定されるものではなく、種々の構成が可能である。例えば図15に示すように、読み書き制御回路アレイRWCAS0において、読み書き制御回路RWC1にデータ線対(DR02,DW02)および(DR12,DW12)、読み書き制御回路RWC2にデータ線対(DR03,DW03)および(DR13,DW13)というように、読み書き制御回路RWCを二組のデータ線対おきにそれぞれ接続してもよい。これに応じて、例えばブロックBLKSS1におけるダミーセルアレイDCASのように、ダミーセルDC1に読み出しデータ線DR12、ダミーセルDC2に読み出しデータ線DR13というように、ダミーセルDCが2本の読み出しデータ線おきに接続される。このようなメモリセルアレイ構成とすることで、図14に示したメモリセルアレイ構成と同様の効果が得られる。

40

【0091】

また、ダミーセルアレイDCAT, DCASには図5に示したダミーセルDCを用いているが、図11に示したダミーセルDCLを用いてもよく、この場合、実施例2で述べたようにダミーセルアレイの面積を低減できる。

【0092】

50

## &lt; 実施例 4 &gt;

本実施例では、メモリセルアレイの別の構成例と動作を説明する。本実施例の特徴は、メモリセルと同じ構成のダミーセルを用いて、データ線長を2倍としたものを駆動して参照電圧を発生することにある。

図16は、本実施例によるブロックBLKQS1、BLKQS2と、読み書き制御回路アレイRWCAS0、RWCAS1、RWCAS2を示している。同図では省略しているが、さらに縦方向に読み書き制御回路アレイおよびブロックが複数配置されているものとする。

## 【0093】

図14に示したブロックBLKSTと比べた場合、本実施例によるブロックBLKQSの異なる点は、ブロックBLKQS1に注目すると二つ挙げられる。

第一に、ブロックBLKQS1は、図3に示したメモリセルMCと同じ構成のダミーセルDMC1, DMC2, ..., DMCsで構成されたダミーセルアレイDMCASを一つ有することである。図16ではダミーセルDMCの各々に電源電圧VDDが接続されているが、これは図5や図11に示したように、ダミーセルDMCの各々における電源給電線に電源電圧VDDが固定入力されていることを示している。

第二に、このダミーセルアレイDMCASと読み書き制御回路アレイRWCASとの間にメモリセルアレイMCA1, MCA2, ..., MCA<sub>n</sub>と読み出しデータ線接続スイッチアレイQSWAが配置されることである。読み出しデータ線接続スイッチアレイQSWAは、例えばNMOSトランジスタQSW1, QSW2, ..., QSWsで構成される。NMOSトランジスタQSWのゲートには、スイッチ制御線RWLがそれぞれ接続される。また、NMOSトランジスタQSWのドレインとソースには、例えばNMOSトランジスタQSW1のように隣り合う読み出しデータ線DR11とDR12がそれぞれ接続される。したがって、添え字のmとsは、 $m = 2s$ の関係にある。

## 【0094】

次に、本実施例のメモリセルアレイ構成における読み出し動作を、図17に従って説明する。同図では、読み書き制御回路アレイRWCAS1、RWCAS2における読み書き制御回路RWC1 ~ RWCsのそれぞれを活性化し、ブロックBLKQS1における読み出しデータ線（例えばDR11）や図示されていないブロックBLKQS3の読み出しデータ線（例えばDR32）のそれぞれに参照電圧を発生し、ブロックBLKQS2におけるメモリセルの記憶情報を読み出すものとしている。ここでは特に、メモリセルMC<sub>n</sub>1を読み出すとして、読み書き制御回路アレイRWCAS1における読み書き制御回路RWC1に着目する。メモリセルMC<sub>n</sub>1は記憶情報“1”を保持し、記憶ノードN<sub>2n</sub>1が待機状態で高電位VNB(H)であるものと仮定する。一方、ブロックBLKQS1のダミーセルアレイDMCASにおけるダミーセルDMC1の記憶ノードをDN11と表記する。

## 【0095】

また、プリチャージイネーブル信号EQ、読み出し制御信号 R、書き込み制御信号 W、センスアンプ起動信号SDP、SDNの添え字0, 1, 2は、読み書き制御回路アレイRWCASの添え字に対応し、対応する読み書き制御回路アレイRWCASにおける読み書き制御回路RWCのそれぞれに接続されているものとする。

さらに、簡単のために共通データ線対IOT1, IOB1への読み出し動作を省略し、データ線選択信号YS1の動作波形を省いている。

## 【0096】

はじめに待機状態では、プリチャージイネーブル信号EQ0, EQ1, EQ2と、読み出し制御信号 R0, R1, R2と、スイッチ制御線RWL1, RWL2が電源電圧VDDに、書き込み制御信号 W0, W1, W2が昇圧電位VDHに、それぞれ駆動されており、読み出しデータ線対(DR11, DR21), (DR12, DR22)と書き込みデータ線(DW11, DW21), (DW12, DW22)は、それぞれVDD/2にプリチャージされている。

## 【0097】

まず、スイッチ制御線RWL2が接地電位VSSに駆動されて読み出しデータ線DR21とDR22が遮断され、書き込み制御信号 W1が接地電位VSSに駆動されて書き込みデータ線(DW11, DW21)とデータ線対(DLB1, DLT1)が遮断された後に、プリチャージイネーブル信号EQ1が接地電位VSSに駆動されてプリチャージが終了される。ここで、スイッチ制御線RWL1は電源電圧VDD

に保持されているので、ブロックBLKQS1の読み出しデータ線接続スイッチアレイQSWAにおけるNMOSトランジスタQSW1, QSW2, ..., QSWsは導通しており、例えば読み出しデータ線DR11とDR12のように隣り合う2本の読み出しデータ線DRが接続されている。一方、ブロックBLKQS2の読み出しデータ線接続スイッチアレイQSWAにおけるNMOSトランジスタQSW1, QSW2, ..., QSWsはオフ状態となるので、隣合う読み出しデータ線DRが遮断される。したがって、データ線長が2対1の読み出しデータ線が形成される。

#### 【0098】

次に、接地電位-VBとなっているダミーデータ線DWL1とデータ線DL2nを読み出し電位VRに駆動すると、ブロックBLKQS1におけるダミーセルDMC1とブロックBLKQS2におけるメモリセルMCn1の読み出しトランジスタQRが導通して、読み出しデータ線DR11およびDR12とDR21をそれぞれ放電する。ここで、読み出しデータ線DRの配線容量をCDR、データ線DLの配線容量をCDLとし、メモリセルMCおよびダミーセルDMCの読み出しNMOSトランジスタQRに流れるオン電流を、ソース-ドレイン間電圧依存性が十分小さいと仮定してIDSとする。以上の記号を用いると、読み出しデータ線DR21の電位は、

$$V1(t) = VDD/2 - (IDS \times t) / (CDR + CDL) \dots\dots (1)$$

と表すことができる。一方、読み出しデータ線DR11とDR12の電位は、

$$VREF(t) = VDD/2 - (IDS \times t) / (\quad \times CDR + CDL) \dots\dots (2)$$

と表すことができる。

#### 【0099】

ここで、読み出しデータ線DR21とDR22を接続するために生じる配線容量を考慮すると、はおおよそ2である。CDLは十分小さく無視できるものとする、記憶情報“1”を読み出した時の信号量は、上記の式(1)と式(2)より、

$$(V1(t)) = - (IDS \times t) / (2 \times CDR) \dots\dots (3)$$

と表すことができる。

#### 【0100】

この読み出し信号が十分大きな値(例えば従来DRAMでは約0.1V)となるタイミングで、VDD/2電位となっているセンスアンプ起動信号SDPとSDNを接地電位VSSと昇圧電位VDHにそれぞれ駆動し、読み書き制御回路アレイRWCAS1内の読み書き制御回路RWC1におけるセンスアンプSAを活性化して、データ線対(DLT1,DLB1)に生じた読み出し信号を増幅する。

#### 【0101】

ただし、図17ではセンスアンプの活性化の前に、次の二つの動作を行うことが示されている。

第一に、まず読み出し電位VRとなっているダミーデータ線DWL1とデータ線DL2nを接地電位-VBに駆動して、読み出しNMOSトランジスタをオフする。よって、読み出しデータ線の放電がそれぞれ停止されるので、消費電流を抑制することができる。

第二に、電源電圧VDDとなっている読み出し制御信号 R1を接地電位VSSに駆動して、読み出しデータ線対(DR11,DR21)とデータ線対(DLT,DLB)とを遮断する。よって、センスアンプの負荷容量の各々がCDLに低減されて、増幅時間を短縮できる。

#### 【0102】

再書き込み動作では、まず接地電位VSSとなっている書き込み制御信号 W1を昇圧電位VDHに駆動して、データ線対(DLB1,DLT1)と書き込みデータ線(DW11,DW21)とを接続する。書き込みデータ線(DW11,DW21)が読み出した記憶情報に対応した電位に駆動された後、待機電位-VBとなっているダミーワード線DWLとワード線WL2nを書き込み電位VWに駆動して、元のデータを書き込む。再書き込み動作の後、接地電位VSSとなっている読み出し制御信号 R1とスイッチ制御線RWL2を電源電圧VDDにそれぞれ駆動して、図10で示した動作と同様に、読み出しデータ線DR11およびDR12, DR21と、書き込みデータ線DW11, DW21と、データ線DLT1, DLB1のそれぞれをプリチャージして読み出し動作を終了する。

#### 【0103】

図17では省略されているが、記憶情報“0”を読み出した時の読み出しデータ線はプリチャージ電位VDD/2に保持されるから、この時の信号量は、前述した式(2)より、

10

20

30

40

50

$$(V_0(t)) = (IDS \times t) / (2 \times CDR) \dots\dots (4)$$

で表すことができる。

#### 【 0 1 0 4 】

以上の構成により、次に述べる四つの効果が得られる。

第一に、式(3)と式(4)から、図4に示したように、記憶情報に応じて駆動された読み出しデータ線の電位のほぼ中間電位に参照電圧 $V_{REF}(t)$ を発生することができて、正負の読み出し信号が得られる。

第二に、ダミーセルDMCの各々は図3に示したメモリセルMCと同じ構造であるので、ダミーセルアレイDMCAの面積が抑制される。さらに、ブロックBLKQSにおけるダミーセルアレイDMCAは一個で済むので、ブロックBLKQSの面積が抑制される。

第三に、2本の読み出しデータ線に1個の割合でダミーセルDMCが配置されるので、ダミーワード線DWLとダミーセルDMCとの間に形成される結合容量を低減できて、ダミーワード線DWLを駆動する際に生じる遅延を抑制できる。

第四に、メモリセルと同じチャネル長の読み出しNMOSトランジスタで構成されたダミーセルを用いているので、読み出しNMOSトランジスタにおける短チャネル効果を回避しながら、2値の読み出し電位 $V_1(t)$ と $V_0(t)$ の中間電位に参照電圧 $V_{REF}(t)$ を発生することができる。

#### 【 0 1 0 5 】

以上では、一例としてブロックBLKQS2のデータ線対(DR21,DW21)に接続されたメモリセルMCの読み出し動作について説明してきた。しかし、データ線対(DR22,DW22)に接続されたメモリセルMCを読み出す場合も、プリチャージイネーブル信号EQ2、読み出し制御信号 R2、書き込み制御信号 W2、センスアンプ起動信号SDP2、SDN2を適宜駆動しながら同様に行うことができる。

#### 【 0 1 0 6 】

例えば、ブロックBLKQS2のメモリセルMCn2を読み出すには、読み出しデータ線DR32とその隣に配置された図16では省略されている読み出しデータ線とをNMOSトランジスタQSWで接続してデータ線長を2倍とし、これらをブロックBLKQS3のダミーセルDMCで駆動することにより参照電圧 $V_{REF}(t)$ を発生する。そして、読み書き制御回路アレイRWCAS2における読み書き制御回路RWC1によって、記憶情報を分別する。

#### 【 0 1 0 7 】

これまでは、図16に示すように、読み書き制御回路アレイRWCAS1において、読み書き制御回路RWCが1本の読み出しデータ線DRおきに接続されるメモリセルアレイ構成を示した。しかし、メモリセルアレイ構成はこれに限定するものではなく、種々の構成が可能である。

例えば、図18に示すように、読み書き制御回路アレイRWCAS0において、読み書き制御回路RWC1にデータ線対(DR02,DW02)および(DR12,DW12)、読み書き制御回路RWC2にデータ線対(DR03,DW03)および(DR13,DW13)というように、読み書き制御回路RWCを二組のデータ線対おきにそれぞれ接続してもよい。これに応じて、例えばブロックBLKQQ1におけるダミーセルアレイDMCASのように、ダミーセルDMC1に読み出しデータ線DR11、ダミーセルDMC2に読み出しデータ線DR14、ダミーセルDMC3に読み出しデータ線DR15というように、ダミーセルDMCが2本の読み出しデータ線に一つの割合で接続される。このようなメモリセルアレイ構成とすることによっても、図16に示したメモリセルアレイ構成と同様の効果が得られる。

#### 【 0 1 0 8 】

また、これまでは、プリチャージ電位が $V_{DD}/2$ の場合について説明したが、プリチャージ電位はこれに限定するものではない。

例えば、電源電圧VDDが1V以下のような低電圧の場合、プリチャージ電位を電源電圧VDDとしてもよい。この場合、プリチャージイネーブル信号EQ、スイッチ制御線RWL、読み出し制御回路 Rを昇圧電位VDHに駆動すれば、隣り合う2本の読み出しデータ線を電源電圧VDDにプリチャージでき、十分な大きさのオン電流を読み出しNMOSトランジスタQRに流すこ

10

20

30

40

50

とができる。従って、さらに十分大きな読み出し信号 ( $V_0(t)$ )、( $V_1(t)$ )を得ることが出来る。

【 0 1 0 9 】

< 実施例 5 >

本実施例では、これまでの実施例に示したメモリセルアレイ構成に適用するメモリセルおよびダミーセルの別の構成例を説明する。

図 19 は、よく知られた 3 トランジスタで構成されるメモリセルの書き込みトランジスタに、図 3 に示した書き込みトランジスタ QW を適用した容量結合型 3 トランジスタセル (以下ではメモリセル MCS と表記) の構成を示している。

【 0 1 1 0 】

図 3 に示したメモリセル MC と異なる点は、選択 NMOS トランジスタ QS が追加されていることである。選択 NMOS トランジスタ QS のドレイン-ソース間の電流経路は、読み出しデータ線 DR と読み出し NMOS トランジスタ QR のドレイン (またはソース) との間の電流経路に挿入されており、選択 NMOS トランジスタ QS のゲートには選択ワード線 WS が接続されている。このような構成では、図 3 で説明されているようにトランジスタ QR、QW が立て積み構造になっているので、従来よりもセル面積の小さな 3 トランジスタメモリセルを実現できる。

【 0 1 1 1 】

次に、上記メモリセル MCS の記憶情報を分別する際に用いられるダミーセルの構成例を説明する。

図 20 は、図 5 に示したダミーセル DC を応用した構成のダミーセル DCS を示している。ダミーセル DC と異なる点は、選択 NMOS トランジスタ DQS1 が追加されていることである。選択 NMOS トランジスタ DQS1 は、メモリセル MCS における選択 NMOS トランジスタ QS と同じものである。選択 NMOS トランジスタ DQS1 のドレイン-ソース間の電流経路は、読み出しデータ線 DR と読み出し NMOS トランジスタ DQR1 のドレイン (またはソース) との間の電流経路に挿入されており、選択 NMOS トランジスタ DQS1 のゲートにはダミー選択ワード線 DWS が接続されている。

【 0 1 1 2 】

さらに図 21 は、図 11 に示したダミーセル DCL を応用した構成のダミーセル DCLS を示している。ダミーセル DCL と異なる点は、選択 NMOS トランジスタ DQS1 が追加されていることである。選択 NMOS トランジスタ DQS1 はメモリセル MCS における選択 NMOS トランジスタ QS と同じものである。選択 NMOS トランジスタ DQS1 のドレイン-ソース間の電流経路は、読み出しデータ線 DR と読み出し NMOS トランジスタ DQRL のドレイン (またはソース) との間の電流経路に挿入されており、選択 NMOS トランジスタ DQS1 のゲートにはダミー選択ワード線 DWS が接続されている。

【 0 1 1 3 】

以下では、メモリセル MCS とダミーセル DCS および DCLS の動作波形について、図 10 で説明した動作に基づいて説明する。図 22 は、選択ワード線 WS およびダミー選択ワード線 DWS、ワード線 WL およびダミーワード線 DWL、情報 “ 1 ” または “ 0 ” を保持しているメモリセル MCS の記憶ノード N、前記メモリセル MCS が接続されている読み出しリード線 DR の動作波形をそれぞれ示している。ここでは、読み出しリード線 DR の動作波形と共に、参照電圧  $V_{REF}(t)$  が発生される読み出しデータ線の動作波形が点線で示されている。ダミーセル DCS および DCLS における記憶ノード DN1、DN2 および DNL の動作波形は、実施例 1 や実施例 2 で述べたように、情報 “ 1 ” を保持している記憶ノード N と同じである。

【 0 1 1 4 】

本動作が図 10 に示した動作と異なる点は、ワード線 WL およびダミーワード線 DWL の電位が、待機電位 VLB と書き込み電位 VW の 2 値に駆動されることである。待機電位 VLB は、書き込みトランジスタ QW のしきい電圧 VTW よりも低電位であると同時に、情報 “ 1 ” を保持している記憶ノード N の電位 VNBS(H) が読み出し NMOS トランジスタ QR のしきい電位 VTR よりも高く、情報 “ 0 ” を保持している記憶ノード N の電位 VNBS(L) が読み出し NMOS トランジスタ QR のしきい電位 VTR よりも低くなるように設定される。

10

20

30

40

50

## 【 0 1 1 5 】

まず、読み出し動作について説明する。

待機電位VSBとなっている選択ワード線WSおよびダミー選択ワード線DWSが、選択NMOSトランジスタQS、DQS1のしきい電位VTSよりも高い選択電位VRSに駆動されて、選択NMOSトランジスタQS、DQS1が導通する。この時、情報“ 1 ”を保持しているメモリセルMCSとダミーセルDCSおよびDCLSは、読み出しNMOSトランジスタQR、DQR1、DQR2およびDQRLが導通しているので、読み出しデータ線DRを接地電位VSS方向に放電し、図 4 に示したような読み出し信号V1(t)とVREF(t)をそれぞれ発生する。

一方、情報“ 0 ”を保持しているメモリセルMCSが接続された読み出しデータ線DRは、読み出しNMOSトランジスタQRがオフ状態にあるので、プリチャージ電位VDD/2に保持される。すなわち、読み出し信号V0(t)はプリチャージ電位VDD/2である。以上により、記憶情報に応じて正負の微小信号が発生されるので、これらを図 1 0 で示した動作と同様にセンスアンプで増幅して情報を分別することができる。

10

## 【 0 1 1 6 】

次に、再書き込み動作について説明する。

まず、選択電位VRSとなっている選択ワード線WSおよびダミー選択ワード線DWSを待機電位VSBに駆動して、選択NMOSトランジスタQS、DQS1をオフ状態とする。次に、待機電位VLBとなっているワード線WLとダミーワード線DWLを書き込み電位VWに駆動して書き込みトランジスタQW、DQW1、DQW2、DQWLを導通させ、記憶ノードN、DN1、DN2およびDNLを元の記憶情報に応じた電位に駆動する。

20

## 【 0 1 1 7 】

これまでは、図 1 9 や図 2 0 に示したダミーセルDCS、DCLSを用いた動作について説明したが、ダミーセルの構成をこれらに限定するものではない。以下、他の三つの構成例について説明する。

図 2 3 は、図 2 0 に示したダミーセルDCSに選択NMOSトランジスタDQS2が追加された構成のダミーセルDCSS1を示している。選択NMOSトランジスタDQS2はメモリセルMCSにおける選択NMOSトランジスタQSと同じものである。選択NMOSトランジスタDQS2のドレイン-ソース間の電流経路は、読み出しNMOSトランジスタDQR2のドレイン（またはソース）と接地電位との間の電流経路に挿入され、選択NMOSトランジスタDQS2のゲートにはダミー選択ワード線DWSが接続されている。

30

## 【 0 1 1 8 】

図 2 4 は、図 2 3 に示したダミーセルDCSS1における接続を変形した構成のダミーセルDCSS2を示している。選択NMOSトランジスタDQS2のドレイン-ソース間の電流経路は、読み出しNMOSトランジスタDQR1のドレイン（またはソース）と読み出しNMOSトランジスタDQR2のドレイン（またはソース）との間の電流経路に挿入されている。

## 【 0 1 1 9 】

以上の二つの構成例では、選択NMOSトランジスタDQS2を追加したことにより、選択NMOSトランジスタのチャンネル長の合計が、メモリセルMCSにおける選択NMOSトランジスタQSのチャンネル長の 2 倍となり、読み出しNMOSトランジスタDQR1、DQR2のドレイン-ソース間に流れるオン電流に及ぼす選択NMOSトランジスタの影響を緩和できる。また、メモリセルMCSに生じた加工ばらつきが同じ割合でダミーセルDCSS1、DCSS2に再現されるから、精度良く参照電圧VREF(t)を発生できる。

40

## 【 0 1 2 0 】

図 2 5 は、図 2 1 に示したダミーセルDCLSの変形例であり、選択NMOSトランジスタDQSLを用いた構成のダミーセルDCLSLを示している。選択NMOSトランジスタDQSLのチャンネル長は、図 1 9 に示したメモリセルMCSにおける選択NMOSトランジスタQSの 2 倍に設定する。これにより、読み出しNMOSトランジスタDQRLのドレイン-ソース間に流れるオン電流に及ぼす選択NMOSトランジスタの影響を緩和できて、精度良く参照電圧VREF(t)を発生できる。また、図 2 3 に示したダミーセルDCSS1および図 2 4 に示したダミーセルDCSS2と比べて、二つの選択NMOSトランジスタを接続する領域が削除されているので、ダミーセル面積を抑

50

制できる。

【 0 1 2 1 】

< 実施例 6 >

本実施例では、メモリセルアレイのさらに別の構成例と、動作を説明する。

図 2 6 は、本実施例によるブロック BLKR1、BLKR2 と、読み書き制御回路アレイ RWCA を示している。同図では省略しているが、さらに縦方向に読み書き制御回路アレイおよびブロックが複数配置されているものとする。本実施例によるブロック BLKR は、これまでの実施例と同じように  $n \times m$  ビットのメモリセルアレイを有する。

【 0 1 2 2 】

図 1 6 に示したメモリセルアレイと比べた場合に本実施例の構成で異なる点は、例えばデータ線対 (DR11, DW11) と (DR12, DW12) のように、読み出しデータ線接続スイッチ QSW で読み出しデータ線を短絡することができる隣り合う二組のデータ線対の各々が、同じ読み書き制御回路アレイにおける二つの読み書き制御回路 RWC にそれぞれ接続されていることである。したがって、同図の読み書き制御回路アレイ RWCA は  $m$  個 ( $m$  は偶数) の読み書き制御回路 RWC で構成されている。

【 0 1 2 3 】

本実施例の動作は、実施例 4 の図 1 6 および図 1 8 で述べたものと基本的に同じであり、メモリセル DC と同じ構成のダミーセル DMC を用いてデータ線長を 2 倍とした読み出しデータ線を駆動して、図 4 に示したような参照電圧  $V_{REF}(t)$  を発生できる。

以下では、実施例 4 の説明で用いた仮定を適用し、読み書き制御回路アレイ RWCA における読み書き制御回路 RWC1, RWC2 に注目する。参照電圧を発生するためにダミーワード線 DWL1 が読み出し電位 VR に駆動されてダミーセル DMC1 が活性化されると、その読み出し NMOS トランジスタは、NMOS トランジスタ QSW と読み書き制御回路 RWC1, RWC2 内のデータ線制御回路 DSW1 における NMOS トランジスタ MNR のそれぞれによって短絡された読み出しデータ線 DR11, DR12、データ線 DLT1, DLT2 を駆動する。したがって、参照電圧  $V_{REF}(t)$  は、  

$$V_{REF}(t) = V_{DD}/2 - (IDS \times t) / [ \quad \times (CDR + CDL) ] \dots \dots (5)$$

と表すことができる。

【 0 1 2 4 】

ここで、読み出しデータ線 DR21 と DR22 を接続するために生じる配線容量を考慮すると、はおおよそ 2 である。この参照電圧は、読み書き制御回路 RWC1, RWC2 に入力され、読み出しデータ線 DR21, DR22 のそれぞれに接続された 2 ビットのメモリセルの記憶情報の読み出しに用いられる。

【 0 1 2 5 】

このような構成と動作から、次の二つの効果が得られる。

第一に、実施例 4 の式 (2) と比べた場合、本実施例の式 (5) では読み出しデータ線 DR とデータ線 DLT のそれぞれを 2 倍としているために、より正確に参照電圧を発生することができる。

第二に、実施例 4 では 1 ビットの記憶情報を読み出すために、2 本の読み出しデータ線を駆動して参照電圧を発生していた。一方、本実施例では、2 本の読み出しデータ線を駆動して発生された参照電圧を、2 ビットの読み出し動作に使用するので、参照電圧を発生するための消費電流を半減できる。

【 0 1 2 6 】

図 2 6 のダミーセルアレイ DMCA では、ブロック BLKR1 におけるダミーセル DMC1, DMC2, DMC3, DMC4 を、読み出しデータ線 DR11, DR13, DR15, DR17 に接続するように、2 本の読み出しデータ線に 1 個の割合でダミーセルを配置している。しかし、ダミーセルの配置はこれに限るものではなく、種々の配置が可能である。例えば、ダミーセル DMC1, DMC2, DMC3, DMC4 を読み出しデータ線 DR12, DR13, DR16, DR17 に接続するように、2 個のダミーセルを隣り合わせて配置することも可能である。この場合でも、前述したものと同一効果が得られる。

【 0 1 2 7 】

10

20

30

40

50

これまでは、例えばブロックBLKR1におけるデータ線対(DR,DW)の各々が、ブロックBLKR1の片側に配置された読み書き制御回路RWC1, RWC2, ..., RWCmに接続されるメモリセルアレイ構成を示した。しかし、メモリセルアレイ構成はこれに限定するものではなく、種々の構成が可能である。例えば図27に示すように、ブロックBLKR1の両側に読み書き制御回路アレイRWCAS0, RWCAT1を配し、読み書き制御回路アレイRWCAS0における読み書き制御回路RWC1にデータ線対(DR03,DW03)および(DR13,DW13)、読み書き制御回路RWC2にデータ線対(DR04,DW04)および(DR14,DW14)をそれぞれ接続し、読み書き制御回路アレイRWCAT1における読み書き制御回路RWC1にデータ線対(DR11,DW11)および(DR21,DW22)、読み書き制御回路RWC2にデータ線対(DR12,DW12)および(DR22,DW22)をそれぞれ接続するというように接続してもよい。

10

#### 【0128】

これに応じて、ブロックBLKR1はメモリセルアレイMCA1, MCA2, ..., MCA<sub>n</sub>の両端にダミーセルアレイDMCAS, DMCATを有し、ダミーセルアレイDMCASにおけるダミーセルDMC1に読み出しデータ線DR13、ダミーセルアレイDMCATにおけるダミーセルDMC1に読み出しデータ線DR11をそれぞれ接続する構成とする。ここでも、ダミーセルの配置はこれに限るものではなく、前述したように2本の読み出しデータ線に1個の割合で配置するようなものであれば、種々の配置が可能である。例えば、ダミーセルアレイDMCATにおけるダミーセルDMC1を読み出しデータ線DR12に接続するような配置でもよい。

#### 【0129】

また同図では、ダミーセルアレイDMCAS, DMCATの両端に読み出しデータ線接続スイッチアレイQSWAT, QSWASが配置され、読み出しデータ線接続スイッチアレイQSWATにおけるNMOSトランジスタのソースおよびドレインに読み出しデータ線対(DR11,DR12)が、読み出しデータ線接続スイッチアレイQSWASにおけるNMOSトランジスタのソースおよびドレインに読み出しデータ線対(DR13,DR14)がそれぞれ接続された構成が示されている。読み出しデータ線接続スイッチアレイQSWAは、その配置が限定されないため図26のように1本でもよいが、図27のような配置とすることによりメモリセルアレイの対称性が保たれて、加工および設計が容易になる。このように図27のメモリセルアレイ構成では、読み書き制御回路アレイRWCAS0, RWCAT1, RWCAS1の各々において、4本の読み出しデータ線に2個の割合で読み書き制御回路RWCが配置されるのでレイアウトが容易になり、読み書き制御回路アレイRWCAのレイアウト面積増加を抑制する効果がある。

20

30

#### 【0130】

##### <実施例7>

本実施例では、これまでと異なる読み出しMOSトランジスタの動作特性を仮定して、その場合に適したメモリセルアレイの構成例と動作を説明する。

始めに、読み出しNMOSトランジスタにおけるしきい電圧のばらつきが大きく、ワード線WLが読み出し電位VRに駆動された時に、記憶情報“0”を保持しているメモリセルにおける記憶ノード電位VNR(L)が、読み出しNMOSトランジスタQRのしきい電圧VTRより高電位になって、読み出しNMOSトランジスタQRが導通するものと仮定する。この場合、記憶情報“0”を保持しているメモリセルが接続されている読み出しデータ線は、図28に示すようにプリチャージ電圧から徐々に放電されて電位が下がる。このようなメモリセル特性に対して、これまでの実施例による参照電圧発生方法を適用すれば、記憶情報“1”を読み出す場合の信号量よりも記憶情報“0”を読み出す時の信号量の方が減少してしまう。

40

#### 【0131】

そこで本実施例の目的は、どちらの記憶情報を読み出す場合においても互いに等しい信号量が得られるように、記憶情報に応じた読み出しデータ線電位V1(t)とV0(t)の中間電位に参照電圧VREF(t)を発生することにある。図29は、本実施例によるブロックBLKP1, BLKP2と、読み書き制御回路アレイRWCAを示している。ブロックBLKPは、これまでの実施例と同じようにn×mビットのメモリセルアレイを有する。

#### 【0132】

図26に示したメモリセルアレイと比べた場合に本実施例の構成で異なる点は、ブロック

50



BLKPの各々はダミーセルアレイDMCAの代わりにダミーセル対アレイDMCPAを有することである。ダミーセル対アレイDMCPAは、 $s$  個のダミーセル対DMCP1, DMCP2, ..., DMCPsを有する。ダミーセル対DMCPの各々は、図3に示したメモリセルMCと同じ構成のダミーセルDMC1とDMC2で構成される。これらのダミーセル対は、例えばブロックBLKP1におけるダミーセル対DMCP1が読み出しデータ線対(DR11, DR12)、ダミーセル対DMCP2が読み出しデータ線対(DR13, DR14)にそれぞれ接続されるように、二組の読み出しデータ線対おきに配置される。したがって、実数 $m$ と $s$ は、 $m = 2s$ の関係にある。

#### 【0133】

ダミーセル対DMCPを構成するダミーセルDMC1とDMC2の各々は、例えばブロックBLKP2におけるダミーセル対DMCP1において、読み出しデータ線DR21とDR22にそれぞれ接続される。ダミーセルDMC1とDMC2の電源給電線へ入力される電位は、それぞれ異なる。これらの接続を説明するために、本実施例によるメモリセルアレイ構成におけるブロックBLKP2の要部を図30に示す。

10

#### 【0134】

ダミーセルDMC1における書き込みトランジスタDQWのソースには電源給電線を介して電源電圧VDDが、ダミーセルDMC2の書き込みトランジスタDQWのソースには電源給電線を介して接地電位VSSがそれぞれ入力されている。ダミーセルDMC1とDMC2の各々における読み出しNMOSトランジスタと書き込みトランジスタQWのゲートは、同じダミーワード線DWL2に接続されている。

#### 【0135】

20

図31は、図29に示したメモリセルアレイ構成におけるブロックBLKP2のレイアウトの一部を示す。同図では、縦方向に2組のデータ線対(DR21, DW21), (DR22, DW22)、横方向にワード線WL2(n-3) ~ WL2nおよびダミーワード線DWL2がそれぞれ示されている。また、データ線対(DR, DW)とワード線WLの交点には記憶ノードNが形成されており、同図では記憶ノードN2(n-3)2, N2(n-2)2, N2(n-1)2, N2n2が代表して示されている。同様に、読み出しデータ線DR21, DR22とダミーワード線DWL2との交点には記憶ノードDN211, DN212がそれぞれ形成されており、同図では記憶ノードDN212が代表して示されている。さらに、一点鎖線で囲まれたメモリセルMCn2と、ダミーセル対DMCP1を形成する二点鎖線で囲まれたダミーセルDMC1, DMC2が示されている。

#### 【0136】

30

本実施例によるレイアウトでは、図7に示したレイアウトと比べた場合、ダミーセルDMC2に注目すると異なる点が二つある。

第一に、ダミーセルDMCがメモリセルMCと同じ構成であるために面積が半分になり、二つの読み出しNMOSトランジスタを直列接続していた $n^+$ Si拡散層(図9におけるDS4)が取り除かれていることである。

第二に、ダミーセルDMC2に接地電位VSSを入力するために、書き込みデータ線コンタクトDWCNTSを配置していることである。

#### 【0137】

この立体構造は、図32に示した図31におけるA-A線に沿った断面の概略図から理解できる。すなわち、書き込みデータ線コンタクトDWCNTSは、接地電位VSSが給電された $n^+$ Si拡散層DS5とダミーセルDMC2の電源給電線DWSに接するように形成される。

40

#### 【0138】

以上の構成から、本実施例によるダミーセル対DMCPの一方のダミーセル(ここではDMC1)には記憶情報“1”を、他方のダミーセル(ここではDMC2)には記憶情報“0”を書き込むことができる。

#### 【0139】

本実施例の動作は、実施例6の図26で述べたものと基本的に同じであり、データ線長を2倍とした読み出しデータ線上に、図28に示したような参照電圧VREF(t)を発生する。ただし、ダミーセル対DMCPを用いて、2倍の長さの読み出しデータ線を駆動する点が異なる。

50

以下では、実施例4の説明で用いた仮定を適用し、ブロックBLKP2におけるメモリセルMCn1, MCn2は記憶情報“1”, “0”をそれぞれ保持しているものとする。また、記憶情報“1”を保持しているセルが選択された時の読み出しNMOSトランジスタQRに流れる電流を、ソース-ドレイン間電圧依存性が十分小さいと仮定してIDS(1)とする。さらに、記憶情報“0”を保持しているセルが選択された時の読み出しNMOSトランジスタQRに流れる電流をIDS(0)とする。これらの仮定に基づき、読み書き制御回路アレイRWCAにおける読み書き制御回路RWC1, RWC2に注目して、参照電圧発生機構を説明する。

#### 【0140】

まず、ワード線WL2nが読み出し電位VRに駆動されて、記憶情報“1”を保持しているメモリセルMCn1が活性化されると、読み出しデータ線DR21の電位は、

10

$$\begin{aligned} VDR21(t) &= VDLB1(t) \\ &= VDD/2 - [IDS(1) \times t] / [CDR + CDL] \dots (6) \end{aligned}$$

と表すことができる。

また、記憶情報“0”を保持しているメモリセルMCn2が活性化されるので、読み出しデータ線DR22の電位は、

$$\begin{aligned} VDR22(t) &= VDLB2(t) \\ &= VDD/2 - [IDS(0) \times t] / [CDR + CDL] \dots\dots (7) \end{aligned}$$

と表すことができる。

#### 【0141】

さらに、ダミーワード線DWL1が読み出し電位VRに駆動されて、記憶情報“1”と“0”を保持したダミーセル対DMCP1が活性化されると、NMOSトランジスタQSWと読み書き制御回路RWC1, RWC2内のデータ線制御回路DSW1におけるNMOSトランジスタMNRのそれぞれによって短絡された読み出しデータ線DR11, DR12と、データ線DLT1, DLT2が駆動される。このとき、データ線DL11, DL12の電位は、

20

$$\begin{aligned} VREF(t) &= VDR11(t) = VDLT1(t) \\ &= VDR12(t) = VDLT2(t) \\ &= VDD/2 - [(IDS(1) + IDS(0)) \times t] / [2 \times (CDR + CDL)] \\ &= VDD/2 - [(IDS(1) + IDS(0)) / 2] \times t / (CDR + CDL) \dots\dots (8) \end{aligned}$$

と表すことができる。

#### 【0142】

30

ここで、読み出しデータ線DR11とDR12を接続するために生じる配線容量を考慮したものであり、およそ2である。

#### 【0143】

よって、読み出しデータ線DR11, DR12の各々は、IDS(1)とIDS(0)のほぼ平均電流で放電されることになる。ここで得られた参照電圧VREF(t)は、読み書き制御回路RWC1, RWC2に入力され、読み出しデータ線DR21, DR22のそれぞれに接続された2ビットのメモリセルの記憶情報の読み出しに用いられる。

#### 【0144】

を2と仮定した場合、記憶情報“1”を読み出す時の信号量は式(6)と式(7)より、

$$\begin{aligned} (v1(t)) &= VDR21(t) - VREF(t) \\ &= - [IDS(1) - IDS(0)] \times t / [2 \times (CDR + CDL)] \dots\dots (9) \end{aligned}$$

40

と表すことができる。

#### 【0145】

一方、記憶情報“0”を読み出す時の信号量は式(6)と式(8)より、

$$\begin{aligned} (v0(t)) &= VDR22(t) - VREF(t) \\ &= [IDS(1) - IDS(0)] \times t / [2 \times (CDR + CDL)] \dots\dots (10) \end{aligned}$$

と表すことができる。

#### 【0146】

以上で述べた本実施例の構成と動作から、記憶情報“0”を保持しているメモリセルにおいて読み出しNMOSトランジスタが導通する場合においても、記憶情報“1”と“0”を保

50

持したダミーセル対DMCPを用いることにより、図28に示したように、記憶情報に応じて読み出しデータ線に生じる電位のほぼ中間電位に参照電圧VREF(t)を発生することができ、正負の読み出し信号が得られる。

【0147】

図29に示したダミーセル対アレイドMCPAでは、ブロックBLKP1において記憶情報“1”を保持しているダミーセルDMC1を読み出しデータ線DR11, DR13, DR15, DR17に、記憶情報“0”を保持しているダミーセルDMC2を読み出しデータ線DR12, DR14, DR16, DR18にそれぞれ接続するように、ダミーセルDMC1とDMC2が交互に配置されている。

【0148】

しかし、ダミーセルの配置はこれに限るものではなく、例えばダミーセルDMC1, DMC2, DMC3, DMC4を読み出しデータ線DR12, DR13, DR16, DR17に接続するように、記憶情報“1”を保持しているダミーセルDMC1を読み出しデータ線DR12, DR13, DR16, DR17に、記憶情報“0”を保持しているダミーセルDMC2を読み出しデータ線DR11, DR14, DR15, DR18にそれぞれ接続するように、同じ記憶データを保持しているダミーセルを2個隣り合わせて配置することも可能である。この場合でも、前述したものと同一効果が得られる。

【0149】

これまでは、例えばブロックBLKP1におけるデータ線対(DR,DW)の各々が、ブロックBLKP1の片側に配置された読み書き制御回路RWC1, RWC2, ..., RWCmに接続されるメモリセルアレイ構成を示した。しかし、メモリセルアレイ構成はこれに限定されるものではなく、種々の構成が可能である。例えば図33に示すように、ブロックBLKPP1の両側に読み書き制御回路アレイRWCAS0, RWCAT1を配し、読み書き制御回路アレイRWCAS0における読み書き制御回路RWC1にデータ線対(DR03,DW03)および(DR13,DW13)を、読み書き制御回路RWC2にデータ線対(DR04,DW04)および(DR14,DW14)をそれぞれ接続し、読み書き制御回路アレイRWCAT1における読み書き制御回路RWC1にデータ線対(DR11,DW11)および(DR21,DW21)を、読み書き制御回路RWC2にデータ線対(DR12,DW12)および(DR22,DW22)をそれぞれ接続するというように接続してもよい。

【0150】

これに応じて、ブロックBLKPP1はメモリセルアレイMCA1, MCA2, ..., MCA<sub>n</sub>の両端にダミーセル対アレイドMCPASとDMCAPTを有し、ダミーセル対アレイドMCPASにおけるダミーセル対DMCP1に読み出しデータ線対(DR13,DR14)を、ダミーセル対アレイドMCPATにおけるダミーセルDMCP1に読み出しデータ線対(DR11,DR12)をそれぞれ接続する構成とする。

【0151】

図33では一例として、記憶情報1を保持しているダミーセルDMC1を読み出しデータ線DR11, DR13, DR15, DR17に、記憶情報“0”を保持しているダミーセルDMC2を読み出しデータ線DR12, DR14, DR16, DR18にそれぞれ接続するように、ダミーセルDMC1とDMC2が交互に配置される例を示した。しかし、ダミーセルの配置はこれに限るものではなく、前述したように、例えばダミーセルDMC1, DMC2, DMC3, DMC4を読み出しデータ線DR12, DR13, DR16, DR17に接続するように、記憶情報“1”を保持しているダミーセルDMC1を読み出しデータ線DR12, DR13, DR16, DR17に、記憶情報“0”を保持しているダミーセルDMC2を読み出しデータ線DR11, DR14, DR15, DR18にそれぞれ接続するように隣り合う読み出しデータ線対に同じ記憶データを保持しているダミーセルを接続するような配置も可能である。この場合でも、前述したものと同一効果が得られる。

【0152】

また図33では、ダミーセル対アレイドMCPAS, MCPATの両端に読み出しデータ線接続スイッチアレイQSWAT, QSWASが配置され、読み出しデータ線接続スイッチアレイQSWATにおけるNMOSトランジスタのソースおよびドレインに読み出しデータ線対(DR11,DR12)が、読み出しデータ線接続スイッチアレイQSWASにおけるNMOSトランジスタのソースおよびドレインに読み出しデータ線対(DR13,DR14)がそれぞれ接続された構成が示されている。読み出しデータ線接続スイッチアレイQSWAは、その配置が限定されないため図29のように1本でもよいが、図33のような配置とすることでメモリセルアレイの対称性が保たれて、加

工および設計が容易になる。このように図 3 3 のメモリセルアレイ構成では、読み書き制御回路アレイRWCAS0, RWCAT1, RWCAS2の各々において、4本の読み出しデータ線に2個の割合で読み書き制御回路RWCが配置されるのでレイアウトが容易になり、読み書き制御回路アレイRWCAのレイアウト面積増加を抑制する効果がある。

#### 【0153】

本実施例で説明したダミーセル対を用いて参照電圧を発生する方法は、実施例4の図16や図18に示したメモリセルアレイ構成にも適用できる。すなわち、記憶情報“1”を保持しているダミーセルDMCが接続されていない読み出しデータ線DRに、記憶情報“0”を保持しているダミーセルDMCが接続されるような配置とし、これら二つのダミーセルを同時に駆動すれば同様の効果が得られる。

10

図34は、その一例を示している。ブロックBLKQSP1に注目した時、図16におけるブロックBLKQS1との相違点は、ダミーセルアレイDMCAS1とDMCAS2との間にメモリセルアレイMCA1, MCA2, ..., MCA<sub>n</sub>および読み出しデータ線接続スイッチアレイQSWAが配置されていることである。ダミーセルアレイDMCAS1を構成するダミーセルDMCの各々は、図16に示したダミーセルアレイDMCASの場合と同じように、2本の読み出しデータ線DRに1個の割合で接続されるように配置されている。そして、電源給電線に電源電圧VDDが接続されており、記憶情報“1”を保持している。

#### 【0154】

一方、ダミーセルアレイDMCAS2を構成するダミーセルDMCの各々は、ダミーセルアレイDMCAS1を構成するダミーセルDMCが接続されていない読み出しデータ線DRに接続されるように配置されている。読み書き制御回路RWCAS0と読み出しデータ線接続スイッチアレイQSWAとの間にダミーセルアレイDMCAS2が配置されているので、書き込みデータ線と分離された電源給電線に接地電位VSSを接続できて、ダミーセルに記憶情報“0”を保持することができる。このように配置されたダミーセルの各々を、ダミーワード線DWL1で駆動することにより、図28に示したような参照電圧を発生することができる。

20

また、これまでは図3に示したようなメモリセルを用いて説明してきたが、図19に示したようなメモリセルを適用することも可能である。

#### 【0155】

##### <実施例8>

本実施例では、実施例6の図26および図27や実施例7の図29および図33で説明したメモリセルアレイに用いる読み書き制御回路の別の構成例と動作を説明する。本実施例の特徴は、メモリセルMCおよびダミーセルDMCの読み出しNMOSトランジスタに流れる電流をカレントミラー回路で受けて、センスアンプの入力端子における負荷容量を充電することにより、記憶情報に応じたデータ線電位の中間電位に参照電圧を発生することにある。

30

#### 【0156】

図35は、本実施例による読み書き制御回路RWCCを示している。同図は一例として、図29に示したメモリセルアレイ構成における読み書き制御回路に本実施例の読み書き制御回路を適用する場合を仮定しており、ブロックBLKP1とBLKP2との間に、読み書き制御回路アレイRWCCAが配置されているものとする。以下では、データ線対(DR11, DW11), (DR21, DW21)に接続された読み書き制御回路RWCC1に注目して説明する。

40

#### 【0157】

読み書き制御回路RWCC1は、カレントミラー回路CM1およびCM2と、センスアンプSAMと、NMOSトランジスタMNW1およびMNW2と、プリチャージ回路PCEQPおよびPCEQNで構成される。同図では、図6に示したようなデータ線選択回路YSWが簡単のために省略されている。読み書き制御回路RWCC1において、NMOSトランジスタMNW1のソースがブロックBLKP1の書き込みデータ線DW11に、ドレインがデータ線DL11にそれぞれ接続される。同様に、NMOSトランジスタMNW2のソースがブロックBLKP2の書き込みデータ線DW21に、ドレインがデータ線DL21に接続される。

#### 【0158】

以下では、データ線DL1tとDL2tを一組としてデータ線対(DL1t, DL1t)と表記する。ただし

50

、 $t$  は 1, 2, ...,  $m$  である。NMOSトランジスタMNW1およびMNW2のゲートに接続された書き込み制御信号WEが導通すると、対応する書き込みデータ線対(DW1 $t$ , DW2 $t$ )がデータ線対(DL1 $t$ , DL2 $t$ )にそれぞれ接続される。

【0159】

カレントミラー回路CM1およびCM2は、PMOSトランジスタMP81およびMP82からなるカレントミラー回路である。読み出し制御信号REBが接地電位VSSに駆動されると、PMOSトランジスタMP83およびMP84を介して電源電圧VDDがPMOSトランジスタのソースに供給される。ここで、PMOSトランジスタMP81およびMP82のゲート寸法は同じものとする。また、PMOSトランジスタMP83およびMP84のゲート寸法も同じものとする。こうして活性化されたカレントミラー回路は、例えばカレントミラー回路CM1においてPMOSトランジスタMP81を介して読み出しデータ線DR11に流れる電流と同じ値の電流を、PMOSトランジスタMP82を介してデータ線DL11に流すので、メモリセルの記憶情報に応じた電圧レベルにデータ線DL11が充電される。同図では、読み出し制御信号REBが電源電圧VDDに駆動されてカレントミラー回路CMがオフ状態となった時に、PMOSトランジスタMP81とMP82を介して読み出しデータ線DR11とデータ線DL11が短絡しないように、PMOSトランジスタMP83, MP84を用いてPMOSトランジスタMP81, MP82のソースとVDD電源との接続をそれぞれ制御している。

10

【0160】

センスアンプSAMは、PMOSトランジスタMP91, MP92およびNMOSトランジスタMN91, MN92からなるフリップフロップ回路である。センスアンプ起動信号SDPが接地電位VSSに駆動されると、PMOSトランジスタMP93を介して電源電圧VDDがPMOSトランジスタMP91, MP92のソースに供給される。こうして活性化されたセンスアンプSAMは、データ線対(DL1 $t$ , DL2 $t$ )に発生された微小電位差を増幅するので、メモリセルの記憶情報を高速に分別することができる。後述するが、本実施例ではデータ線対(DL1 $t$ , DL2 $t$ )を接地電位VSSにプリチャージするので、待機時におけるNMOSトランジスタMN91, MN92のゲート-ソース間電圧が0Vとなる。したがって、NMOSトランジスタMN91, MN92はオフ状態となるために、図6に示したセンスアンプにおけるNMOSトランジスタMN63に相当するNMOSトランジスタを省略できて、センスアンプSAMの面積を低減できる。

20

【0161】

プリチャージ回路PCEQNは、NMOSトランジスタMN101, MN102, MN103で構成される。プリチャージイネーブル信号PCが電源電圧VDDに駆動されると、トランジスタMN71, MN72を介してデータ線対(DL1 $t$ , DL2 $t$ )が接地電位VSSに駆動される。また、トランジスタMN103によって、データ線対(DL1 $t$ , DL2 $t$ )を同じ電位になるように制御することができる。

30

【0162】

プリチャージ回路PCEQPは、PMOSトランジスタMP101, MP102, MP103で構成される。プリチャージイネーブル信号PCBが接地電位VSSに駆動されると、読み出しデータ線対(DR1 $t$ , DR2 $t$ )がトランジスタMP71, MP72を介して電源電圧VDDに駆動される。また、トランジスタMP103によって、データ線対(DR1 $t$ , DR2 $t$ )を同じ電位になるように制御することができる。

【0163】

図35に示していないが、センスアンプ起動信号SDP、プリチャージイネーブル信号PC, PCB、読み出し制御信号REB、書き込み制御信号WEは、アレイ制御回路により制御される。アレイ制御回路は読み書き制御回路列RWCCAを選択制御するためのアドレス入力信号端子およびアドレスデコードを備え、入力されたアドレス信号がアドレスデコードでデコードされてデコード信号を発生する。このデコード信号により、選択するメモリセルが含まれるデータ線対(DR, DW)を指定するように、センスアンプ信号SDP、プリチャージイネーブル信号PC, PCB、読み出し制御信号REB、および書き込み制御信号WEがそれぞれ活性化される。

40

【0164】

図36は、本実施例のメモリセルアレイ構成における読み出し動作を示している。同図では、データ線対(DL1 $t$ , DL2 $t$ )と書き込みデータ線DWのプリチャージ電位を接地電位VSSとしている。これは、PMOSトランジスタ構成のカレントミラー回路CMを用いデータ線対(DL1 $t$ ,

50

DL2t)を充電して読み出し信号を発生するためである。また、読み出しデータ線DRのプリチャージ電位を電源電圧VDDとしている。これは、メモリセルが活性化された直後から読み出しNMOSトランジスタの駆動能力に応じた電流をカレントミラーで受け渡せるようにするためである。その他の動作条件は実施例7と同じものとし、ブロックBLKP2におけるメモリセルMCn1, MCn2は記憶情報“1”, “0”をそれぞれ保持しているものとする。

また、記憶情報“1”を保持しているセルが選択された時の読み出しNMOSトランジスタQRに流れる電流を、ソース-ドレイン間電圧依存性が十分小さいと仮定して $I(1)$ とする。さらに、記憶情報“0”を保持しているセルが選択された時の読み出しNMOSトランジスタQRに流れる電流を $I(0)$ とする。

これらの仮定に基づき、読み書き制御回路アレイRWCAにおける読み書き制御回路RWC1, RWC2に注目して、参照電圧発生機構を説明する。

#### 【0165】

まず、昇圧電圧VDHとなっている制御信号RWL2を接地電位VSSに駆動してNMOSトランジスタQSW1をオフ状態とし、(DR21, DR22)を遮断する。一方、制御信号RWL1は昇圧電圧VDHに保持されるので、NMOSトランジスタQSW1が導通されて読み出しデータ線対(DR11, DR12)は短絡された状態を保つ。したがって、データ線長が2対1の読み出しデータ線が形成される。

#### 【0166】

次に、昇圧電位VDHとなっている書き込み制御信号WEを接地電位VSSに駆動して書き込みデータ線対(DW11, DW21), (DW12, DW22)とデータ線対(DL11, DL21), (DL12, DL22)とをそれぞれ遮断し、電源電圧VDDとなっているプリチャージイネーブル信号PCを接地電位VSSに駆動してプリチャージ回路PCEQNを停止する。ここで、プリチャージイネーブル信号PCBはPCと相補の関係にあるので、接地電位VSSから電源電圧VDDに駆動して続いて、プリチャージ回路PCEQPを停止する。

#### 【0167】

さらに、電源電圧VDDとなっている読み出し制御信号REBを接地電位VSSに駆動して、カレントミラー回路を活性化させる。ただし、この状態では読み出しデータ線DRが電源電圧VDDにプリチャージされているので、カレントミラー回路CMにおけるPMOSトランジスタMP81は導通せず、カレントミラー回路CMに電流は流れない。

#### 【0168】

次に、待機電位-VBとなっているダミーワード線DWL1およびワード線WL2nが読み出し電位VRに駆動されると、ブロックBLKP1のダミーセル対DMCP1におけるダミーセルDMC1, DMC2とブロックBLKP2におけるメモリセルMCn1, MCn2がそれぞれ活性化される。ここで、記憶情報“1”を保持しているメモリセルMCn1が接続された読み出しデータ線DR21が放電されて電位が低下すると、カレントミラー回路から読み出しNMOSトランジスタQRを介して接地電位に電流が流れる。この電流は十分時間が経つと読み出しNMOSトランジスタのオン抵抗に応じて一定の値となるが、前述した仮定に基づき $I(1)$ とする。

データ線DL21は、読み書き制御回路RWCC1のカレントミラー回路CM2を介して流れる電流によって充電されるので、その電位は、

$$VDL21(t) = [I(1) \times t] / CDL \dots\dots (11)$$

と表すことができる。

#### 【0169】

同様に、記憶情報“0”を保持しているメモリセルMC2n2を読み出すことによりデータ線DL21が充電され、その電位は、

$$VDL22(t) = [I(0) \times t] / CDL \dots\dots (12)$$

と表すことができる。

#### 【0170】

一方、NMOSトランジスタQSW1で短絡された読み出しデータ線DR11, DR12からダミーセル対DMCP1の読み出しトランジスタQRを介して接地電位に流れる電流は、 $I_{SUM} = I(1) + I(0) \dots\dots (13)$

と表すことができる。

10

20

30

40

50

## 【 0 1 7 1 】

この電流は、読み書き制御回路RWCC1, RWCC2におけるカレントミラー回路CM1内のPMOSトランジスタMP83にそれぞれ流れる電流の和である。ここでは同じカレントミラー回路を用いているので、PMOSトランジスタMP84の各々にはISUMを二分した電流が流れ、データ線DL11, DL12がそれぞれ充電される。よって、データ線DL11, DL12の電位は、

$$VREF(t) = VDL11$$

$$= VDL12$$

$$= \{[I(1) + I(0)]/2\} \times t / CDL \dots\dots (14)$$

と表すことができる。

## 【 0 1 7 2 】

以上から、記憶情報 “ 1 ” を読み出す時の信号量は、式(11)と式(14)より、

$$(v1(t)) = VDL21(t) - VREF(t)$$

$$= [(I(1) - I(0)) \times t] / (2 \times CDL) \dots\dots (15)$$

と表すことができる。

## 【 0 1 7 3 】

一方、記憶情報 “ 0 ” を読み出す時の信号量は、式(12)と式(14)より、

$$(v0(t)) = VDL22(t) - VREF(t)$$

$$= - [(I(1) - I(0)) \times t] / (2 \times CDL) \dots\dots (16)$$

と表すことができる。したがって、データ線対(DL11,DL21), (DL12,DL22)に正負の読み出し信号が得られる。

## 【 0 1 7 4 】

次に、読み出し信号の増幅動作と再書き込み動作を説明する。

まず、式(15)と式(16)に示した微小な読み出し信号が十分大きな値(例えば従来DRAMでは約0.1V)となるタイミングで、接地電位VSSとなっている読み出し制御信号REBを電源電圧VDDに駆動する。カレントミラー回路がオフ状態となり、電源電圧VDDの供給が停止されてデータ線対への充電が止まるので、データ線対は式(11)と式(12)に示した電位に保たれる。

## 【 0 1 7 5 】

この後、図 3 6 では読み出し電位VRとなっているダミーワード線DWL1とワード線WL2nを待機電位-VBに駆動して読み出しNMOSトランジスタQRをオフ状態にしている。したがって、読み出しデータ線DRの放電が停止されて、消費電流を抑制することができる。

## 【 0 1 7 6 】

この後、電源電圧VDDとなっているセンスアンプ起動信号SDPを接地電位VSSに駆動して、読み書き制御回路アレイRWCCA内の読み書き制御回路RWCCにおけるセンスアンプSAMを活性化して、データ線対(DL11,DL21), (DL12,DL22)に生じた読み出し信号を増幅する。

## 【 0 1 7 7 】

読み出し動作後、接地電位VSSとなっている書き込み制御信号WEを昇圧電位VDHに駆動してNMOSトランジスタMWN1, MNW2を導通させ、書き込みデータ線(DW11,DW21), (DW12,DW22)を記憶情報に応じた電位に駆動する。

さらに、待機電位-VBとなっているワード線WL2nとダミーワード線DWL1を書き込み電位VWとして書き込みトランジスタQWを導通させて、メモリセルに元の情報を再び書き込む。

## 【 0 1 7 8 】

書き込み動作後、ダミーワード線DWL1およびワード線WL2nを待機電位-VBに駆動し、センスアンプ起動信号SDPを電源電圧VDDに駆動してセンスアンプSAMを待機状態とする。

## 【 0 1 7 9 】

最後に、接地電位VSSとなっているスイッチ制御線RWL2を昇圧電位VDHに駆動して読み出しデータ線対DR21とDR22とを接続した後で、電源電圧VDDとなっているプリチャージイネーブル信号PCBを接地電位VSSに、接地電位VSSとなっているプリチャージイネーブル信号PCを電源電圧VDDに駆動して、読み出しデータ線DRを電源電圧VDDに、データ線対(DL1t,DL2t)と書き込みデータ線DWを接地電位VSSにプリチャージして、一連の読み出し動作を終了す

10

20

30

40

50

る。

#### 【0180】

以上の構成と動作から、本実施例の読み書き制御回路では次の二つの効果が得られる。  
第一に、長さを2倍にした読み出しデータ線をダミーセル対を用いて駆動して、読み出しNMOSトランジスタの各々に流れる微小電流を二つのカレントミラー回路で受けることにより、二値の記憶情報に応じた駆動電流の平均電流で2本のデータ線DL(ここではデータ線DL11, DL12)をそれぞれ充電することができ、記憶情報に応じたデータ線電位の中間電位に参照電圧を発生することができる。

第二に、カレントミラー回路を介してデータ線DLが駆動されるので、センスアンプSAMの負荷容量が共にCDLとなり、センスアンプSAMは確実に読み出し信号を増幅することができる。また、一般に読み出しデータ線DRよりもデータ線DLの方が配線容量が小さいので、データ線DLの充電と増幅時間を短縮できる。

10

#### 【0181】

これまでは、データ線対(DL1t, DL2t)を増幅した後に、対応する書き込みデータ線対(DW1t, DW2t)を接続して、それぞれをセンスアンプSAで駆動する動作を例示した。しかし、NMOSトランジスタMNW1, MNW2をそれぞれ取り除き、データ線対(DL1t, DL2t)と対応する書き込みデータ線(DW1t, DW2t)とを短絡しておいて、同時に増幅、駆動してもよい。この場合、NMOSトランジスタMNW1, MNW2を導通させる時間を省くことができるので、再書き込み動作に要する時間を短縮することができる。

#### 【0182】

以上では、図29に示したメモリセルアレイを用いて本実施例を説明してきた。しかし、本実施を様々な形態のメモリセルアレイに適用できる。例えば、図29の変形例である図33に示したメモリセルアレイに本実施例を適用できることは、実施例7から説明できる。

20

また、実施例6の図26や図27に示したメモリセルアレイに本実施例を適用できることは、式(12)から式(16)において $I(0)=0$ とすれば説明できる。

さらに、ダミーセルにおける読み出しNMOSトランジスタのゲート長をメモリセルの2倍として、駆動電流差を用いて参照電圧を発生させる実施例1の図1と図5に示したメモリセルアレイや、実施例2の図11に示したメモリセルアレイにも、本実施例による読み書き制御回路RWCCを適用できる。

30

#### 【0183】

##### <実施例9>

本実施例では、さらに別のメモリセルアレイの構成例と動作を説明する。本実施例の特徴は、読み出しデータ線に並列接続されたダミーセル対を用い、さらにミラー比の異なるカレントミラー回路を用いて、記憶情報に応じたデータ線電位の中間電位に参照電圧を発生することにある。これら二つの構成について順に説明する。

#### 【0184】

まず、本実施例によるダミーセル対について説明する。本実施例によるメモリセルアレイのブロック図は、図1で表すことができる。同図のDCは、実施例1において二つのメモリセルを直列接続したダミーセルであったが、本実施例ではダミーセル対である。この変形例の一例として、ブロックBLK2におけるメモリセルとダミーセル対が図37に示されている。ダミーセル対を構成する記憶情報“1”, “0”を保持したダミーセルの各々が、実施例7の図30では異なる読み出しデータ線に接続されていたのに対して、本実施例では同じ読み出しデータ線に接続される。

40

#### 【0185】

次に、本実施例によるカレントミラー回路について説明する。図38は、本実施例によるカレントミラー回路CMAjを示している。本実施例では、このカレントミラー回路CMAjを図35に示した読み書き制御回路RWCCに適用し、さらにこの読み書き制御回路RWCCを図1に示したメモリセルアレイに適用するものとする。

ここで、MP111, MP112, MP113は電流を受け渡すPMOSトランジスタであり、これらのゲー

50



ト幅は2:1:2の関係に設計される。PMOSトランジスタMP111のゲートとドレインが接続されており、これらはPMOSトランジスタMP112, MP113のゲートと、読み出しデータ線DRjt ( $j=1,2$ であり、ブロックBLKの番号を示す。また、 $t=1,2,\dots,m$ であり、メモリセルアレイの列番号を示す。)にそれぞれ接続されている。

制御信号REFBj, SEBjは、PMOSトランジスタMP115, MP116のゲートに接続され、電源電圧VDDの供給を制御する。PMOSトランジスタMP115, MP116のドレインは、データ線DLjtにそれぞれ接続され、PMOSトランジスタMP114, MP115, MP116のゲート幅も2:1:2の関係に設計される。したがって、PMOSトランジスタMP111に電流が流れると、電流制御部CRAには制御信号REFBj, SEBjの電位とMP112, MP113のゲート寸法に応じた電流が流れて、データ線DLjtが充電される。

10

#### 【0186】

図38に示していないが、読み出し制御信号REB、制御信号REFBj, SEBjは、アレイ制御回路により制御される。アレイ制御回路はこれらを選択制御するためのアドレス入力信号端子およびアドレスデコーダを備え、入力されたアドレス信号がアドレスデコーダでデコードされてデコード信号を発生する。このデコード信号により、選択するメモリセルが含まれるデータ線対(DR,DW)を指定するように、読み出し制御信号REBと、制御信号REFBj, SEBjがそれぞれ活性化される。

#### 【0187】

以上のように構成される本実施例のメモリセルアレイにおける読み出し動作を説明する。ここでは、基本的に実施例7で用いた仮定を適用し、ブロックBLK1の読み出しデータ線DR11に接続されたダミーセル対を駆動して、ブロックBLK2の読み出しデータ線DR21に接続されたメモリセルの記憶情報を読み出すものとする。

20

#### 【0188】

カレントミラー回路CMA1では、制御信号SELB1が電源電圧VDDに保持された状態で、電源電圧VDDとなっている制御信号REFB1が読み出し制御信号REBと共に接地電位VSSに駆動される。すると、PMOSトランジスタMP111, MP112においてミラー比2:1のカレントミラー回路が形成され、データ線DL1tは電流値 $(I(1)+I(0))/2$ で充電される。

#### 【0189】

一方、カレントミラー回路CMA2では、制御信号REFB2が電源電圧VDDに保持された状態で、電源電圧VDDとなっている制御信号SELB2が読み出し制御信号REBと共に接地電位VSSに駆動される。すると、PMOSトランジスタMP111, MP113においてミラー比1:1のカレントミラー回路が形成され、データ線DL2tはメモリセルの記憶情報に応じた電流値 $I(1)$ または $I(0)$ で充電される。したがって、式(15)と式(16)に示したような読み出し信号が発生される。

30

#### 【0190】

以上から、読み出しデータ線に並列接続されたダミーセル対を用い、さらにミラー比の異なるカレントミラー回路を用いることにより、記憶情報に応じたデータ線電位の中間電位に参照電圧を発生して、記憶情報を正確に読み出すことができる。

#### 【0191】

ここまでは、記憶情報“0”を保持するメモリセルの読み出しNMOSトランジスタが導通するものとして、ダミーセル対を用いた構成例を説明してきた。しかし、読み出しNMOSトランジスタのしきい電圧ばらつきが小さく、記憶情報“0”を保持するメモリセルの読み出しNMOSトランジスタがオフ状態に保たれる場合にも、本実施例によるカレントミラー回路を適用できる。この場合、ダミーセルをメモリセルと同じ構成で記憶情報“1”を保持したものとし、式(15)と式(16)において、 $I(0)=0$ とすれば、同様の効果が得られることが説明できる。この説明に従えば、メモリセルに図19に示したような構造を適用することも可能である。

40

#### 【0192】

また、カレントミラー回路は図38に限るものではなく、種々の構成が可能である。その一例として、図39にカレントミラー回路CMBjを示す。MP121, MP122, MP123は電流を受け渡すPMOSトランジスタであり、これらのゲート幅は2:1:1の関係に設計される。PMOSト

50

ランジスタMP121のゲートとドレインが接続されており、これらはMP122, MP123のゲートと、読み出しデータ線DRjtにそれぞれ接続されている。ここで、 $j=1,2$ であり、ブロックBLKの番号を示す。また、 $t=1,2,\dots,m$ であり、メモリセルアレイの列番号を示す。

【0193】

読み書き制御信号REBは、PMOSトランジスタMP124, MP125のゲート、制御信号SELBjはPMOSトランジスタMP126のゲートにそれぞれ接続され、電源電圧VDDの供給を制御する。PMOSトランジスタMP125, MP126のドレインは、データ線DLjtにそれぞれ接続され、PMOSトランジスタMP124, MP125, MP126のゲート幅も2:1:1の關係に設計される。したがって、PMOSトランジスタMP121に電流が流れると、電流制御部CRBには読み出し制御信号REBおよび制御信号SELBjの電位で制御された電流経路の数に応じた電流が流れて、データ線DLjtが充電される。すなわち、制御信号SELBjが電源電圧VDDに保持された状態で、電源電圧VDDとなっている制御信号REBが接地電位VSSに駆動されると、PMOSトランジスタMP121, MP122においてミラー比2:1のカレントミラー回路が形成される。

10

【0194】

一方、電源電圧VDDとなっている制御信号SELBjが読み出し制御信号REBと共に接地電位VSSに駆動されると、PMOSトランジスタMP121, MP122, MP123においてミラー比2:1:1のカレントミラー回路が形成される。

以上の構成では、図38に示した構成と比べて、制御信号REFBjが不要となり、さらにPMOSTランジスタMP123, MP126の寸法が小さい分だけレイアウト面積を低減できる。

【0195】

20

以上、本発明の好適な実施例について説明したが、本発明は上記実施例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更をなし得ることは勿論である。例えば、実施例では一交点メモリセルアレイ構成を例に説明してきたが、二交点メモリセルアレイ構成とすることができる。容量結合型2トランジスタセルに接続されるデータ線は、読み出し動作と書き込み動作とが共通になっていてもよい。また、説明してきたメモリセルの書き込みトランジスタQWは図3に示すトンネル現象を利用したトランジスタに限らず、例えば通常のNMOSTランジスタに代表されるように、伝導電荷が電子であるトランジスタ全般であってもよい。

【0196】

【発明の効果】

30

前述した実施例から明らかなように、本発明によれば増幅作用を有するメモリセルで構成されるメモリセルアレイの各メモリセルに保持された記憶情報を、読み出しデータ線対に正負の微小信号差を発生させて読み出すことができる半導体装置を得ることができる。すなわち、ゲインセルを用いた一交点メモリセルアレイによるDRAMを実現できる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の実施例1における容量結合型2トランジスタセルを用いたメモリセルアレイの構成例を示す図。

【図2】3個のトランジスタで構成されるメモリセルの従来例を示す図。

【図3】本発明に係る半導体装置で用いる2個のトランジスタと1個のキャパシタで構成されるメモリセルの例を示す図。

40

【図4】本発明に係る半導体装置におけるメモリセルとダミーセルが駆動する読み出しデータ線電位の関係を示す図。

【図5】図1に示したメモリセルアレイのメモリセルとダミーセルの構成例を示す回路図。

【図6】本発明に係る半導体装置の実施例1における読み書き制御回路の構成例を示す図。

【図7】図1に示したメモリセルアレイのレイアウト例の一部を示す図。

【図8】図7に示したA-A'線に沿った断面構造の概略を示す図。

【図9】図7に示したB-B'線に沿った断面構造の概略を示す図。

【図10】本発明に係る半導体装置の実施例1における読み出し及び再書き込みの動作タ

50

イミングを示す図。

【図 1 1】本発明に係る半導体装置の実施例 2 におけるメモリセルアレイのメモリセルとダミーセルの構成例を示す回路図。

【図 1 2】図 1 1 に示したメモリセルアレイのレイアウト例の一部を示す図。

【図 1 3】図 1 2 に示した A - A' 線に沿った断面構造の概略を示す図。

【図 1 4】本発明に係る半導体装置の実施例 3 におけるメモリセルアレイの構成例を示す図。

【図 1 5】本発明に係る半導体装置の実施例 3 におけるメモリセルアレイの別の構成例を示す図。

【図 1 6】本発明に係る半導体装置の実施例 4 におけるメモリセルアレイの構成例を示す図。

10

【図 1 7】本発明に係る半導体装置の実施例 4 における読み出し及び再書き込みの動作タイミングを示す図。

【図 1 8】本発明に係る半導体装置の実施例 4 におけるメモリセルアレイの別の構成例を示す図。

【図 1 9】本発明に係る半導体装置の実施例 5 で用いる 3 トランジスタで構成されるメモリセルの例を示す図。

【図 2 0】本発明に係る半導体装置の実施例 5 で用いる 3 トランジスタで構成されるメモリセルの例を示す図。

【図 2 1】本発明に係る半導体装置の実施例 5 で用いる別のダミーセルの例を示す図。

20

【図 2 2】本発明に係る半導体装置の実施例 5 における読み出しの動作タイミングを示す図。

【図 2 3】本発明に係る半導体装置の実施例 5 で用いるまた別のダミーセルの構成例を示す図。

【図 2 4】本発明に係る半導体装置の実施例 5 で用いる更に別のダミーセルの構成例を示す図。

【図 2 5】本発明に係る半導体装置の実施例 5 で用いるまた更に別のダミーセルの構成例を示す図。

【図 2 6】本発明に係る半導体装置の実施例 6 におけるメモリセルアレイの構成例を示す図。

30

【図 2 7】本発明に係る半導体装置の実施例 6 におけるメモリセルアレイの別の構成例を示す図。

【図 2 8】本発明に係る半導体装置の実施例 7 におけるメモリセルとダミーセルが駆動する読み出しデータ線電位の関係を示す図。

【図 2 9】本発明に係る半導体装置の実施例 7 におけるメモリセルアレイの構成例を示す図。

【図 3 0】本発明に係る半導体装置の実施例 7 におけるメモリセルアレイのメモリセルとダミーセルの構成例を示す回路図。

【図 3 1】本発明に係る半導体装置の実施例 7 におけるメモリセルアレイのレイアウト例の一部を示す図。

40

【図 3 2】図 3 1 に示した A - A' 線に沿った断面構造の概略を示す図。

【図 3 3】本発明に係る半導体装置の実施例 7 におけるメモリセルアレイの別の構成例を示す図。

【図 3 4】本発明に係る半導体装置の実施例 7 におけるメモリセルアレイのまた別の構成例を示す図。

【図 3 5】本発明に係る半導体装置の実施例 8 における読み書き制御回路の構成例を示す図。

【図 3 6】本発明に係る半導体装置の実施例 8 における読み出し及び再書き込みの動作タイミングを示す図。

【図 3 7】本発明に係る半導体装置の実施例 9 におけるメモリセルアレイのメモリセルと

50

ダミーセルの構成例を示す回路図。

【図 3 8】本発明に係る半導体装置の実施例 9 で用いるカレントミラー回路の構成例を示す図。

【図 3 9】本発明に係る半導体装置の実施例 9 で用いるカレントミラー回路の別の構成例を示す図。

【符号の説明】

WL, WL11, WL1n, WL21, WL2n...ワード線、DWL1, DWL2, DWL11, DWL12, DWL21, DWL22...ダミーワード線、IOT1, IOB1...共通データ線、DR, DR02, DR0m, DR11, DR12, DR1m, DR21, DR22, DR2m, DR32, DR33, DR3m, DRjt...読み出しデータ線、DW, DW02, DW03, DW0m, DW11, DW12, DW1m, DW21, DW22, DW2m, DW32, DW33, DW3m...書き込みデータ線、DLT, DLB, DL11, DL12, DL21, DL22, DLjt...データ線、VW...書き込み電位、VR, VRS...読み出し電位、-VB, VLB...待機電位、VDD...電源電圧、VSS...接地電位、VTR, VTW...しきい電圧、VREF(t)...参照電位、V0(t), V1(t)...出力電位、VNB(H), VNB(L), VNR(H), VNR(L), VNBS(H), VNBS(L)...記憶ノードの電位、MNR, MNW, QY1, QY2, R, S, W, QR, QW, MN61 ~ MN63, MN71 ~ MN73, MN91, MN92, MN101 ~ MN103, DQR1, DQR2, DQRL, QSW1, QSW2, QS, DQS1, DQS2, DQSL...NMOSトランジスタ、MP61 ~ MP63, MP81 ~ MP84, MP91 ~ MP93, MP101 ~ MP103, MP111 ~ MP116, MP121 ~ MP126...PMOSトランジスタ、N, N2(n-1)1, N2n1, DN1, DN2, DN211, DN212, DNL, DNL21, DMC211, DMC212...記憶ノード、Cc, DCc1, DCc2, DCcL...結合容量、SA, SAM...センスアンプ、PCEQ...プリチャージ回路、YSW...データ線選択回路、DSW1, DSW2...データ線制御回路、R, REB...読み出し制御信号、W, WE...書き込み制御信号、SDN, SDP...センスアンプ起動信号、EQ, PC, PCB...プリチャージイネーブル信号、YS1...データ線選択信号、REFBj, SELBj...制御信号、MCT, MC, MC11, MCn1, MC12, MCn2, MC1m, MCnm, MCS, MCSS1, MCSS2...メモリセル、DC1, DC2, DCm, DCL1, DCLS, DCLSL, DMC1, DMC2...ダミーセル、DMCP1, DMCP1...ダミーセル対、MCA1, MCAAn...メモリセルアレイ、DCA, DCLA, DCLS, DCLT...ダミーセルアレイ、DMCAS, DMCAT, DMCPA...ダミーセル対アレイ、BLK1, BLK2, BLKST1, BLKST2, BLKSS1, BLKSS2, BLKQS1, BLKQS2, BLKQQ1, BLKQQ2, BLKP1, BLKP2, BLKR1, BLKR2, BLKPP1, BLKPP2, BLKQSP1, BLKQSP2...ブロック、RWCA, RWCAS0, RWCAS1, RWCAT1, RWCAS01, RWCAS11, RWCAS12, RWCCAS0, RWCCAT1, RWCCAS1...読み書き制御回路アレイ、RWC1, RWCm, RWCC1, RWCC2...読み書き制御回路、CM1, CM2, CMAj, CMBj...カレントミラー回路、DRCNT...読み出しデータ線コンタクト、DWCNT, DWCNTS...書き込みデータ線コンタクト、PSUB...P型シリコン基板、MTL1, MTL2...金属配線層、PS1, PS2, PS3...ポリシリコン、SN1, SN2, SN3...トンネル膜、INS1, INS2, INS3, INS4, INS5, INS6...絶縁膜、DS1, DS2, DS3, DS4, DS5...拡散層、SGI...シリコン酸化膜、CRA, CRB...電流制御部。

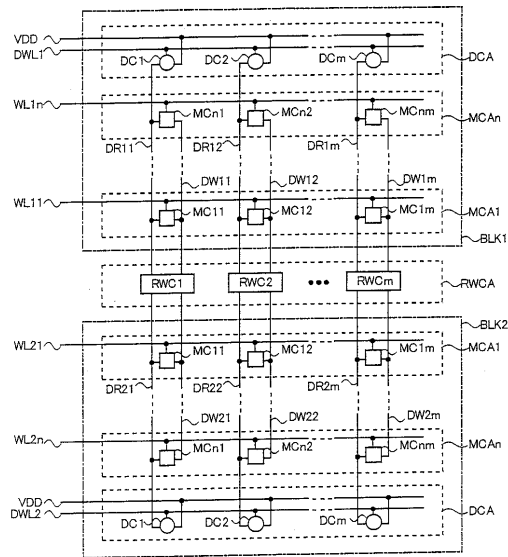
10

20

30

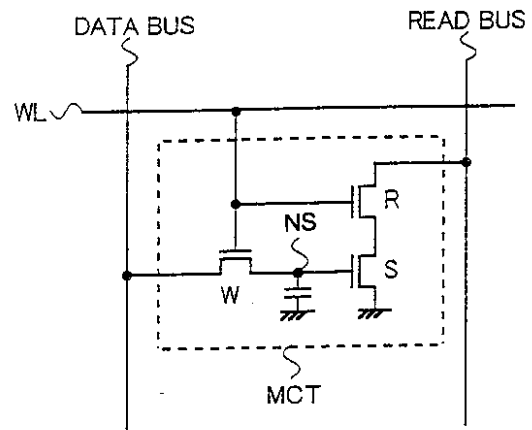
【図 1】

図 1



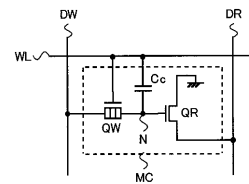
【図 2】

図 2



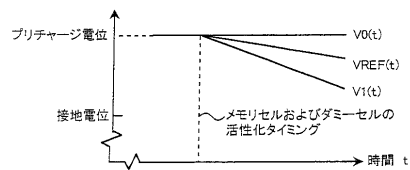
【図 3】

図 3



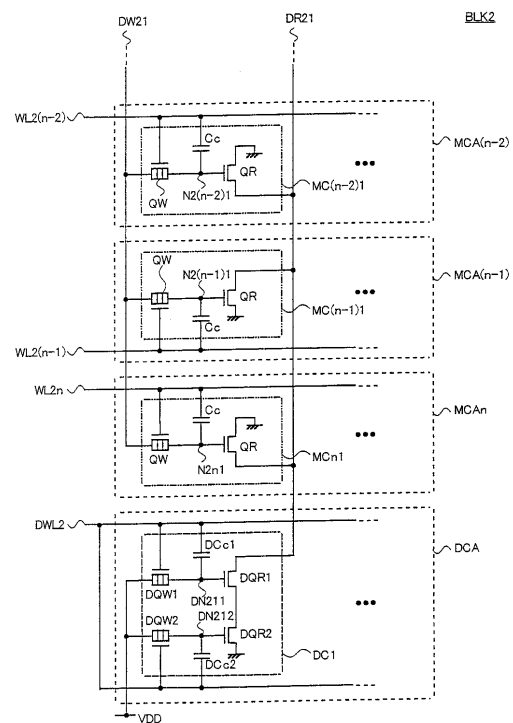
【図 4】

図 4

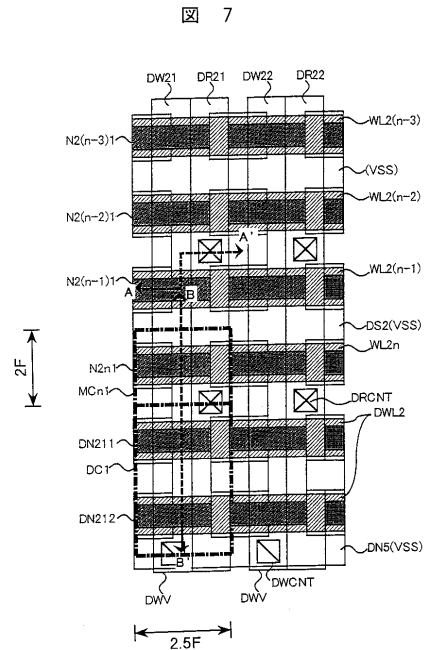


【図 5】

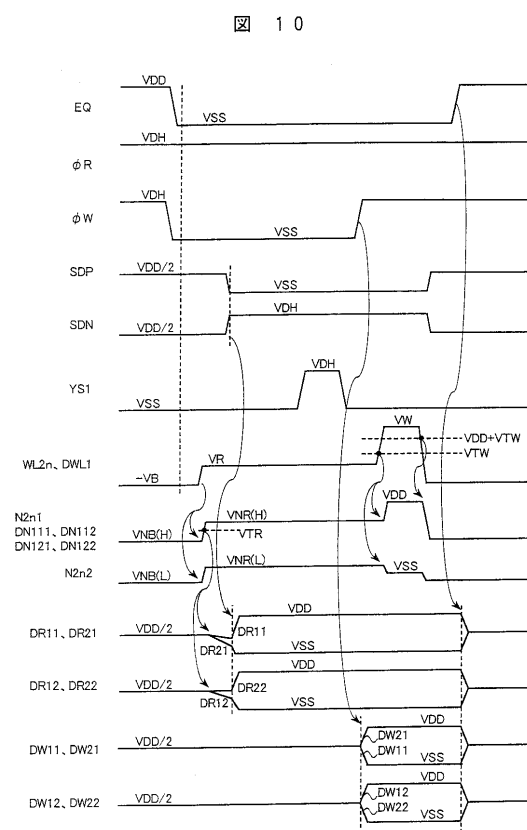
図 5



【 図 7 】

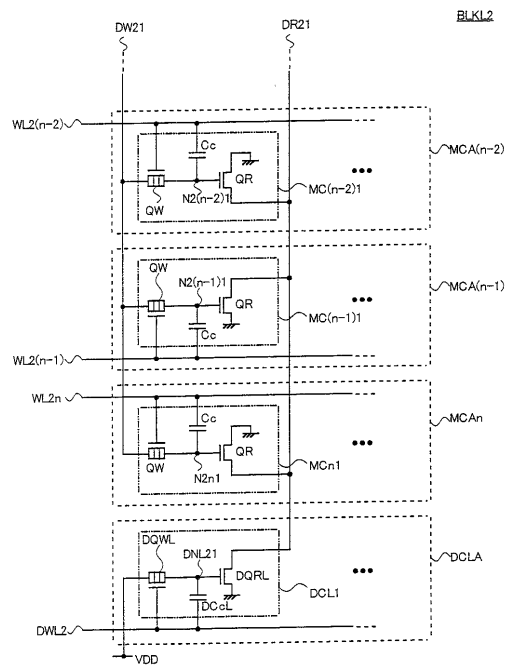


【 図 1 0 】



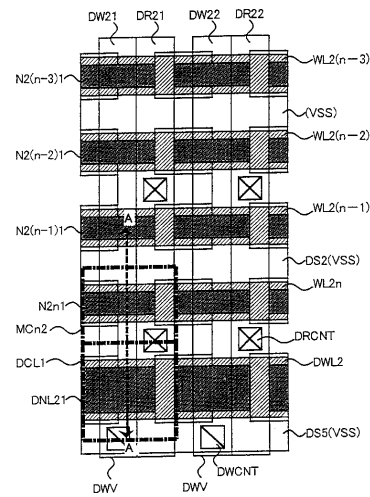
【 図 1 1 】

☒ 1 1



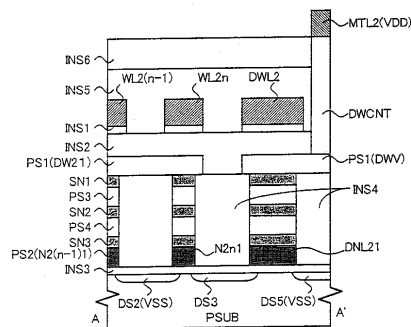
【 図 1 2 】

図 12



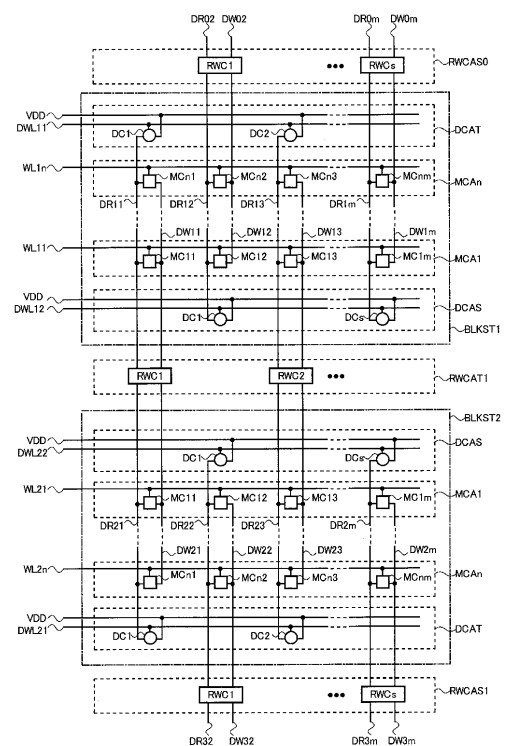
【 圖 1 3 】

☒ 13



【 図 1 4 】

图14

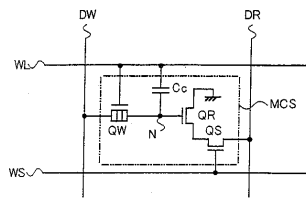






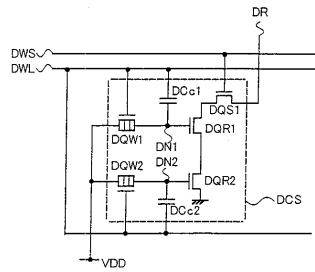
【図 19】

図 19



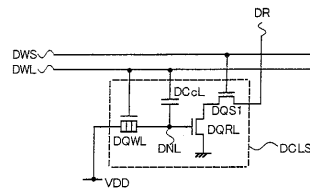
【図 20】

図 20



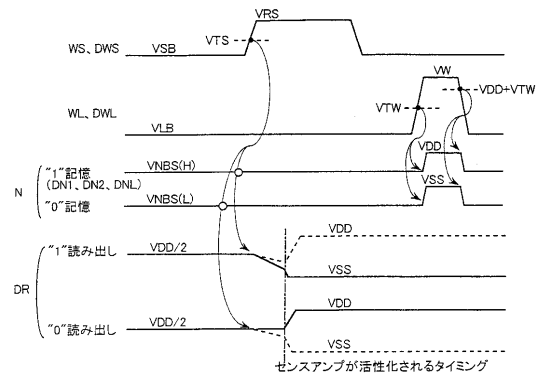
【図 21】

図 21



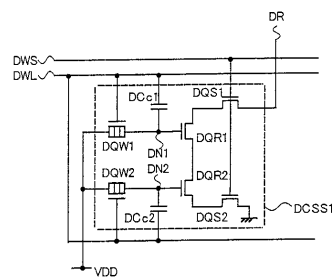
【図 22】

図 22



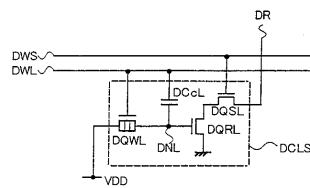
【図 23】

図 23



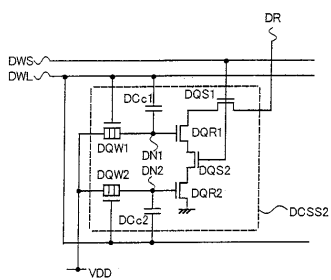
【図 25】

図 25



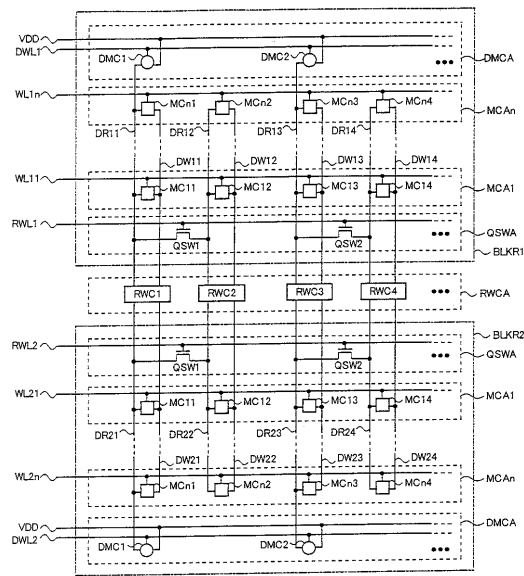
【図 24】

図 24



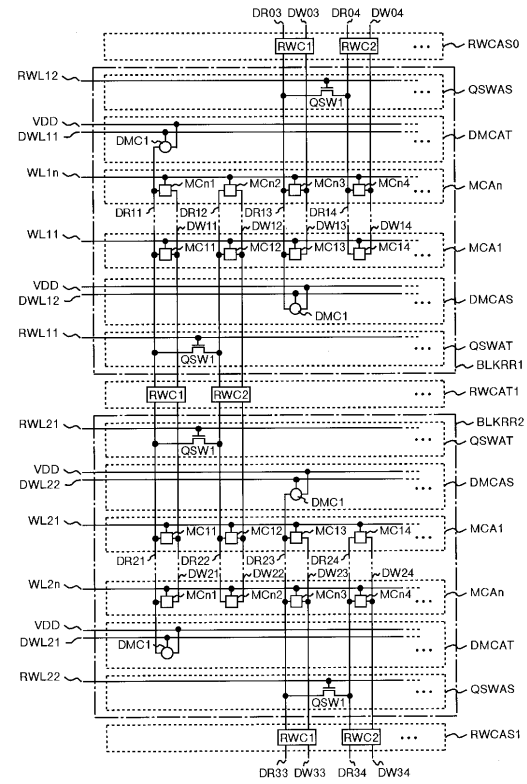
【図 26】

図 26



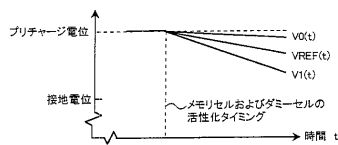
【図 27】

図 27



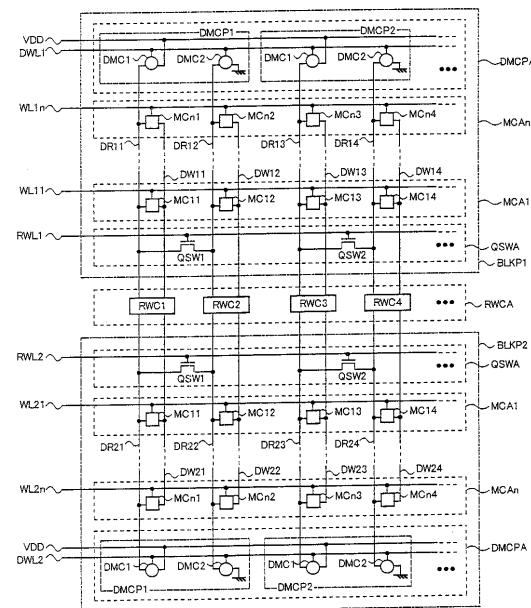
【図 28】

図 28

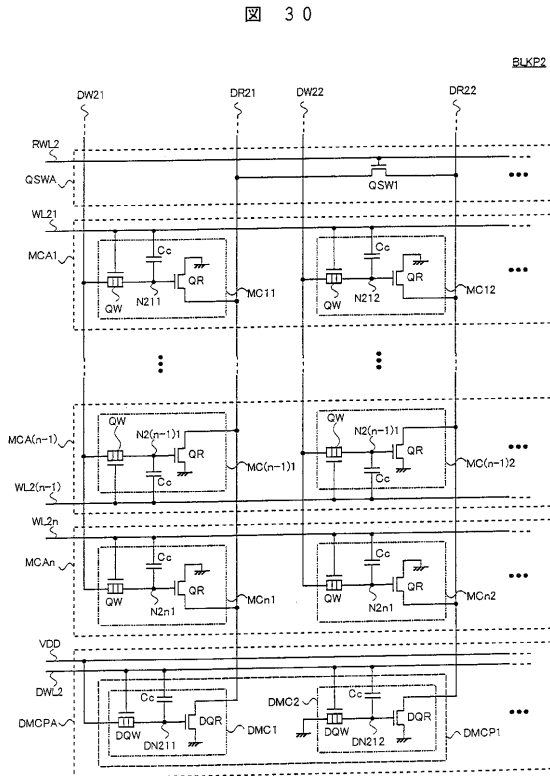


【図 29】

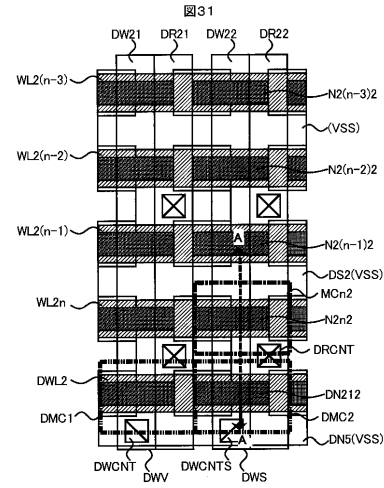
図 29



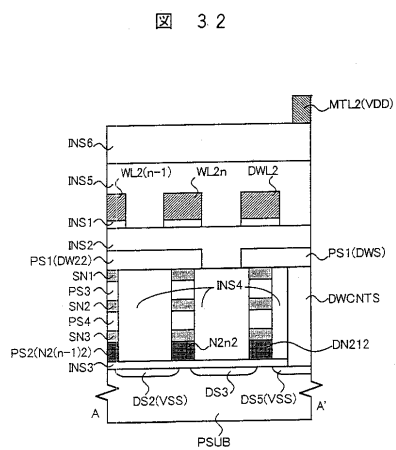
【図 30】



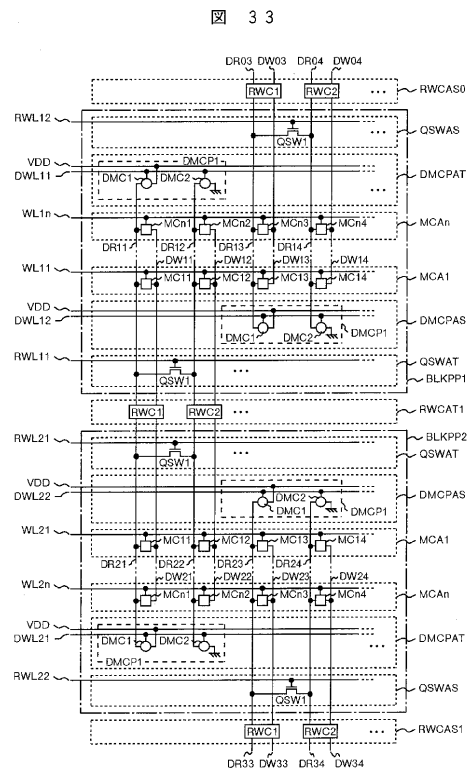
【図 31】



【図 32】



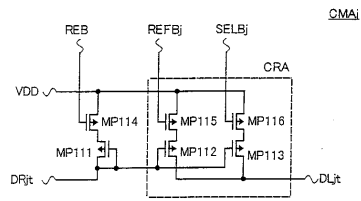
【図 33】





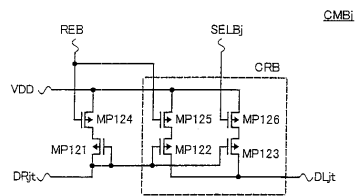
## 【図 38】

図 38



## 【図 39】

図 39



---

フロントページの続き

(51)Int.Cl. F I  
G 1 1 C 11/402 (2006.01) G 1 1 C 11/34 3 5 2 F

(56)参考文献 特開昭 6 2 - 0 7 1 0 9 1 ( J P , A )  
特開 2 0 0 1 - 0 0 6 3 5 5 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/4099

G11C 11/401

G11C 11/402

G11C 11/404

G11C 11/405

G11C 11/4097