



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년01월31일
(11) 등록번호 10-1109283
(24) 등록일자 2012년01월17일

(51) Int. Cl.

H03K 19/003 (2006.01) H01L 27/04 (2006.01)

(21) 출원번호 10-2009-7006027
(22) 출원일자(국제출원일자) 2007년08월24일
심사청구일자 2009년03월24일
(85) 번역문제출일자 2009년03월24일
(65) 공개번호 10-2009-0051234
(43) 공개일자 2009년05월21일
(86) 국제출원번호 PCT/US2007/076763
(87) 국제공개번호 WO 2008/024973
국제공개일자 2008년02월28일

(30) 우선권주장
11/738,336 2007년04월20일 미국(US)
60/840,275 2006년08월24일 미국(US)

(56) 선행기술조사문헌
JP2005303291 A*
US20050275987 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

칼컴 인코포레이티드

미국 캘리포니아 샌디에고 모어하우스
드라이브5775 (우 92121-1714)

(72) 발명자

윌리, 유진

미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775

모한, 비백

미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775

잘리제인아리, 레자

미국 92121 캘리포니아 샌디에고 모어하우스 드라
이브 5775

(74) 대리인

남상선

전체 청구항 수 : 총 20 항

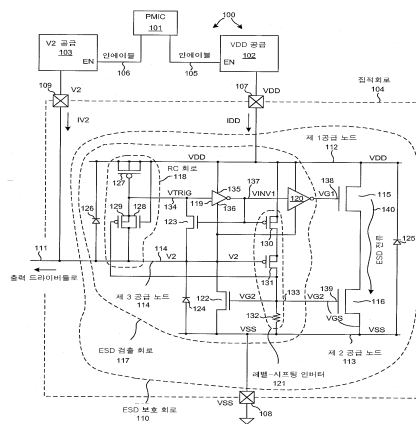
심사관 : 김남인

(54) 개선된 성능을 가진 N-채널 ESD 클램프

(57) 요약

정전기 방전(ESD) 보호 회로는 제 1 공급 노드로부터 제 2 공급 노드로 ESD 전류를 흐르게 하기 위하여 2개의 N-채널 전계 효과 트랜지스터들(NFET)을 사용한다. ESD 이벤트 동안, ESD 검출회로는 개별 전도 경로들을 통해 양 NFET들의 게이트들을 제 1 공급 노드에 연결시킨다. 신규한 일 양상에서, RC 트리거 회로는 레지스터스를 통해 충전되는 커패시터스를 포함한다. 레지스터스는 게이트가 제 2 NFET의 게이트에 연결되는 P-채널 트랜지스터를 포함한다. 정상 파워-업 상태동안, P-채널 트랜지스터는 도통되며, 따라서 공급 전압 VDD가 급속하게 상승하는 경우에 RC 트리거가 트리거되는 것을 막는다. 신규한 다른 양상에서, 신규한 레벨-시프팅 인버터는 제 2 NFET를 구동시킨다. 레벨-시프팅 인버터는 스냅-백(snap-back)을 방지하기 위하여 풀다운 저항기를 사용하며, 또한 용량적으로 로드된 제 3 공급 노드로부터 제 2 NFET의 게이트를 분리시킨다.

대표도 - 도3



특허청구의 범위

청구항 1

정전기 방전(ESD) 보호 회로로서,

제 1 공급 노드;

제 2 공급 노드;

게이트를 가진 제 1 N-채널 전계 효과 트랜지스터(NFET);

게이트를 가진 제 2 NFET ? 상기 제 2 NFET는 정전기 방전(ESD) 이벤트(event) 동안 ESD 전류가 상기 제 1 공급 노드로부터 상기 제 1 NFET 및 상기 제 2 NFET를 통해 상기 제 2 공급 노드로 흐르도록 상기 제 1 NFET와 직렬로 연결(couple)됨 ?; 및

상기 ESD 이벤트 동안 상기 제 1 및 제 2 NFET들의 게이트들을 상기 제 1 공급 노드에 연결하는 ESD 검출 회로를 포함하고,

상기 ESD 검출 회로는,

상기 ESD 이벤트 동안 RC 회로가 상기 제 1 공급 노드로부터 트리거 노드로 그리고 상기 트리거 노드로부터 제 3 공급 노드로 전류를 도통하게 하도록 상기 제 1 공급 노드 및 상기 제 3 공급 노드에 연결된 RC 회로;

상기 트리거 노드에 연결된 입력 리드(lead)를 가지는 인버터 ? 상기 인버터는 제 1 공급 전압 리드 및 제 2 공급 전압 리드를 가지고, 상기 인버터의 제 1 공급 전압 리드는 상기 제 1 공급 노드에 연결되고 상기 인버터의 제 2 공급 전압 리드는 상기 제 3 공급 노드에 연결되며, 상기 제 3 공급 노드는 상기 제 2 NFET의 게이트에 직접 접속되지 않음 ?; 및

게이트, 소스 및 드레인을 가진 P-채널 전계 효과 트랜지스터(PFET)

를 포함하고,

상기 소스는 상기 트리거 노드에 연결되며, 상기 드레인은 상기 제 3 공급 노드에 연결되며, 상기 게이트는 상기 제 2 NFET의 게이트에 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 ESD 검출 회로는 게이트, 소스 및 드레인을 가진 P-채널 전계 효과 트랜지스터(PFET)를 더 포함하며, 상기 게이트는 상기 제 3 공급 노드에 연결되고, 상기 드레인은 상기 제 2 NFET의 게이트에 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 4

제3항에 있어서,

상기 ESD 검출 회로는 상기 PFET의 드레인에 연결된 제 1 리드와 상기 제 2 공급 노드에 연결된 제 2 리드를 가진 저항기를 더 포함하는, 정전기 방전(ESD) 보호 회로.

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 ESD 보호 회로는 집적 회로의 부분이며, 상기 제 1 공급 노드는 상기 집적 회로의 제 1 단자로부터 공급 전압을 수신하기 위하여 연결되며, 상기 제 2 공급 노드는 상기 집적 회로의 제 2 단자로부터 접지 전위를 수신하기 위하여 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 7

제6항에 있어서,

상기 제 3 공급 노드는 상기 집적 회로의 제 3 단자로부터 제 2 공급 전압을 수신하기 위하여 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 8

제1항에 있어서,

상기 ESD 보호 회로는 집적 회로의 부분이며, 상기 제 3 공급 노드는 상기 집적 회로의 출력 드라이버에 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 9

제1항에 있어서,

상기 ESD 검출 회로는 게이트, 소스 및 드레인을 가진 제 3 NFET를 포함하며, 상기 제 3 NFET의 소스는 상기 제 2 공급 노드에 연결되며, 상기 제 3 NFET의 드레인은 상기 제 3 공급 노드에 연결되며, 상기 제 3 NFET의 게이트는 상기 제 2 NFET의 게이트에 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 10

제1항에 있어서,

게이트, 소스 및 드레인을 가진 제 3 NFET를 더 포함하며,

상기 제 3 NFET의 소스는 상기 제 3 공급 노드에 연결되며, 상기 제 3 NFET의 드레인은 상기 트리거 노드에 연결되며, 상기 제 3 NFET의 게이트는 상기 인버터의 출력 리드에 연결되는, 정전기 방전(ESD) 보호 회로.

청구항 11

제1항에 있어서,

상기 제 1 및 제 2 NFET들은 기판 타이 링(substrate tie ring)에 의하여 완전하게 둘러싸이는, 정전기 방전(ESD) 보호 회로.

청구항 12

제1항에 있어서,

상기 ESD 이벤트는 인체 모델(HBM: Human Body Model) 이벤트, 대전소자 모델(CDM: Charge Device Model) 이벤트 및 기계 모델(MM: Machine Model) 이벤트로 구성된 그룹으로부터 선택되는, 정전기 방전(ESD) 보호 회로.

청구항 13

(a) 정전기 방전(ESD) 이벤트 동안, 제 1 공급 노드에 제 1 N-채널 전계 효과 트랜지스터(NFET)의 게이트를 연결하고, 전도 경로가 상기 제 1 공급 노드로부터 상기 제 1 NFET 및 제 2 NFET를 통해 제 2 공급 노드로 형성되도록 상기 제 2 NFET의 게이트를 상기 제 1 공급 노드에 연결하는 단계; 및

(b) 상기 ESD 이벤트후에, 상기 전도 경로가 단절되도록 상기 제 1 및 제 2 NFET들이 도통되지 않게 제어하는 단계

를 포함하는, 정전기 방전(ESD) 보호 방법.

청구항 14

제13항에 있어서,

상기 제 1 및 제 2 NFET들은 상기 제 1 및 제 2 공급 노드들간의 전압이 20 마이크로초 이상에서 0 볼트로부터 공급 전압으로 상승하는 경우에 실질적으로 비도통 상태를 유지하는, 정전기 방전(ESD) 보호 방법.

청구항 15

제14항에 있어서,

상기 제 1 NFET의 게이트는 제 1 전도 경로를 통해 상기 단계 (a)에서 상기 제 1 공급 노드에 연결되며, 상기 제 2 NFET의 게이트는 상기 제 1 전도 경로와 분리된 제 2 전도 경로를 통해 상기 단계 (a)에서 상기 제 1 공급 노드에 연결되는, 정전기 방전(ESD) 보호 방법.

청구항 16

제14항에 있어서,

제 3 공급 노드상의 전압을 수신하는 단계; 및

상기 ESD 이벤트 동안 상기 제 3 공급 노드를 상기 제 2 공급 노드에 연결하기 위하여 제 3 NFET을 사용하는 단계

를 더 포함하는, 정전기 방전(ESD) 보호 방법.

청구항 17

제14항에 있어서,

상기 제 2 NFET의 게이트를 구동시키기 위하여 레벨-시프팅 인버터를 사용하는 단계를 더 포함하며,

상기 레벨-시프팅 인버터는 제 1 입력 리드 및 제 2 입력 리드를 가지며, 상기 제 1 입력 리드는 타이밍 신호를 수신하기 위하여 연결되며, 상기 제 2 입력 리드는 제 3 공급 노드에 연결되며,

상기 레벨-시프팅 인버터는 제 1 리드 및 제 2 리드를 가진 저항기를 포함하며, 상기 저항기의 제 1 리드는 상기 제 2 NFET의 게이트에 연결되며, 상기 제 2 리드는 상기 제 2 공급 노드에 연결되는, 정전기 방전(ESD) 보호 방법.

청구항 18

제13항에 있어서,

상기 제 2 NFET는 기판 타이 링(tie ring)에 의하여 완전하게 둘러싸이며, 상기 기판 타이 링은 상기 제 2 NFET의 몸체(body)를 접지 전위에 연결하는, 정전기 방전(ESD) 보호 방법.

청구항 19

제13항에 있어서,

상기 전도 경로가 단절될 때를 제어하기 위하여 RC 회로를 사용하는 단계 ? 상기 RC 회로는 레지스턴스를 통해 충전되는 커패시턴스를 포함함 ?; 및

상기 제 2 NFET의 게이트상의 전압의 함수로서 상기 레지스턴스를 변화시키는 단계를 더 포함하는, 정전기 방전(ESD) 보호 방법.

청구항 20

제 1 공급 노드;

제 2 공급 노드;

게이트를 가진 제 1 N-채널 전계 효과 트랜지스터(NFET);

게이트를 가진 제 2 NFET; 및

ESD 전류가 상기 제 1 공급 노드로부터 상기 제 1 및 제 2 NFET들을 통해 직렬로 상기 제 2 공급 노드로 도통되도록 ESD 이벤트 동안 상기 제 1 및 제 2 NFET들의 게이트들을 상기 제 1 공급 노드에 연결하기 위한 수단

을 포함하고,

상기 연결 수단은 또한 ESD 이벤트가 존재하지 않을때 상기 제 1 및 제 2 공급 노드들사이의 전압이 20 마이크로초를 초과하여 0볼트로부터 공급 전압으로 상승하는 경우에 실질적으로 도통되지 않게 상기 제 1 및 제 2 NFET들을 제어하는, 집적 회로.

청구항 21

제20항에 있어서,

제 3 공급 노드를 더 포함하고,

상기 연결 수단은 또한 1) 상기 제 3 공급 노드상의 전압이 상기 제 2 공급 노드상의 전압과 실질적으로 동일할 때 그리고 2) 상기 연결 수단의 RC 회로가 타임아웃(time-out)된 후에 상기 제 2 NFET의 게이트를 상기 제 1 공급 노드에 연결하는, 집적 회로.

청구항 22

제21항에 있어서,

상기 RC 회로는 레지스터스를 통해 충전되는 커패시터를 포함하며,

상기 연결 수단은 상기 제 2 NFET의 게이트상의 전압의 함수로서 상기 레지스터스를 변화시키는, 집적 회로.

명세서

기술분야

[0001] 본 출원은 "개선된 캐스코드형 RC 트리거링 ESD 클램프"라는 명칭으로 2006년 8월 24일에 출원된 미국 가출원번호 제60/840,275호의 우선권을 주장하며, 이 가출원은 본 발명의 양수인에게 양도되었으며 여기에 참조로 통합된다.

[0002] 본 발명은 ESD 보호 회로에 관한 것이다.

배경기술

[0003] 집적 회로들은 정전기 방전(Electrostatic Discharge)에 의하여 발생된 고전압 스파이크(spike)에 의하여 손상될 수 있다. 높은 정전하(static charge)들은 인간의 신체상에서 발생할 수 있다. 패키지형 집적 회로가 고정되어 있지 않고 인쇄회로에 연결되지 않는 상황을 고려하라. 집적 회로내의 전력 및 접지 컨덕터들은 제 1 전위로 유지될 수 있다. 만일 정전하가 충전(charge)된 사람이 집적 회로의 단자에 접촉하면, 사람의 신체상의 높은 정전압 전하는 집적 회로 및 인간의 신체가 공통 전위와 동일할 때까지 단자를 통해 집적 회로 내로 빠르게 방전될 수 있다. 이러한 정전기 방전 이벤트(event)는 집적 회로 내로 고전압 및 고전류를 순간적으로 유입시키며, 이는 집적 회로를 손상시킬 수 있다. 일례에서, 집적 회로내의 작은 논리 트랜지스터의 게이트 유전체 재료는 박막이어서, 고전압이 트랜지스터의 유전체 전극 및 하부 반도체 재료사이에서 순간적으로 발생할 때 브레이크-다운된다. ESD 이벤트 동안, 게이트 유전체는 브레이크-다운되며 영구적으로 손상된다. 집적 회로가 나중에 이용가능 제품내에 통합될 때, 제품은 핸들링(handling)동안 집적 회로의 손상으로 인하여 결함을 가지거나 또는 동작하지 않을 수 있다.

[0004] 이러한 상황을 방지하기 위하여, 정전기 방전(ESD) 보호 장치들로 지칭된 회로들이 일반적으로 집적 회로들에 통합된다. ESD 보호 회로는 낮은 비파괴 전압을 강하시키면서 ESD 방전 이벤트의 순간적 고전압 전류들을 분기시킬 수 있는 회로소자를 가진다. ESD 보호 회로의 한 타입은 보통 ESD "클램프"로서 지칭된다. 만일 집적 회로의 접지 단자 및 전압 공급 단자간의 전압이 ESD 이벤트에서처럼 빠르게 증가시키는 것을 시작하면, ESD 보호 장치는 전도적으로 되며, 한 단자를 다른 단자에 클램프한다(또는 한 내부 공급 전압 버스를 다른 버스에 클램프한다). 클램핑(clamping)은 단자들 중 한 단자상의 고전압 ESD 이벤트의 충전이 ESD 보호 장치를 통해 다른 단자로 방전되도록 한다. ESD 이벤트는 단지 짧은 기간이며, 따라서 ESD 이벤트후에 ESD 보호 장치는 더 이상 전도적이지 아니다. 회로에 사용된 반도체 전계 효과 트랜지스터들(FET)의 정격(rating)보다 높은 전압에서 회로가 동작해야 하는 상황들이 존재한다. 이러한 경우에, "캐스코딩(cascoding)"으로 지칭되는 기술이 사용된다. 이러한 기술에서, 유사한 극성(polarity)을 가진 FET들은 회로가 개별 FET들의 전압 정격 이상에서 동작하

도록 직렬로 배치된다. 이러한 회로들은 양의 공급 단자 및 음의 공급 단자사이의 바이어스 전압 레벨을 필요로 한다.

[0005] 도 1(종래기술)은 하나의 종래의 캐스코딩형 ESD 보호 회로의 회로 다이어그램이다. 공급 전압 컨덕터(1)는 제 1 단자에 연결되며, 접지 컨덕터(2)는 제 2 단자에 연결되며, 중간 공급전압(9) 또는 캐스코딩 바이어스 전압은 제 3 단자에 연결된다. 회로의 모든 노드들이 초기에 동일한 전위에 있다는 것을 가정한다. 만일 컨덕터(1)상의 전압이 컨덕터(2)상의 접지 전압에 비하여 빠르게 증가하면, 큰 N-채널 FET들(3, 4)은 컨덕터(1)로부터 컨덕터(2)로 가능한 ESD 전류를 흐르게 하기 위하여 도통된다. 회로는 2개의 RC 회로들을 포함한다. P-채널 트랜지스터(5)는 저항기로서 기능을 하며, P-채널 트랜지스터(6)는 커패시터로서 기능을 한다. P-채널 트랜지스터들(7, 8)은 유사한 형식으로 함께 연결된다. 트랜지스터들(5, 6)을 포함하는 RC 회로를 고려하라. 초기에, 트랜지스터(6)의 커패시턴스는 방전되며, 트랜지스터(6)의 커패시턴스에서 전압이 강하지 않는다. 따라서, 노드(10)는 인버터(13)의 리드들(lead)(11, 12)상의 공급 전압들에 대하여 디지털 로우(low)에 있다. 컨덕터들(1, 9)사이의 전압이 급속하게 증가할때, 트랜지스터(6)의 커패시턴스는 트랜지스터(5)의 레지스턴스를 통해 비교적 느리게 충전된다. 결과로서, 디지털 로우(low)는 인버터(13)의 입력상에 제공된다. 인버터(13)는 디지털 하이(high)를 출력하며, 이는 큰 N-채널 저항기(3)의 게이트가 컨덕터(1)에 연결되도록 한다. 큰 N-채널 트랜지스터(3)는 도통된다. 도 1의 회로의 하부 부분은 회로의 상부 부분과 동일한 방식으로 작동한다. 따라서, 큰 N-채널 트랜지스터들(3, 4) 모두는 컨덕터들(1, 2)사이의 전압이 빠르게 상승하는 것으로 검출될때 ESD 상태 동안 빠르게 턴-온(turn-on)한다. 트랜지스터들(3, 4)은 정적 ESD 충전을 방전시키며, 컨덕터들(1, 2)사이의 전압이 집적 회로내의 다른 민감 회로소자들을 손상시키는 높은 레벨들에 도달하는 것을 방지한다.

[0006] 짧은시간후에, 트랜지스터들(6, 8)의 커패시턴스들은 노드들(10, 14)상의 전압들이 인버터들(13, 15)의 스위칭 전압들에 도달하는 지점까지 충전한다. 그 다음에, 인버터들(13, 15)은 트랜지스터들(3, 4)이 도통되지 않게 하는 디지털 논리 로우(low) 값을 출력하도록 스위칭된다. 일단 큰 N-채널 트랜지스터들(3, 4)이 도통되지 않으면, VDD를 공급하는 공급 전압은 정상 파워-업(power-up) 상태로 컨덕터들(1, 2)에 연결될 수 있다. 정상 파워-업 상태에서, 컨덕터들(1, 2)사이의 전압은 ESD 이벤트에서 처럼 빠르게 상승하지 않는다. 컨덕터들(1, 9)사이 그리고 컨덕터들(9, 2)사이의 전압들은 트랜지스터들(6, 8)의 커패시터들이 항상 충분히 충전되도록 그리고 노드들(10, 14)상의 전압이 인버터들(13, 15)의 스위칭 전압들 이상에서 유지되도록 느리게 상승한다. 따라서, 인버터들(13, 15)은 항상 디지털 논리 로우(low) 값을 출력한다. 따라서, 트랜지스터들(3, 4)은 비도통 상태를 유지한다. 컨덕터들(1, 2)사이의 전압은 컨덕터들(1, 2)사이의 전압이 공급 전압 VDD 레벨에 도달할때까지 이러한 형식으로 상승될 수 있다. ESD 보호 회로는 정상 파워-업 상태동안 컨덕터(1)로부터 컨덕터(2)로 전류를 흐르게 하지 않는다.

[0007] ESD 보호 회로들의 적정성(adequacy)을 테스트하기 위하여 사용된 2개의 공통 모드들, 즉 인체모드(Human Body Mode) 및 대전 소자 모델(CDM: Charge Device Model)이 존재한다. CDM 모델에서, ESD 펄스들은 높은 전류 진폭들을 가지나 HMB 모델의 ESD 펄스들보다 짧은 기간을 가진다. CDM 테스트동안, ESD 클램프들에서 ESD 전류를 흐르게 하기 위하여 사용된 큰 N-채널 트랜지스터들은 고장이 알려진다. 따라서, 밸러스트들(ballast)이 제공되며, ESD 보호가 실패한 전압이 성공적으로 상승된다. 그러나, 밸러스트들을 제공하면 ESD 보호 회로들에 의하여 소비되는 집적 회로 영역의 크기가 증가한다는 것이 인식되어야 한다. 유사한 구성을 가진 P-채널 트랜지스터는 자신이 낮은 캐리어 이동도를 가지기 때문에 N-채널 트랜지스터와 동일한 ESD 전류량을 도통시키기 위하여 너무 크게 만들어질지라도 ESD 보호 회로 응용에서 고장난 것으로 인정되지 않는다. P-채널 트랜지스터에 의하여 소비된 집적 회로 영역의 크기는 때때로 작은 N-채널 트랜지스터 및 이와 연관된 밸러스트에 의하여 소비된 집적 회로 영역의 크기보다 작다. 따라서, ESD 보호 회로들은 큰 ESD 전류 이송 트랜지스터들에 대하여 P-채널 트랜지스터들을 사용한다.

[0008] 도 2(종래기술)는 큰 ESD 전류 이송 트랜지스터들에 대하여 P-채널 트랜지스터들(P1, P2)을 사용하는 ESD 보호 회로의 다이어그램이다. 컨덕터(16) 및 접지 컨덕터(17)사이의 전압의 급속 상승동안, RC 회로(18)는 초기에 인버터(20)상의 공급 전압들에 대하여 인버터(20)의 입력 리드(19)상에 디지털 논리 로우(low)를 제공한다. 따라서, 인버터(20)는 인버터(21)의 입력 리드(23)상에 디지털 논리 하이(high)를 출력하며, 인버터(21)는 노드(22)상의 낮은 전위에 P1의 게이트를 연결시킨다. 따라서, 트랜지스터(P1)는 도통된다. 노드(22)상의 낮은 전위는 트랜지스터(P2)의 게이트에 직접 연결되며, 따라서 트랜지스터(P2)는 또한 도통된다. 노드(23)는 인버터(20)에 의하여 컨덕터(16)에 연결되며, 따라서 노드(23)는 노드(22)보다 높은 전위를 가진다. 노드(22)상의 전압은 인버터(23)의 스위칭 임계치 이하이다. 따라서, 인버터(24)는 트랜지스터(25)의 게이트상에 디지털 하이(high) 전압(노드(23)상의 전압)을 출력하며, 이에 따라 트랜지스터(25)를 도통시키고 접지 전위에 접속된 노드

(22)상의 전압을 유지한다. ESD 전류는 컨덕터(16)로부터 트랜지스터들(P1, P2)을 통해 접지 컨덕터(17)로 흐른다.

[0009] ESD 이벤트의 패싱(passing)후에, 노드(19)상의 전압은 인버터(20)의 스위칭 임계치가 도달하는 지점까지 컨덕터(22)상의 전압에 대하여 상승한다. 인버터(20)는 스위칭되며, 인버터(21)는 스위칭되며, 트랜지스터(P1)의 게이트는 인버터(21)에 의하여 컨덕터(16)에 연결된다. 그 다음에, 트랜지스터(P1)는 턴-오프된다. 이 시간에, 노드(23)는 인버터(20)의 풀다운 트랜지스터에 의하여 노드(22)에 연결된다. 인버터(24)의 입력 리드상의 전압은 더 이상 인버터(24)의 스위칭 지점 이하가 아니다. 따라서, 인버터(24)는 스위칭되며 접지 컨덕터(17)에 트랜지스터(25)의 게이트를 연결하며, 이에 따라 트랜지스터(25)를 턴-오프시킨다. 노드(22)가 더 이상 접지 컨덕터(17)에 연결되지 않기 때문에, 노드(22)상의 전압은 상승하여 트랜지스터(P2)를 턴-오프시킨다. 따라서, ESD 이벤트후에, 큰 P-채널 트랜지스터들(P1, P2)은 도통되지 않는다. 공급 컨덕터(16)에 공급된 전압, 컨덕터(22)에 공급된 중간 전압, 그리고 접지 컨덕터(17)에 공급된 접지를 사용하는 정상 동작 상태하에서, 트랜지스터(P1)의 게이트는 자신의 소스 전위로 유지되며 따라서 트랜지스터(P1)를 오프(off)로 바이어싱한다. 트랜지스터(P2)의 게이트는 컨덕터(22)의 전위로 유지되며, 따라서 트랜지스터(P1)의 드레인 대 소스 전위를 안전 레벨로 낮춘다.

발명의 상세한 설명

[0010] 정전기 방전(ESD) 보호 회로는 집적 회로의 제 1 공급 노드로부터 제 2 공급노드로 ESD 전류를 흐르게 하는 큰 직렬-접속 전계 효과 트랜지스터(FET)들의 스택된 쌍을 사용한다. ESD 보호 회로는 ESD 검출 회로를 포함한다. ESD 이벤트 동안, ESD 검출 회로내의 RC 트리거 회로는 트리거하여, ESD 검출 회로로 하여금 제 1 FET 및 제 2 FET 둘다를 도통시키도록 한다. 따라서, ESD 전류는 제 1 공급 노드로부터 제 1 FET 및 제 2 FET를 통해 제 2 공급 노드로 흐를 수 있다. 일정기간후에, RC 트리거 회로는 타임아웃(time-out)된다. 타임아웃은 ESD 검출 회로가 FET들을 턴-오프(turn-off)하도록 한다.

[0011] 정상 파워-업 시퀀스동안, 캐스코드 공급 전압 V2(예컨대, 1.8볼트)는 ESD 보호 회로의 제 3 공급 노드상에 공급된다. 제 3 공급 노드상의 전압은 0볼트로부터 공급 전압 V2로 램프-업(ramp-up)된다. 그 다음에, 공급 전압 VDD(예컨대, 3.0볼트)는 ESD 보호 회로의 제 1 공급 노드상에 공급된다. 제 1 공급 노드상의 전압은 0볼트로부터 전압 VDD로 램프-업된다. 정상 파워-업 시퀀스의 램프 시간들은 충분히 길어서 RC 트리거 회로는 트리거하지 않는다. 따라서, ESD 보호 회로의 스택된 직렬-접속 FET들은 도통되지 않는다. 일례로, RC 트리거 회로는 만일 전압 VDD가 20 마이크로초 이상에서 0 볼트로부터 3.0볼트로 램프되면 트리거하지 않는다.

[0012] 신규한 일 양상에서, 스택된 직렬-접속 FET들은 N-채널 FET들(NFET)이다. ESD 이벤트 동안, ESD 보호 회로는 이들 NFET들 모두의 게이트들을 제 1 공급 노드에 연결시킨다. NFET들은 상이한 개별 전도 경로들에 의하여 제 1 공급 노드에 연결된다. 제 1 및 제 2 FET들은 P-채널 FET들보다 오히려 N-채널 FET들이다. 각각의 NFET는 그 자체의 기관 타이 링(tie ring)에 의하여 완전하게 둘러싸인다. 기관 타이 링은 다수의 몸체 접촉부들을 통해 NFET의 몸체를 접지 전위에 연결시킨다. 각각의 몸체 접촉부는 상부 타이 링을 사용하여 몸체에 P+확산부를 연결시킨다. 접촉부들은 트랜지스터 채널로부터 일정 거리에 있는 링내에 배치된다. ESD 이벤트 동안, 몸체 타이 및 타이 링 구조는 NFET의 임계전압을 약간 시프트시키며, 이는 NFET로 하여금 고전압 전도 상황하에서 고장없이 더 많은 전류를 드로우(draw)하도록 한다.

[0013] 신규한 제 2양상에서, RC 트리거 회로는 레지스턴스를 통해 충전된 커패시턴스를 포함한다. 레지스턴스와 커패시턴스사이에는 트리거 노드로 지칭되는 노드가 존재한다. 레지스턴스는 게이트가 제 2 NFET의 게이트에 연결되는 P-채널 트랜지스터를 포함한다. ESD 이벤트 동안, 제 2NFET의 게이트는 전술한 바와같이 ESD 검출 회로에 의하여 제 1 공급 노드에 연결된다. 따라서, P-채널 트랜지스터는 바이어스-오프(bias-off)되며, ESD 이벤트 동안 도통되지 않는다. P-채널 트랜지스터는 ESD 이벤트 동안 RC 트리거 회로의 타이밍에 영향을 미치지 않는다. 그러나, 정상 파워-업 시퀀스에서, 제 2 NFET의 게이트는 제 2 공급 노드에 연결된다. 제 2 NFET의 게이트상의 비교적 낮은 전압은 RC 트리거 회로의 레지스턴스의 P-채널 트랜지스터가 도통되도록 한다. 도통된 P-채널 트랜지스터는 트리거 노드를 제 3 공급 노드에 연결시키며, 제 1 공급 노드상의 공급 전압 VDD가 급속히 상승하는 경우에 RC 트리거가 트리거되는 것을 방지한다.

[0014] 신규한 제 3 양상에서, ESD 검출 회로는 레벨-시프팅 인버터를 포함한다. 레벨-시프팅 인버터는 2개의 직렬-접속 P-채널 트랜지스터들 및 풀다운 저항기를 포함한다. 만일 P-채널 트랜지스터들의 모두가 도통되도록 만들어지면, P-채널 트랜지스터들은 레벨-시프팅 인버터의 출력 노드를 제 1 공급 노드상의 고전위로 풀-업(pull-up)시킨다. 출력 노드는 제 2 NFET의 게이트에 연결된다. 다른 한편으로, 만일 P-채널 트랜지스터들중 하나가

도통되지 않으면, 풀다운 저항기는 출력 노드를 제 2 공급 노드상의 저전위로 풀-다운(pull-down)시킨다. 레벨-시프팅 인버터는 제 2 NFET가 ESD 이벤트 동안 턴-온되어 NFET가 RC 트리거 회로의 타임아웃까지 턴-오프되도록 RC 트리거 회로로부터 제 2 NFET의 게이트로 트리거 신호를 통신하기 위하여 사용된다. 유리하게, 저항기는 N-채널 트랜지스터가 스냅-백(snap-back)되기 쉽기 때문에 N-채널 트랜지스터보다 오히려 출력 노드를 풀-다운시키기 위하여 사용된다. 만일 N-채널 트랜지스터가 스냅-백되면, 제 2 NFET에 대한 게이트 드라이브는 감소될 수 있으며 및/또는 N-채널 트랜지스터는 손상될 수 있다. 레벨-시프팅 인버터의 다른 장점은 공급 전압 V2가 수신되는 제 3 공급 노드가 제 2 NFET의 게이트에 직접 연결되지 않는다는 점이다. 제 3 공급 노드는 집적 회로상의 다른 회로소자에 접속되고 공급 단자에 접속되기 때문에 용량적으로 로드될 수 있다. 제 3 공급 노드로부터 제 2 NFET의 게이트의 디커플링은 제 2 NFET의 게이트상의 전압이 제 3 공급 노드상의 용량성 로드에서 의하여 저속으로 되지 않고 급속하게 변화되도록 한다.

[0015] 전술한 설명은 요약이며, 세부사항을 단순화하고, 일반화하며 생략하였으며, 당업자는 요약이 단순히 예시적이며 본 발명을 제한하지 않는 것을 인식할 것이다. 여기에서 제시된 장치들 및/또는 프로세스들의 다른 양상, 진보적 특징들 및 장점들은 이하의 상세한 설명으로부터 명백하게 될 것이다.

실시예

[0025] 도 3은 신규한 일 양상에 따른 시스템(100)의 다이어그램이다. 시스템(100)은 전력 관리 집적 회로(PMIC)(101), 제 1 외부 전압 공급 소스(102), 제 2 외부 전압 공급 소스(103), 및 집적 회로(104)를 포함한다. PMIC(101)는 공급 전압들 VDD 및 V2가 정상 파워-업 상태동안 집적 회로(104)에 공급되는 시퀀싱(sequencing)을 제어한다. PMIC(101)는 인에이블 라인들(105, 106)을 통해 외부 전압 공급 소스들(102, 103)을 인에이블함으로써 시퀀싱을 제어한다. 만일 예컨대 VDD 전압 공급 소스(102)가 인에이블되면, VDD 전압 공급 소스(102)는 집적 회로(104)의 단자(107)상에 공급 전압 VDD를 공급한다. 전압 VDD가 단자들(107, 108)사이의 전압이고 외부 전압 공급 소스(102)가 도시되지 않은 접속부들에 의하여 단자(108)에 접속된다는 것이 이해되어야 한다. 유사하게, 만일 V2 전압 공급 소스(103)가 인에이블되면, V2 전압 공급 소스(103)는 집적 회로(104)의 단자(109)상에 공급 전압 V2를 공급한다. 이러한 예에서, PMIC(101)는 전력 공급 전압 VDD(예컨대, 3.0볼트) 및 V2(예컨대, 1.80 볼트)가 집적 회로(104)에 공급되는 순서 및 램프율을 제어한다.

[0026] 집적 회로(104)는 3개의 공급 단자들(107-109), 정전기 방전(ESD) 보호 회로(110), 및 다른 회로(도시 안됨)를 포함한다. 집적 회로(104)는 45 나노미터 CMOS 프로세스 또는 다른 적절한 CMOS 프로세스로 제조된다. 다른 회로소자는 ESD 보호 회로에 의하여 보호될 회로소자를 포함한다. 기술된 예에서, 집적 회로(104)는 집적 회로(104)로부터의 신호들을 구동하는 출력 드라이버들(도시안됨)을 포함한다. 이들 출력 드라이버들은 또 다른 소스로부터 공급 전압 V2를 수신하며 단자(109)에 연결된다. 전압 V2는 비록 공급 전압 VDD가 MOSFET들의 안전한 동작 전압보다 높을지라도 MOSFET들이 안전한 동작 영역에서 동작하도록 하기 위하여 사용된다. 유사하게, ESD 보호 회로(110)는 또 다른 소스로부터 공급 전압 V2를 수신한다. 컨덕터(111)는 단자(109)가 출력 드라이버들 및 ESD 보호 회로(110)에 연결되는 컨덕터이다.

[0027] ESD 보호 회로(110)는 제 1 공급 노드(112), 제 2 공급 노드(113), 제 3 공급 노드(114), 제 1 큰 N-채널 전계 효과 트랜지스터(NFET)(115), 제 2 큰 NFET(116) 및 ESD 검출 회로(117)를 포함한다. 제 1 및 제 2 NFET들은 종종 “큰 FET들”로서 지칭된다. ESD 검출 회로(117)는 RC 회로(118), 2개의 CMOS 인버터들(119, 120), 레벨-시프팅 인버터(121), 제 3 NFET(122), 제 4 NFET(123) 및 3개의 다이오드들(124-126)을 포함한다. RC 회로(118)는 커패시터로서 기능을 하기 위하여 접속된 P-채널 전계 효과 트랜지스터(127)(200/6 마이크론)를 포함한다. RC 회로(118)는 N-채널 전계 효과 트랜지스터(128)(30/0.6 마이크론) 및 P-채널 전계 효과 트랜지스터(129)(10/0.6 마이크론)를 포함하며, 이들 트랜지스터들은 병렬로 연결된다. 이들 트랜지스터들(128, 129)은 전류가 트랜지스터(127)의 커패시턴스를 충전시키기 위하여 흐르는 레지스턴스로서 기능을 한다. RC 회로(118)는 CMOS 인버터(135)와 함께 RC 트리거 회로로서 여기에서 지칭된다. CMOS 인버터는 10/0.2 마이크론 P-채널 풀업 FET 및 40/0.2 마이크론 N-채널 풀다운 FET를 포함한다.

[0028] 레벨-시프팅 인버터(121)는 2개의 P-채널 트랜지스터들(130, 131)(240/0.2 마이크론) 및 5 k 옴 풀다운 저항기(132)를 포함한다. 저항기(132)는 예컨대 폴리실리콘 저항기 또는 확산 저항기일 수 있다. 만일 트랜지스터들(130, 131)의 모두가 도통되도록 제어되면, 트랜지스터들(130, 131)은 제 1 공급 노드(112)상의 전압으로 출력 노드(133)상의 전압을 풀업-시킨다. 다른 한편으로, 만일 트랜지스터들(130 또는 131)중 어느 하나가 도통되지 않도록 제어되면, 저항기(132)를 통한 전류 흐름은 제 2 공급 노드(113)상의 전압으로 출력 노드(133)상의 전압을 풀-다운시킨다. 레벨-시프팅 인버터(121)의 풀-다운 컴포넌트는 N-채널 트랜지스터가

아니라, 저항기(132)이다. 만일 N-채널 트랜지스터가 사용되면, 트랜지스터가 스냅-백될 수 있고, 손상되며 및 /또는 NFET(116)의 게이트 드라이브를 감소시킬 가능성이 존재한다. 저항기(132)를 사용하여 레벨-시프팅 인버터내의 출력 노드(133)를 풀-다운시키면, 스냅-백의 가능성이 제거된다.

[0029] 도 3A는 NFET들(115 또는 116)중 하나의 NFET의 레이아웃 다이어그램이다. NFET들(115, 116)은 “느슨한 몸체 타이들(loose body tie)”로서 지칭되는 것을 가진 2000/L 마이크로 짧은-채널 박막 산화물 전계 효과 트랜지스터들이다. 레이아웃 영역을 최적화하기 위하여, NFET들(115, 116)은 서로 인접한 폴리실리콘 게이트들과 함께 그리고 2개의 NFET들(115, 116)을 둘러싸는 공통 기판 타이 링과 함께 설계된다. 기판 타이 링은 제 2 공급 노드(113)상의 접지 전위에 NFET들의 몸체를 연결시킨다. 각각의 접촉부는 상부 금속 타이 링과 P+ 확산부를 접촉시킨다. P+확산 타이 링은 트랜지스터 채널로부터 일정 거리에 있는 링내에 배치된다. NFET가 ESD 이벤트 동안 고전압 전도 모드로 진행할때, 고전압 펄스로 인한 임팩트 이온화 전류가 존재한다. 느슨한 몸체 타이들 및 타이 링 구조들은 몸체 소스 접합의 순방향 바이어싱을 야기하며, 이는 차례로 드레인, 몸체 및 소스 영역들과 연관된 기생 NPN 바이폴라 트랜지스터를 도통시킨다. 이는 고장없이 고전도를 가능하게 한다. 더 정확하게, 2개의 NFET들(115, 116)은 고장없이 높은 드레인 임팩트 이온화 영역에서 도통될 수 있다. 따라서, 도 2의 종래 기술의 경우에서 처럼 PFET들보다 영역 측면에서 더 효율적인 NFET들을 사용하는데 있어서 밸러스팅(ballasting)이 필요치 않다.

[0030] 집적 회로(104)에 전력이 공급되지 않고 집적 회로(104)가 방전되며 인체모델(HBM:Human Body Model) ESD 이벤트에 영향을 받는 상황을 고려하라. 집적 회로(104)에 전력이 공급되지 않고 또한 집적 회로(104)가 방전될때, 제 1, 제 2 및 제 3 공급 노드들(112-114)은 모두 동일한 전위에 있는 것으로 고려된다. ESD 보호 회로(110)내에 전류가 흐르지 않고, 회로의 모든 노드들이 접지 전위에 있는 것으로 고려된다. 저항기(127)의 커패시턴스는 방전되며, 커패시턴스에 전압이 존재하지 않는다.

[0031] HBM 테스트를 수행하고 시뮬레이션된 ESD 이벤트를 생성하기 위하여, 외부 100 피코패럿 HBM 커패시터(도시안됨)는 2000 볼트까지 충전되며 1.5 k 오옴 외부 저항기(도시안됨)를 통해 단자(107)로 방전된다. 만일 ESD 보호 회로(110)가 제공되지 않으면, 큰 전압 스파이크는 제 1 및 제 2 공급 노드들(112, 113)사이에서 가해지며 집적 회로(104)의 다른 회로소자에 대한 손상이 일어날 수 있다. 그러나, 도 3의 회로에서, 제 1 공급 노드(112)상의 전압은 제 2 공급 노드(113)상의 전위에 대하여 급속하게 상승한다. 큰 NFET들(115, 116)은 도통되지 않는다. 커패시터(127)가 방전되기 때문에, 트리거 노드(134)상의 트리거 전압 VTRIG는 제 1 공급 노드(112)상의 전압이다. 제 3 공급 노드(114)의 전압은 접지 전위를 유지한다. 제 1 및 제 3 공급 노드들(112, 114)사이의 전압이 상승할때, 인버터(119)의 공급 리드들(135, 136)상에 공급된 전압들은 상승한다. 인버터(119)는 논리 인버터로서 기능을 하기 시작한다. 인버터(119)의 입력 리드상의 전압이 디지털 하이(high)(대략 방전되는 커패시터(127)로 인한, 제 1공급 노드(112)상의 전압)이기 때문에, 인버터(119)는 디지털 논리 로우(low)를 출력하며, 제 3공급 노드(114)상의 전위로 낮게 노드(137)상의 타이밍 신호 전압 VINV1을 풀-다운하기 시작한다. 인버터(120)는 노드(137)상의 낮은 타이밍 신호 전압 VINV1을 수신하며, NFET(115)의 게이트(138)상에 높은 신호 VG1을 출력한다. 인버터(120)는 인버터(120)내의 P-채널 풀업 트랜지스터가 제 1 공급 노드(112)에 인버터의 출력 리드를 연결할때 높은 신호 VG1을 출력한다. 신호 VG1의 전압의 결과로서, NFET(138)의 게이트-대-소스 전압은 자신의 임계 전압을 초과하며, NFET(115)는 도통되도록 만들어진다.

[0032] ESD 이벤트의 이러한 초기 기간 동안, 제 3 공급 노드(114)상의 전압은 접지 전위 및 제 2 공급 노드(113)와 동일한 전위에 있다. 따라서, 트랜지스터(131)는 도통된다. 타이밍 신호 전압 VINV1은 전술한 바와같이 높으며(대략 제 1 공급 노드(112)상의 전압이며), 따라서 트랜지스터(130)는 도통된다. 트랜지스터들(130, 131)이 도통되기 때문에, 레벨-시프팅 인버터(121)의 출력 노드(133)는 제 1 공급 노드(112)에 연결된다. 제 2 NFET(116)의 게이트(139)는 노드(112)상의 높은 전압으로 구동되며, 제 2 NFET는 도통된다. 제 1 및 제 2 NFET들(115, 116) 모두가 도통되면, 전도 경로는 제 1 공급 노드(112)로부터 제 1 NFET(115) 및 제 2 NFET(116)을 통해 제 2 공급 노드(113)로 형성된다. ESD 전류(140)가 흐르며, 따라서 집적 회로(104)상의 다른 회로소자가 손상되도록 너무 높지 않은 전압으로 2개의 노드들(112, 113)사이의 전압을 클램핑(clamping)한다. 기술된 예에서, 노드들(112, 113)사이의 전압은 2.1볼트를 초과하지 않는다. 도 2의 종래의 클램프와 대조적으로, 제 1 NFET(115)의 게이트는 인버터(120)내의 P-채널 풀업 트랜지스터(200/0.2 마이크로)를 통해 제 1 전도 경로에 의하여 제 1 공급 노드(112)에 연결되며, 제 2 NFET(116)의 게이트는 P-채널 트랜지스터들(131, 130)을 통해 제 2 및 전체적으로 개별 전도 경로에 의하여 제 1 공급 노드(112)에 연결된다.

[0033] ESD 이벤트의 이러한 부분동안, 트랜지스터(127)의 커패시턴스는 병렬-접속 트랜지스터들(128, 129)의 레지스턴스를 통해 충전된다. 따라서, 트리거 노드(134)상의 전압은 제 1 공급 노드(112)상의 전압에 대하여

감소한다. 트리거 노드(134)상의 전압 VTRIG가 인버터(119)의 스위칭 전압에 도달할때, 인버터(119)는 스위칭 된다. RC 회로는 “타임아웃” 되었다고 말하여 진다. 타이밍 신호 전압 VINV1은 하이(high)로 진행한다(노드(137)는 인버터(119)에 의하여 제 1 공급 노드(112)에 연결된다). 트랜지스터(123)는 인버터(119)의 스위칭 특성에 히스테리시스(hysteresis)량을 추가하기 위하여 제공된다. 타이밍 신호 전압 VINV1이 하이(high)로 진행하기 때문에, 인버터(120)는 또한 스위칭되며, 전압 VG1은 로우(low)로 진행한다(게이트(138)상의 전압은 인버터(120)내의 N-채널 풀다운 트랜지스터를 통해 제 3 공급 노드(114)상의 전압에 연결된다). 제 3 공급 노드(114)상의 전압이 이 시간에 접지 전위에 있기 때문에, 제 1 NFET(115)는 도통되지 않는다. 노드(137)상의 디지털 하이(high) 전압은 P-채널 트랜지스터(130)가 도통되지 않도록 한다. 결과로서, 노드(133)는 더 이상 트랜지스터들(130, 131)을 통해 제 1 공급 노드(112)에 접속되지 않는다. 노드(133)는 저항기(132)에 의하여 제 2 공급 노드(113)상의 전압으로 풀-다운된다. 제 2 NFET(116)의 게이트(139)상의 이러한 로우(low) 전압은 제 2 NFET(116)가 도통되지 않도록 한다. 제 1 및 제 2 NFET들(115, 116)이 도통되지 않기 때문에, 제 1 공급 노드(112) 및 제 2 공급 노드(113)사이의 전도 전류 경로는 더이상 존재하지 않는다.

[0034] ESD 하이(high) 전압 펄스는 매우 짧은 기간을 가지며, 전형적으로 1 마이크로초보다 더 짧다. 사실상, HBM 방전의 RC 시상수는 150 나노초이다. 따라서, ESD 보호 회로는 ESD 전압이 제 1 공급 노드(112)상에 존재할 수 있는 짧은 시간동안 단지 전도 전류 경로를 생성할 필요가 있다. RC 회로(118)의 RC 시상수는 충분히 커서, 전도 ESD 전류 경로는 짧은 ESD 펄스의 기간보다 긴 기간동안 유지된다. 도 3에 기술된 특정 예에서, RC 회로의 이러한 타임아웃 주기는 대략 2 마이크로초이다.

[0035] 일단 ESD 전류 경로가 더이상 존재하지 않으면, 제 1 및 제 3 공급 노드들(112, 114)상의 전압들은 집적 회로(104)의 동작을 위한 적절한 전압들이 단자들(107-109)에 제공되도록 정상 및 보통 파워-업 시퀀스에서 상승될 수 있다. 일례에서, 적절한 파워-업 시퀀스는 10 밀리초 이상의 기간에 0볼트로부터 1.8볼트로 단자(109)상의 공급 전압 V2를 상승시키는 단계 및 일단 공급 전압 V2가 1.8볼트에 도달되면 다음 10 밀리초 기간에 0볼트로부터 3.0 볼트로 단자(107)상의 공급 전압 VDD를 상승시키는 단계를 포함한다. ESD 보호 회로(110)를 통해 무시할 수 있는 전류가 누설된다.

[0036] 만일 전술한 ESD 이벤트의 급속한 전압 상승 상태보다 오히려 제 1 및 제 3 공급 노드들(112, 114)상의 전압들이 정상 파워-업 시퀀스에서 더 느리게 상승되면, ESD 보호 회로(110)는 노드들(112, 113)사이의 도전 경로를 형성하지 않는다. 제 1 및 제 2 NFET들(115, 116)은 제 1 및 제 2 공급 노드들사이의 전압이 20 마이크로초 이상에 0볼트로부터 3.0볼트로 상승하면 비도통 상태를 유지한다.

[0037] 정상 파워-업 시퀀스에서 ESD 보호 회로(110)의 동작은 다음과 같다. 제 1 및 제 2 공급 노드들(112, 113)사이의 전압이 느리게 상승할때, 트랜지스터(127)의 커패시턴스는 매우 빠르게 충전되어, 트리거 노드(134)상의 전압은 인버터(119)가 그것의 입력 리드상에서 디지털 논리 로우(low)를 연속적으로 수신하는 제 3 공급 노드(114)상의 전압에 매우 근접하게 유지된다. 따라서, 인버터(119)는 디지털 논리 하이(high)를 연속적으로 출력한다(즉, 노드(137)를 제 1 공급 노드(112)에 연속적으로 연결한다). 따라서, 인버터(120)는 제 1 NFET(115)의 게이트(138)를 제 3 공급 노드(114)에 연속적으로 연결하며, 제 1 NFET(115)는 결코 도통되지 않는다. 게다가, 노드(137)상의 전압이 디지털 논리 하이(high)로 유지되면, P-채널 트랜지스터(130)는 비도통 상태를 유지한다. 따라서, 노드(133)상의 전압은 저항기(132)에 의하여 풀-다운되며, 제 2 공급 노드(113)의 낮은 전위에 있다. 제 2 NFET(116)의 게이트(139)상의 낮은 전위는 제 2 NFET(116)를 비도통 상태로 유지한다. 따라서, 제 1 공급 노드(112)상의 전압이 비교적 느리게 상승하는 정상 파워-업 시퀀스동안, 제 1 및 제 2 NFET들(115, 116)은 결코 도통되지 않으며, ESD 보호 회로(110)는 자신의 클램핑 기능을 수행하지 않는다.

[0038] 트랜지스터(122)(200/0.2 마이크로)는 ESD 이벤트 동안 접지 전위에서 제 3 공급 노드(114)상의 전압을 낮게 유지하기 위하여 제공된다. 제 3 공급 노드(114)상에 자명하지 않은 커패시턴스량이 존재할 수 있다. 이는 예컨대 노드(114)가 집적 회로(104)상의 다른 회로소자(예컨대, 출력 드라이버들)에 그리고 외부 전력 공급(103)에 연결되는 사실 때문에 발생할 수 있다. 만일 노드(114) 및 노드(112)사이의 상당한 커패시턴스가 존재하고 ESD 이벤트의 급속한 전압 상승이 노드(112)상에서 발생되면, 노드들(112, 114)사이의 용량성 커플링은 노드(114)상의 전압이 상승하도록 할 수 있다. 이는 노드(114)상의 전압이 P-채널 트랜지스터(131)를 도통상태로 유지하기 위하여 충분히 낮게 유지되기 때문에 바람직하지 않다. 만일 P-채널 트랜지스터의 전도성(conductivity)이 감소되면, 제 2 NFET(116)의 게이트(139) 및 노드(133)상의 전압은 제 2 NFET(116)가 ESD 전류 경로를 억제하기 시작하는 지점까지 감소할 수 있다. 그러나, 제 2 NFET(116)는 ESD 이벤트 동안 가능한 도통되게 되어 ESD 전류를 흐르게 할 수 있다. 따라서, N-채널 트랜지스터(122)가 제공된다. 노드(133)상의 전압이 충분히 높을때, N-채널 트랜지스터(122)는 도통되어 제 2 공급 노드(113)상의 접지 전위에 제 3 공급 노드

(114)를 연결시킨다. 이는 제 3 공급 노드(114)상의 커패시턴스가 제 2 공급 노드(113)상의 전압까지 방전되도록 한다. 따라서, 제 1 공급 노드(112)상의 전압의 급속한 상승은 제 3 공급 노드(114)상의 전압을 상승시킨다. 유리한 일 양상에서, 집적 회로(104)상의 제 3 공급 노드(114)와 이와 연관된 컨덕터(111)는 NFET(116)의 게이트(139)에 직접 접속되지 않는다. NFET(116)의 게이트로부터 제 3 공급 노드(114)를 디커플링함으로써, NFET(116)의 스위칭은 집적 회로(104)상의 많은 장소들(예컨대, 출력 드라이버들 및 단자(109))까지 확장하는 컨덕터(111)의 잠재적으로 큰 커패시턴스들에 의하여 느리게 되지 않는다.

[0039] 도 4는 앞서 기술된 HBM ESD 이벤트 동안 ESD 보호 회로(110)내의 노달(nodal) 전압들의 파형들을 도시하는 파형 다이어그램이다. 전압 VDD가 대략 2.1 볼트보다 낮게 클램핑된다는 것에 유의해야 한다.

[0040] 도 5는 도 4의 동작 예에서 단자(107)로부터 ESD 보호 회로(110)내로 흐르는 전류 IDD의 파형 다이어그램이다.

[0041] 도 6은 정상 파워-업 시퀀스를 도시한 파형 다이어그램이다. 정상 파워-업 시퀀스에서, 공급 전압 V2는 먼저 0으로부터 1.8볼트로 램프-업되며, 그 다음에 공급 전압 VDD는 0으로부터 3.0볼트로 램프-업된다. 램프-업 주기는 1밀리초만큼 짧을 수 있거나 또는 1초 이상의 기간일 수 있다. 기술된 예에서, 파워-업 시퀀스는 20 밀리초이다.

[0042] 도 6은 또한 트랜지스터(129)가 제공되지 않은 실시예에서 ESD 보호 회로(110)내로 흐르는 전류 IDD의 파형을 포함한다. IDD 파형에는 큰 스파이크(200)가 존재한다는 것에 유의해야 한다. 이러한 큰 전류 스파이크는 공급 전압 V2 및 VDD가 1초 이상 긴 시간에 램프-업되면 존재하지 않는다. 큰 전류 스파이크(200)는 큰 NFET들(115, 116)이 순간적으로 온(on)되기 때문에 발생한다. 일단 공급 전압 V2가 1.8볼트에 도달하면, 공급 전압 VDD는 기술된 바와 같이 0볼트로부터 램프-업된다. 트랜지스터(127)의 용량성 커플링으로 인하여, 트리거 노드(134)상의 전압 VTRIG는 공급 전압 VDD와 함께 증가하며, 이에 따라 트리거 노드(134) 및 제 1 공급 노드(112) 사이보다 트리거 노드(134) 및 제 3 공급 노드(114) 사이에서 큰 전압을 유발한다. 결과로서, 인버터(119)는 스위칭되어 디지털 로우(low) 값을 출력하며, 인버터(120)는 스위칭되어 디지털 하이(high) 값을 출력하며, NFET(115)는 턴-온된다. VINV1 노드(137)가 디지털 로우(low) 값에 있을 때(노드(137)가 인버터(119)에 의하여 제 3 공급 노드(114)에 연결될 때), P-채널 트랜지스터(130)는 도통된다. P-채널 트랜지스터(131)는 1.8볼트까지 증가된 공급 전압 V2로 인하여 이전에 도통되었다. P-채널 트랜지스터들(130, 131) 모두가 도통되면서, 노드(133)상의 전압은 상승되며, NFET(116)는 턴-온된다. NFET들(115, 116) 둘다가 동시에 온(on)되면서, 큰 전류(200)는 제 1 공급 노드(112)로부터 제 2 공급 노드(113)로 흐른다. 도 6에 의하여 지시된 바와같이, 전류 스파이크(200)는 1 암페어 이상의 진폭을 가질 수 있다. 일단 공급 전압 VDD가 3.0 전압 레벨에 도달하면, 제 1 공급 노드(112)상의 전압은 상승하는 것을 멈춘다. 그 다음에, 트랜지스터(128)는 제 1 공급 노드(112)상의 전압으로부터 노드(134)상의 전압을 풀-다운할 수 있다. 이는 인버터들(135, 120)이 스위칭되도록 하며, NFET들(115, 116)을 턴-오프시킨다. 따라서, 전류 스파이크는 단지 짧은 기간에 일어난다.

[0043] 전류 스파이크를 감소 또는 제거하기 위하여, P-채널 트랜지스터(129)가 제공된다. ESD 이벤트에서, P-채널 트랜지스터(129)는 바이어스-오프(bias-off)되며, 회로 동작에 영향을 미치지 않는다. P-채널 트랜지스터(129)는, 전술한 바와같이, 노드(133) 및 NFET(116)의 게이트가 제 1 공급 노드(112)에 연결되기 때문에 바이어스-오프된다. 노드(133)상의 고전압은 트랜지스터(129)가 턴-온되는 것을 막는다. 그러나, 도 6의 정상 파워-업 시퀀스에서, 공급 전압 V2는 제 1 공급 노드(112)상의 전압이 상승을 시작하기 전에 1.8 볼트에 있다. 전압 V2는 P-채널 트랜지스터(131)의 게이트에 걸리며, 따라서 트랜지스터(131)는 오프(off)된다. 따라서, 노드(133)상의 전압은 저항기(132)를 통해 제 2 공급 노드(113)의 전위로 풀-다운된다. P-채널 트랜지스터(129)의 게이트-대-소스 전압은 P-채널 트랜지스터(129)의 임계 전압 이상이다. 따라서, P-채널 트랜지스터(129)는 정상 파워-업 시퀀스에서 턴-온된다. P-채널 트랜지스터(129)는 트랜지스터(127)의 커패시턴스가 공급 전압 VDD가 상승하는 시간 전반에 걸쳐 완전하게 충전되도록(노드들(112, 114)사이의 전압차로 충전되도록) 트리거 노드(134) 및 제 3 공급 노드(114)사이의 레지스턴스를 감소시킨다. 따라서, VTRIG는 제 1 공급 노드(112)상의 전압 상승과 함께 상승하지 않으며, 인버터(119)는 항상 디지털 논리 하이(high)를 출력한다. 따라서, NFET들(115, 116)은 도통되지 않으며, NFET들(115, 116)을 통해 큰 전류 스파이크가 발생하지 않는다.

[0044] 도 7은 트랜지스터(129)가 제공될 때 그리고 공급 전압들이 도 7의 정상 파워-업 시퀀스에서 공급될 때 ESD 보호 회로(110)내로 흐르는 전류 IDD의 파형을 도시한 파형 다이어그램이다. 전류 IDD에서 스파이크(201)의 피크 진폭은 11 마이크로암페어 이하로 감소된다. 이러한 IDD 전류는 주로 트랜지스터(127)를 충전시키는 충전 전류 때문이다.

[0045] 도 8은 신규한 일 양상에 따른 방법(300)의 단순화된 흐름도이다. 제 1 단계(단계(301))에서, ESD 이벤트 동안, 제 1 및 제 2 NFET들(115, 116)의 게이트들은 제 1 공급 노드(112)에 연결된다. 도 3의 회로에서, 제 1 NFET(115)의 게이트(138)는 인버터(120)의 P-채널 풀업 트랜지스터에 의하여 제 1 공급 노드(112)에 연결된다. 제 2 NFET(116)의 게이트(139)는 전도성 P-채널 트랜지스터들(130, 131)에 의하여 제 1 공급 노드(112)에 연결된다. 그 다음에, RC 트리거 회로는 타임아웃되며, 이에 따라 ESD 이벤트(단계(302))후에, ESD 검출 회로(117)는 제 1 및 제 2 NFET들(115, 116)이 도통되지 않도록 제어한다.

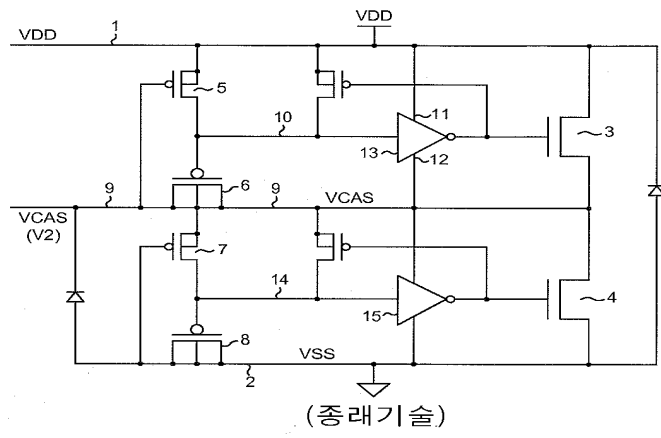
[0046] 비록 임의의 특정 실시예들이 설명을 위하여 앞서 제시되었을지라도, 본 발명은 일반적인 응용성을 가지며 전술한 특정 실시예들에 제한되지 않는다. 비록 도 3에 도시되지 않을지라도, 단자들(107-109)과 연관된 공급 노드들(112-114)사이에서 저항기 구조들이 존재할 수 있다. 비록 집적 회로(104)가 시스템에 접속된 것으로 기술되었을지라도, ESD 보호 회로(110)는 또한 집적 회로(104)가 다른 회로 또는 제품에 통합되기전에 핸들링되는 느슨한 패키지형 집적 회로인 상황에서 집적 회로(104)를 보호하는 기능을 한다. 비록 공급전압 V2가 외부 공급부로부터 집적 회로(104)에 공급되는 시스템과 관련하여 ESD 보호 회로(110)가 기술되었을지라도, 다른 실시예들에서는 공급 전압 V2가 집적 회로(104)상에서 발생된다. 제 2 공급 전압 V2는 당업계의 표준 용어가 아니나, 캐스코드 전압에 대하여 Vcas로서 지칭될 수 있거나, 또는 중급(intermediate) 전압에 대하여 Vint로서 지칭될 수 있거나, 또는 중간 전압에 대하여 Vmid로서 지칭될 수 있다. 앞서 제시된 값들 및 파형들은 예시적이다. 더 정확한 수들 및 파형들과 추가 동작 세부사항들에 대한 정보에 대하여, ESD 보호 회로가 제조 및 테스트될 수 있다. 대안적으로 그리고 부가적으로, ESD 보호 회로는 SPICE와 같은 회로 시뮬레이터상에서 시뮬레이트될 수 있으며, 노달 전압 및 전류는 작도되고 분석될 수 있다. 따라서, 기술된 특정 실시예들에 대한 다양한 수정들, 적응들 및 조합들은 이하에서 제시된 청구범위로부터 벗어나지 않고 실시될 수 있다.

도면의 간단한 설명

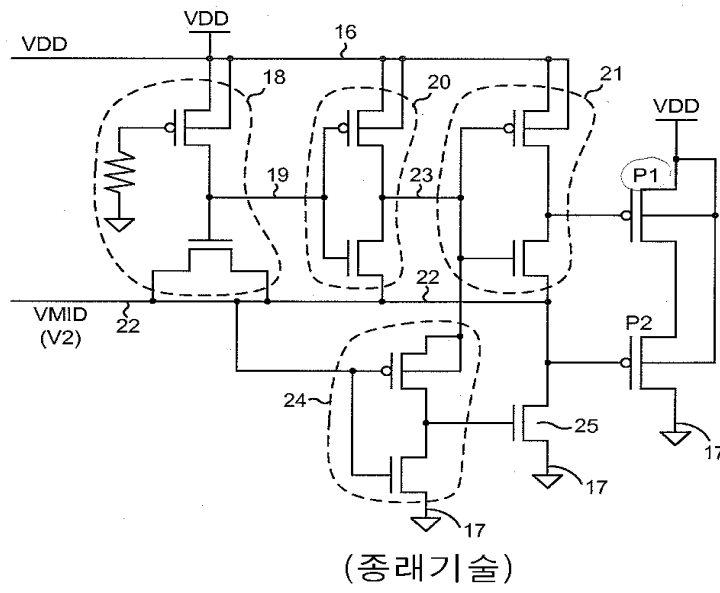
- [0016] 도 1(종래기술)은 제 1타입의 종래의 ESD 보호 회로의 회로 다이어그램이다.
- [0017] 도 2(종래기술)는 제 2타입의 종래의 ESD 보호 회로의 회로 다이어그램이다.
- [0018] 도 3은 신규한 일 양상에 따른 시스템(100)의 다이어그램이며, 시스템(100)은 신규한 ESD 보호 회로(110)를 포함한다.
- [0019] 도 3A는 NFET들(115, 116)중 하나의 NFET의 하향식(top-down) 레이아웃 다이어그램이다.
- [0020] 도 4는 도 3의 ESD 보호 회로(110)내의 노드 전압들의 파형 다이어그램이다.
- [0021] 도 5는 도 3의 ESD 보호 회로(110)내로 흐르는 전류 IDD의 파형 다이어그램이다.
- [0022] 도 6은 ESD 보호 회로의 P-채널 트랜지스터(129)가 제공되지 않은 상황에서 정상 파워-업 상태하에서 전류 IDD의 스파이크를 도시한 다이어그램이다.
- [0023] 도 7은 ESD 보호 회로의 P-채널 트랜지스터(129)가 제공된 상황에서 정상 파워-업 상태하에서 전류 IDD의 스파이크의 감소된 진폭을 도시한 다이어그램이다.
- [0024] 도 8은 신규한 일 양상에 따른 방법(300)의 단순화된 흐름도이다.

도면

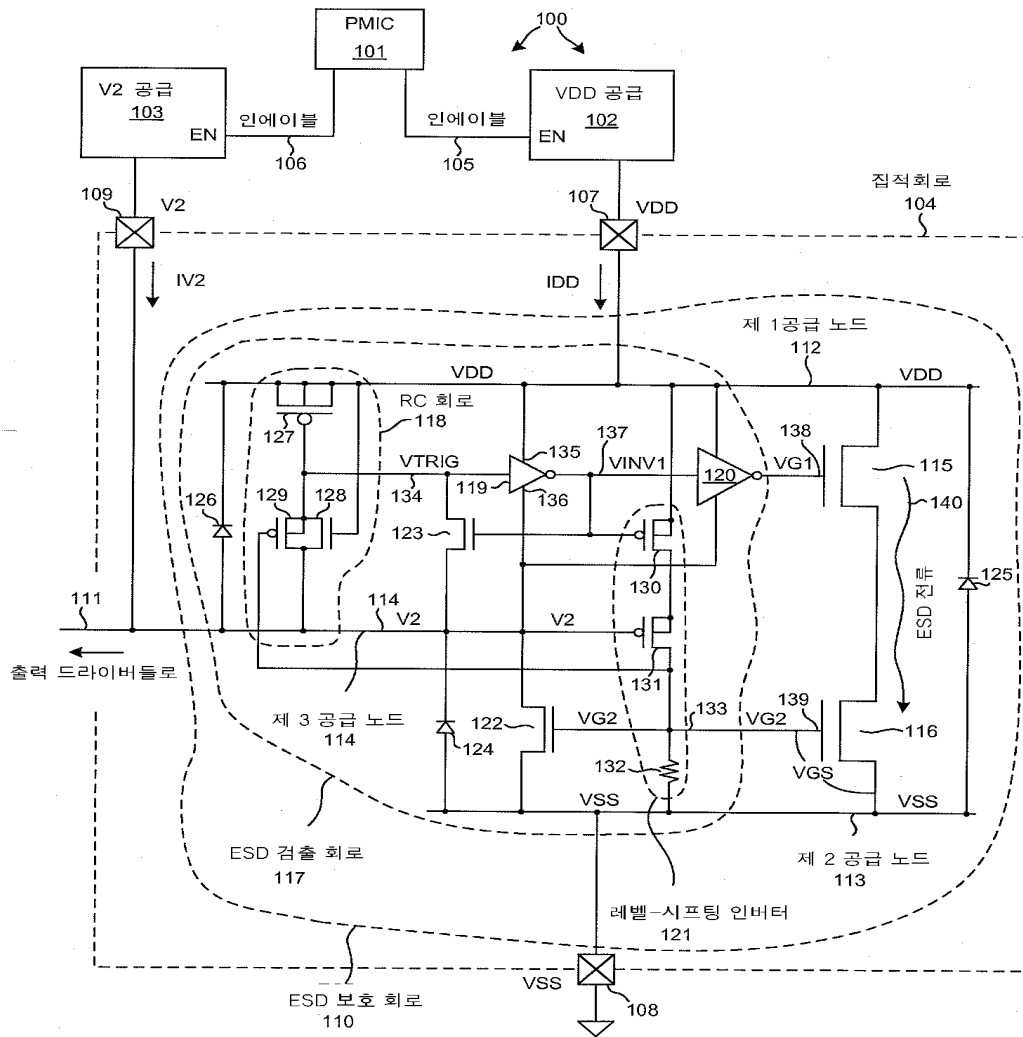
도면1



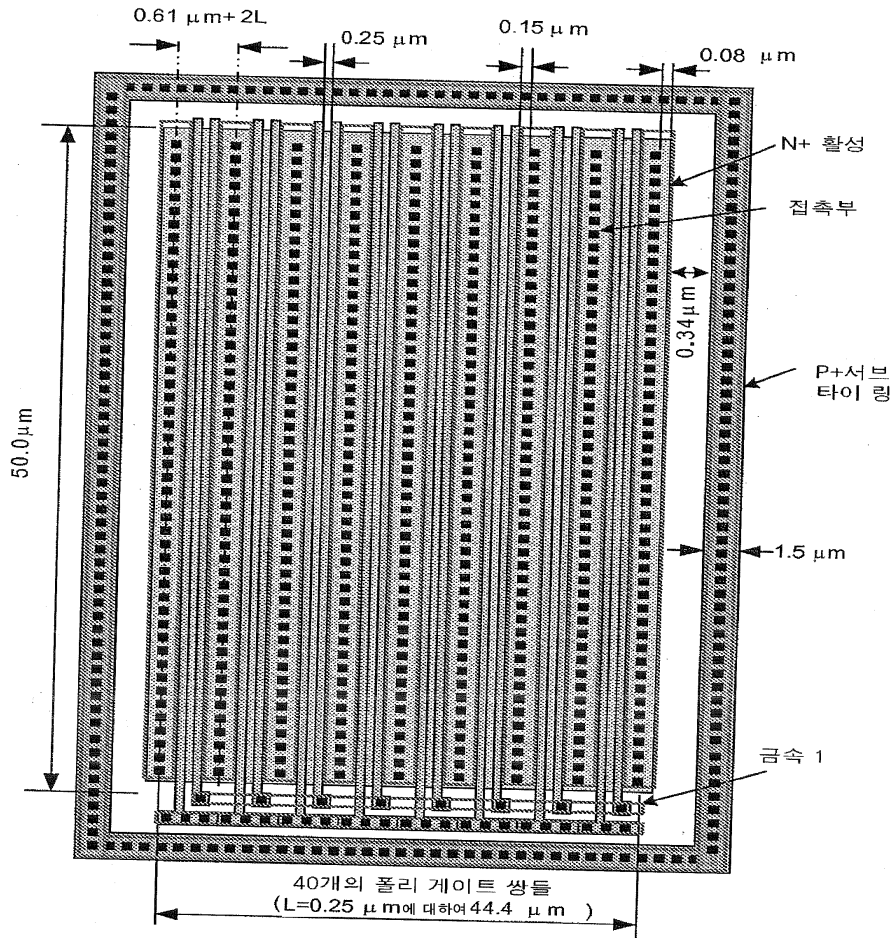
도면2



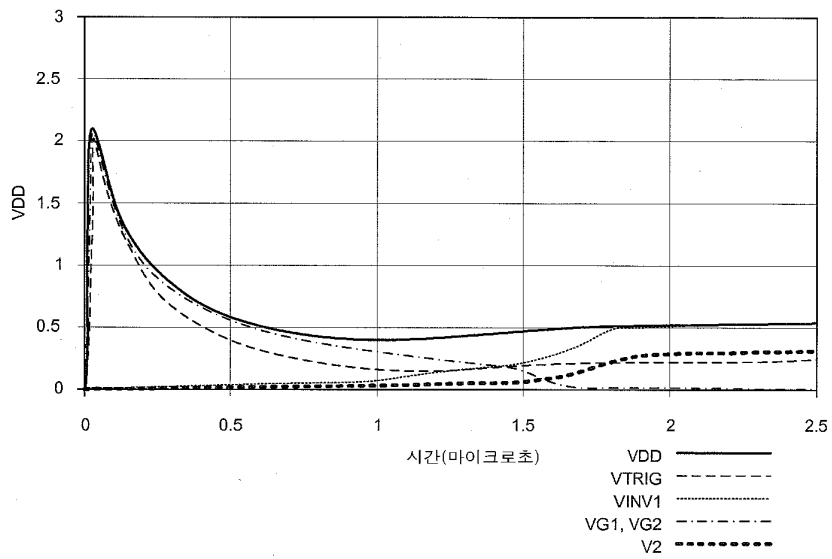
도면3



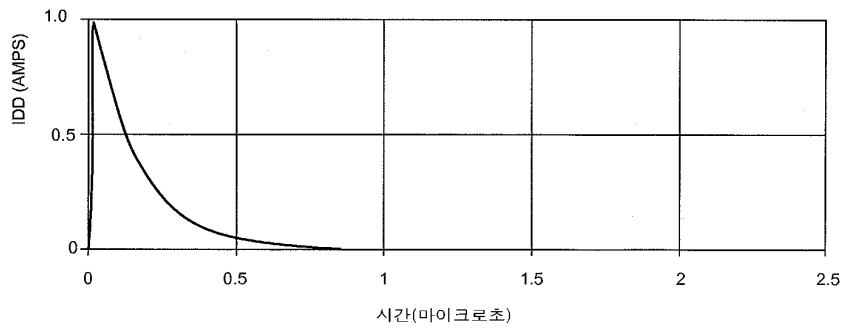
도면3A



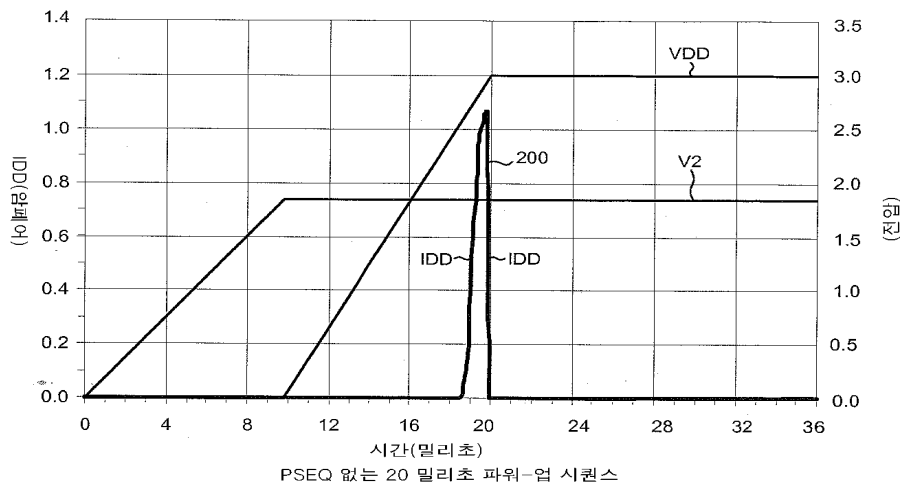
도면4



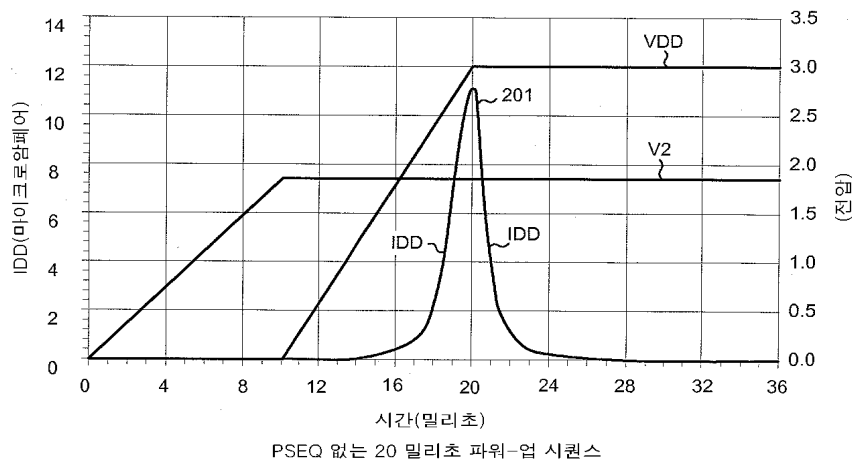
도면5



도면6



도면7



도면8

