

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3740868号
(P3740868)

(45) 発行日 平成18年2月1日(2006.2.1)

(24) 登録日 平成17年11月18日(2005.11.18)

(51) Int. Cl.

F I

GO2F 1/1368 (2006.01)
 GO2F 1/1333 (2006.01)
 GO2F 1/1335 (2006.01)
 HO1L 29/786 (2006.01)
 HO1L 21/336 (2006.01)

GO2F 1/1368
 GO2F 1/1333 5O5
 GO2F 1/1335 52O
 HO1L 29/78 612Z

請求項の数 6 (全 16 頁)

(21) 出願番号	特願平10-319031	(73) 特許権者	000002369
(22) 出願日	平成10年11月10日(1998.11.10)		セイコーエプソン株式会社
(65) 公開番号	特開2000-147552(P2000-147552A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成12年5月26日(2000.5.26)	(74) 代理人	100095728
審査請求日	平成15年3月14日(2003.3.14)		弁理士 上柳 雅誉
前置審査		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	片山 茂憲
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	白石 光男
			最終頁に続く

(54) 【発明の名称】 電気光学装置用基板及びその製造方法、電気光学装置並びにそれを用いた電子機器

(57) 【特許請求の範囲】

【請求項1】

基板上に凹凸を有する反射電極がマトリックス状に配置され、前記各反射電極に対応して駆動回路を構成するトランジスタが設けられてなる電気光学装置用基板において、

前記反射電極の下方に位置する絶縁膜表面に不規則な配置の凹部が形成され、前記凹部内にSOG膜が形成されると共に、当該凹部内のSOG膜表面になだらかな曲線形状が形成されてなり、

前記なだらかな曲線形状を有するSOG膜上及び前記絶縁膜上に前記反射電極が形成されてなる

ことを特徴とする電気光学装置用基板。

10

【請求項2】

基板上に凹凸を有する反射電極がマトリックス状に配置され、前記各反射電極に対応して駆動回路を構成するトランジスタが設けられてなる電気光学装置用基板の製造方法において、

前記反射電極の下方に位置する絶縁膜に、当該反射電極と前記トランジスタとの電気的な接続部を形成するためのコンタクトホールが形成され、当該絶縁膜における前記接続部以外であって前記反射電極の下方の領域に不規則な配置の凹部が形成され、

前記コンタクトホールと前記凹部が、異なるマスクを使用して形成され、

前記凹部内にSOG膜を形成し、

前記凹部内の前記SOG膜表面になだらかな曲線形状が形成されるように前記SOG膜

20

をエッチングし、

前記ＳＯＧ膜上及び前記絶縁膜上に前記反射電極を形成することを特徴とする電気光学装置用基板の製造方法。

【請求項３】

基板上に凹凸を有する反射電極がマトリックス状に配置され、前記各反射電極に対応して駆動回路を構成するトランジスタが設けられてなる電気光学装置用基板の製造方法において、

前記反射電極の下方に位置する絶縁膜に不規則な配置の凹部を形成し、

前記凹部の形成された前記絶縁膜上にＳＯＧ膜を形成し、

前記凹部内の前記ＳＯＧ膜表面になだらかな曲線形状が形成されるように前記ＳＯＧ膜をエッチングし、

前記ＳＯＧ膜上及び前記絶縁膜上に前記反射電極を形成する

ことを特徴とする電気光学装置用基板の製造方法。

【請求項４】

前記なだらかな曲線形状は、選択性のない条件で前記ＳＯＧ膜及び前記絶縁膜のエッチングを行うことにより形成されることを特徴とする請求項３記載の電気光学装置の製造方法。

【請求項５】

請求項１に記載の電気光学装置用基板と、透明基板とが間隙を有して配置されるとともに、前記電気光学装置用基板と前記透明基板との間隙内に液晶が挟持されて構成されることを特徴とする電気光学装置。

【請求項６】

請求項５に記載の電気光学装置を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、反射電極を有する電気光学装置用基板及びその製造方法、その基板を用いて構成される電気光学装置に関し、さらにはその電気光学装置を用いた電子機器に関する。

【０００２】

【従来の技術】

近年、携帯電話や携帯情報端末といった携帯機器等の情報表示デバイスとして電気光学装置の一例である液晶パネルが用いられている。また、近年、表示する情報の内容は、キャラクタ表示程度だったものから、一度に多くの情報を表示するためにドットマトリクス型の液晶パネルが用いられ、画素数も次第に多くなり高デューティとなってきた。

【０００３】

従来、上記のような携帯機器には表示デバイスとして単純マトリクス型液晶パネルが用いられていた。しかし、単純マトリクス型液晶パネルではマルチプレックス駆動を行う際に、行走査線の選択信号として、高デューティになるほど高い電圧が必要となる。従って、少しでも消費電力を減らしたいという要求の強いバッテリー駆動を行う携帯機器においては大きな問題となっていた。

【０００４】

この問題を解決するために、液晶パネルの基板を半導体基板とし、半導体基板にメモリ回路を画素毎に形成し、メモリ回路の保持データに基づいて表示制御を行うスタティック駆動型の反射型液晶パネルが提案されている。

【０００５】

こうした外部から入射した光を反射させて表示を行う反射型液晶パネルは、光源であるバックライトが不要であるため消費電力が低く、薄型であり軽量化が可能となることで注目されている。

【０００６】

【発明が解決しようとする課題】

10

20

30

40

50

ところで、液晶パネルまたそれを用いた電子機器は、コントラストが高い、応答速度が比較的速い、駆動電圧が低い、階調表示が容易であるなど、ディスプレイとして基本的に必要とされる諸特性をバランス良く具備しているが、一方では、原理的に視野角が狭い、明るい表示に適さないなどの難点を有している。

【0007】

ここで、視野角が広い、明るい表示を得るためには、あらゆる角度からの入射光に対し、表示画面に垂直な方向へ散乱する光の強度を増加させる必要がある。そのためには、最適な反射特性を有する反射電極を作成することが必要となる。

【0008】

この発明の目的は、反射型液晶パネルにおいて、上述の問題を解決し、最適な反射特性を有する反射電極を容易に、かつ再現性良く作成することができ、表示品位が向上する反射型液晶パネルを提供することにある。

10

【0009】

【課題を解決するための手段】

本発明に係る電気光学装置用基板は、上記の目的を達成するため、基板上に凹凸を有する反射電極がマトリックス状に配置され、前記各反射電極に対応して駆動回路を構成するトランジスタが設けられてなる電気光学装置用基板において、前記反射電極の下方に位置する絶縁膜表面に不規則な配置の凹部が形成され、前記凹部内にSOG膜が形成されると共に、当該凹部内のSOG膜表面になだらかな曲線形状が形成されてなり、前記なだらかな曲線形状を有するSOG膜上及び前記絶縁膜上に前記反射電極が形成されてなることを

20

特徴とする。

また、基板上に凹凸を有する反射電極がマトリックス状に配置され、前記各反射電極に対応して駆動回路を構成するトランジスタが設けられてなる電気光学装置用基板の製造方法において、前記反射電極の下方に位置する絶縁膜に、当該反射電極と前記トランジスタとの電気的な接続部を形成するためのコンタクトホールが形成され、当該絶縁膜における前記接続部以外であって前記反射電極の下方の領域に不規則な配置の凹部が形成され、前記コンタクトホールと前記凹部が、異なるマスクを使用して形成され、前記凹部内にSOG膜を形成し、前記凹部内の前記SOG膜表面になだらかな曲線形状が形成されるように前記SOG膜をエッチングし、前記SOG膜上及び前記絶縁膜上に前記反射電極を形成することを特徴とする。

30

また、基板上に凹凸を有する反射電極がマトリックス状に配置され、前記各反射電極に対応して駆動回路を構成するトランジスタが設けられてなる電気光学装置用基板の製造方法において、前記反射電極の下方に位置する絶縁膜に不規則な配置の凹部を形成し、前記凹部の形成された前記絶縁膜上にSOG膜を形成し、前記凹部内の前記SOG膜表面になだらかな曲線形状が形成されるように前記SOG膜をエッチングし、前記SOG膜上及び前記絶縁膜上に前記反射電極を形成することを特徴とする。

さらに、前記なだらかな曲線形状は、選択性のない条件で前記SOG膜及び前記絶縁膜のエッチングを行うことにより形成されることを特徴とする。

さらに詳細には次の通りである。

【0010】

まず、本発明は、基板上に複数の列走査線およびこの列走査線と直交する複数の行走査線が配置され、前記複数の列走査線と行走査線の交点毎に画素電極となる反射電極が配置され、各反射電極にはスイッチング制御回路および液晶画素駆動回路を具備した電気光学装置用基板において、前記反射電極の下方に形成された絶縁膜には、液晶画素駆動回路と反射電極との接続部が形成され、該絶縁膜における該接続部以外の領域には不規則な配置の凹部が形成されてなることを特徴とする電気光学装置用基板を提供するものである。

40

【0011】

かかる電気光学装置用基板によれば、前記凹部の形成された絶縁膜に反射電極が形成されているため、前記絶縁膜の凹凸に沿って反射電極も凹凸を有するようになる。従って、こ

50

の凹凸により光を拡散することができ、プロセスを増加させることなく、最適な反射特性を有する反射電極を容易に、かつ再現性良く作成することができ、表示品位が向上することができる。

【0012】

この電気光学装置用基板において、液晶画素駆動回路と反射電極との接続部と、この接続部以外の領域に形成された不規則な配置の凹部は、異なるマスクを使用して形成してもよい。

【0013】

また、基板は半導体基板からなるもの、例えば単結晶シリコンにより構成することが出来る。

10

【0014】

また、基板は透明基板からなるもの、例えばガラスにより構成する事もできる。

【0015】

前記絶縁膜にはSOG膜を塗布してもよい。また、このSOG膜はエッチバックしてもよい。このようにすることで、良好な反射特性を有する反射電極が形成される。

【0016】

また、この発明は、以上説明した各電気光学装置用基板のいずれかと、入射側の透明基板とが間隙を有して配置されるときともに、前記液晶パネル用基板と前記透明基板との間隙内に液晶が挟持されて構成される電気光学装置を提供するものである。

【0017】

20

さらに、この発明は、上記電気光学装置を用いた電子機器を提供するものである。

【0018】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。尚、本実施形態では、電気光学装置の一例として液晶パネルを用いて説明する。

【0019】

A. 液晶パネルの全体構成と本発明の反射電極側基板の構成

図1は、本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第1の実施形態の断面図を示す。

【0020】

30

本発明における反射電極側基板は、図1に示されるように、基板1上に各種の層を形成してなるものである。本実施形態では、この基板1として、半導体基板を用いている。なお、この基板1の材料は本実施形態に限定されるものではなく、例えばガラス基板のような透明基板を用いてもよい。

【0021】

ここで、反射電極側基板の具体的な構成の理解を容易にするため、その説明に先立って、まず、本発明が適用される反射型液晶パネルの全体構成についてその概要を説明する。

【0022】

図9および図10に示されるように、この反射型液晶パネルにおいては、反射電極側の基板1(32)の中央部に画素領域20が設けられ、この画素領域20に行走査線と列走査線がマトリックス状に配置されている。そして、行走査線と列走査線との各交点に対応して各画素が配置され、各画素には、後述するように、反射電極13と液晶画素駆動回路101(図7および図8参照)が設けられている。

40

【0023】

一方、画素領域20の周辺領域には、行走査線に行走査信号を供給する行走査線駆動回路23、列走査線に列走査信号を供給する列走査線駆動回路21、パッド領域26を介して外部から入力データを取り込む入力データ線22が配置される。

【0024】

以上が反射電極側基板1(32)の構成の概略である。

【0025】

50

この反射電極側基板 1 (32) には、内面に共通電極 33 が形成されたガラスからなる対向基板 35 が、シール材 36 により領域 (実線と一点鎖線で挟まれた領域) 36 にて接着固定されている。そして、反対電極側基板 1 (32) と対向基板 35 との間隙に液晶 37 が封入されて液晶パネルが構成されている。なお、点線にて挟まれた領域 25 は画素領域周辺を遮光する遮光膜を示す。

【0026】

次に図 1 に戻り、基板 1 の断面構造について説明する。この図 1 では、図面の煩雑化を防ぐため、上記画素領域 20 内の一部の領域に対応した断面構造が示されている。図 1 において、基板 1 は単結晶シリコンのような P 型半導体基板 (N 型半導体基板でもよい) である。N 型ウェル領域 2 は、基板 1 の表面に形成され、基板より不純物濃度の高い領域である。この N 型ウェル領域 2 は、図 9 の液晶パネル平面図に示される列走査線駆動回路 21 や行走査線駆動回路 23、入力データ線 22 等の周辺回路を構成する素子が形成される部分のウェル領域とは分離して形成してもよい。

10

【0027】

3 は基板 1 の表面に形成された素子分離用のフィールド酸化膜 (いわゆる LOCOS) である。このフィールド酸化膜 3 は選択熱酸化によって形成される。そして、フィールド酸化膜 3 には開口部が形成されており、この開口部の内側中央には、シリコン基板表面の熱酸化により形成されるゲート酸化膜を介してポリシリコンまたはメタルシリサイド等からなるゲート電極 5 が形成され、このゲート電極 5 の両側の基板表面には不純物層 (以下、ドーピング層という) からなるソース・ドレイン領域 6a, 6b が形成され、電界効果トランジスタ (以下、FET という) が構成されている。この FET が、上述した液晶画素駆動回路 101 を構成する各 FET の中の 1 つである。

20

【0028】

そして、上記ソース・ドレイン領域 6a、6b の上方には、BPSG (Boron Phosphorus Silica Glass) 膜のような第 1 層間絶縁膜 7 を介してアルミニウム層あるいはタンタル層からなる第 1 の導電層 8a, 8b が形成されている。このアルミニウム層あるいはタンタル層は、本実施形態ではスパッタ法で 500nm 堆積させた。

【0029】

第 1 の導電層 8a は、上記絶縁膜 7 に形成されたコンタクトホールを介してソース領域 (またはドレイン領域) 6a と電氣的に接続され、FET のソース電極 (またはドレイン電極) を構成している。また、第 1 の導電層 8b は、上記絶縁膜 7 に形成されたコンタクトホールにて FET のドレイン領域 (またはソース領域) 6b に電氣的に接続され、ドレイン電極 (またはソース電極) を構成している。

30

【0030】

また、上記第 1 の導電層 8a, 8b の上方には、シリコン酸化膜からなる第 2 層間絶縁膜 9 が形成されている。この第 2 層間絶縁膜 9 は、例えばスパッタ法、あるいは TEOS (テトラエチルオルソシリケート) を用いたプラズマ CVD 法により形成できる。本実施形態においては、シリコン酸化膜を TEOS のプラズマ CVD により 1100nm 堆積させた。

【0031】

そして、この第 2 層間絶縁膜 9 にはコンタクトホール 9b が形成され、さらにその上方にはアルミニウム層あるいはタンタル層からなる第 2 の導電層 10a および 10b が形成されている。このアルミニウム層あるいはタンタル層は、本実施形態ではスパッタ法で 500nm 堆積させた。この第 2 の導電層 10a および 10b のうち導電層 10b は、コンタクトホール 9b を介して第 1 の導電層 8b と電氣的に接続されている。

40

【0032】

ここで、第 2 の導電層 10b と同時に形成される第 2 の導電層 10a は、ドレイン電極 8b と反射電極 13 の接続部である第 2 の導電層 10b を除いた、画素領域のほぼ全域を遮光するように形成されている。これは、入射する光が基板の半導体層側に入り込んで FET が光リークしないようにするためである。

50

【0033】

なお、本実施形態では、上記第2の導電層10bは、コンタクトホール9bを介して上記第1の導電層8bに直接接続したが、タングステン等の高融点金属からなる接続プラグを用いて接続しても良い。

【0034】

上記第2の導電層10bの上方には、第3層間絶縁膜11aが形成されている。本実施形態において、この第3層間絶縁膜11aは、TEOSのプラズマCVDによる1100nmのシリコン酸化膜とした。この第3層間絶縁膜11aを形成した後、上記第2の導電層10bと反射電極13の接続部以外の領域に不規則に配置された凹部11bをドライエッチングにより形成した。そして、この凹部11bを形成した後、SOG膜11cを厚さ320nm堆積させた。なお、SOG膜11cの厚さは、本実施形態に限定されるものではない。ただし、第2の導電層10bと反射電極13の接続部以外の領域に適当な凹部を形成するためには、SOG膜11cの厚さは、100～500nmであることが望ましい。また、SOG膜11cを形成した後、このSOG膜11cと第3層間絶縁膜11aを、選択性のない条件あるいは任意の条件でエッチングしても良い。本実施形態では、SOG膜11cと第3層間絶縁膜11aを、選択性のない条件で500nmエッチングした。なお、このときのエッチ量は、本実施形態に限定されるものではないが、100～500nmであることが望ましい。このとき、第2の導電層10bと反射電極13の接続部以外の領域に形成された凹部のテーパは、なだらかな曲線形状となり、良好な反射特性を有する反射電極が形成される。

【0035】

また、本実施形態では、凹部11bの形状には円を適用した。穴の直径は0.5～5μmが望ましく、この範囲の任意のサイズあるいは数種類のサイズであっても良い。また、凹部の形状は本実施形態に限定されるものではない。例えば正八角形のような多角形を適用しても良い。

【0036】

第2の導電層10aと同時に形成された第2の導電層10bと反射電極13との接続は、第3層間絶縁膜11a、およびSOG膜11cに開口されたコンタクトホールに、タングステン等の高融点金属からなる接続プラグ12をCVD法等で埋め込み形成して行われる。

【0037】

上記接続プラグ12を形成後、反射電極13には第3の導電層からなるアルミニウムを低温スパッタ法により形成した。

【0038】

以上のプロセスにより、第3層間絶縁膜を凹状に設けた上に反射電極を形成することにより、第3層間絶縁膜の凹凸に沿って反射電極も凹凸を有するようになる。このため、光を拡散することができ、プロセスを増加させることなく、最適な反射特性を有する反射電極を容易に、かつ再現性良く作成することができ、表示品位が向上する反射型液晶パネルを提供することができた。

【0039】

次に、図5を参照して図1に示されている反射型液晶パネルの反射電極側基板における画素領域の凹部ならびに遮光層の配置を説明する。

【0040】

図5(a)は、本発明を適用した反射型液晶パネルの反射電極側基板における画素領域の凹部の配置を示す。この図5(a)において、凹部11bは、第2の導電層10bと反射電極13の接続部以外の領域に不規則に配置されている。また、接続プラグ12は、第2の導電層10bと反射電極13とを接続している。また、凹部11bは、この図5(a)に示すように、第2の導電層10bと反射電極13の接続部以外のほぼ全域に配置することができ、これにより、最適な反射特性を有する反射電極を容易に、かつ再現性良く作成することができる。

【0041】

図5(b)は、本発明を適用した反射型液晶パネルの遮光層の第1の構成例を示す平面図である。この図5(b)に示すように、第1の導電層8bと反射電極13の接続部となる第2の導電層10bを除いたほぼ全域にわたって遮光層として第2の導電層10aを形成することができる。

【0042】

B. 本発明の反射電極側基板の画素領域の他の構成例

図2は、本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第2の実施形態の断面図を示す。本実施形態では、接続プラグを用いず、第二の導電層10bと反射電極13を直接接続した。本実施形態は、工程プロセスの簡略化という点において、非常に有効である。

10

【0043】

図3は、本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第3の実施形態の断面図を示す。本実施形態では、ドレイン領域（またはソース領域）6bと反射電極13を、接続プラグ12により電氣的に接続している。接続プラグにはタングステン等の高融点金属を用いた。

【0044】

このとき、図6に示すように、第2の導電層10aは、各画素における接続プラグ12の形成されるコンタクトホールを周回を除き、画素領域全域、さらには画素領域全体にわたって形成することができるため、さらに好適な遮光機能を有する遮光層を形成することが可能となる。

20

【0045】

図4は、本発明を適用した反射型液晶パネルの反射電極側基板の画素領域の第4の実施形態の断面図を示す。図4において図1、図2および図3と同一符号が付けられている箇所は、これらの図と同一機能を有する層を示す。

【0046】

本実施形態においては、基板1は石英や無アルカリ性のガラス基板であり、この絶縁基板上には単結晶又は多結晶あるいはアモルファスのシリコン膜（6a, 6bの形成層）が形成されており、このシリコン膜上には、例えば熱酸化して形成した酸化シリコン膜とCVD法で堆積した窒化シリコンの二層構造からなる絶縁膜が形成される。

30

【0047】

また、シリコン膜の6a, 6bの領域には、N型不純物（またはP型不純物）がドーピングされて、TFTのソース・ドレイン領域6a, 6bが形成され、絶縁膜上には、TFTのゲート電極5がポリシリコンまたはメタルシリサイド等により形成される。

【0048】

また、ゲート電極5上には酸化シリコンにより形成される第1層間絶縁膜7が形成され、第1層間絶縁膜7の上方には、一層目のアルミニウム層あるいはタンタル層からなる第1の導電層8a, 8bが形成され、第1の導電層8aは上記絶縁膜7に形成されたコンタクトホールを介してソース領域（またはドレイン領域）6aと電氣的に接続され、FETのソース電極（またはドレイン電極）を構成する。また、第1の導電層8bは上記絶縁膜7に形成されたコンタクトホールにてFETのドレイン領域（またはソース領域）6bに電氣的に接続され、ドレイン電極（またはソース電極）を構成する。

40

【0049】

また、上記第1の導電層8a, 8bの上方にはシリコン酸化膜からなる第2層間絶縁膜9が形成され、第2層間絶縁膜9にはコンタクトホール9bが形成される。さらにその上方にはアルミニウム層あるいはタンタル層からなる第2の導電層10aおよび10bを形成した。第1の導電層8bと第2の導電層10bはコンタクトホール9bを介して電氣的に接続されている。

【0050】

第2の導電層10aは、入射する光が基板の半導体層側に入り込んでFETが光リークし

50

ないように、遮光する機能を有している。また、本実施形態では、上記第2の導電層10bは、コンタクトホール9bを介して上記第1の導電層8bに直接接続したが、タングステン等の高融点金属からなる接続プラグを用いて接続しても良い。

【0051】

第2の導電層10bの上方には第3層間絶縁膜11aを形成する。第3層間絶縁膜11aには、第2の導電層10bと反射電極13の接続部以外の領域に不規則に配置された凹部11bをドライエッチングにより形成した。前記凹部11bを形成した後、SOG膜11cを厚さ320nm堆積させた。なお、前記SOG膜11cの厚さは、本実施形態に限定されるものではない。ただし、第2の導電層10bと反射電極13の接続部以外の領域に適当な凹部を形成するためには、SOG膜11cの厚さは、100～500nmであることが望ましい。また、SOG膜11cを形成した後、このSOG膜11cと第3層間絶縁膜11aを、選択性のない条件あるいは任意の条件でエッチングしても良い。本実施形態では、SOG膜11cと第3層間絶縁膜11aを、選択性のない条件で500nmエッチングした。なお、このときのエッチ量は、本実施形態に限定されるものではなく、100～500nmであることが望ましい。このとき、第2の導電層10bと反射電極13の接続部以外の領域に形成された凹部のテーパは、なだらかな曲線形状となり、良好な反射特性を有する反射電極が形成される。

10

【0052】

また、本実施形態では、凹部11bの形状には円を適用した。穴の直径は0.5～5μmが望ましく、この範囲の任意のサイズあるいは数種類のサイズであっても良い。また、凹部の形状は本実施形態に限定されるものではない。例えば正八角形のような多角形を適用しても良い。

20

【0053】

第2の導電層10aと同時に形成された第2の導電層10bと反射電極13の接続は、第3層間絶縁膜11a、およびSOG膜11cに開口されたコンタクトホールに、タングステン等の高融点金属からなる接続プラグ12をCVD法等で埋め込み形成して行われる。

【0054】

上記接続プラグ12を形成後、反射電極13には第3の導電層からなるアルミニウムを低温スパッタ法により形成した。

【0055】

以上のプロセスにより、第3層間絶縁膜を凹状に設けた上に反射電極を形成することにより、第3層間絶縁膜の凹凸に沿って反射電極も凹凸を有するようになる。このため、光を拡散することができ、プロセスを増加させることなく、最適な反射特性を有する反射電極を容易に、かつ再現性良く作成することができ、表示品位が向上する反射型液晶パネルを提供することができる。

30

【0056】

また、図ではゲート電極がチャネルより上方に位置するトップゲートタイプであるが、ゲート電極を先に形成し、ゲート絶縁膜を介した上にチャネルとなるシリコン膜を配置するボトムゲートタイプにしてもよい。

【0057】

C. 本発明の液晶パネルの画素及びその駆動回路の説明

図7は、本発明の液晶パネルの画素及びその駆動回路などの一例を示すブロック図である。

40

【0058】

図7において、画素領域には、行走査線110-n（nは行走査線の行を示す自然数）と列走査線112-m（mは列走査線の列を示す自然数）がマトリクス状に配置され、互いの走査線の交差点に各画素の駆動回路が構成される。また、画素領域には列走査線112-mに沿って入力データ線114から分岐した列データ線115-d（dは列データ線の列を示す自然数）も配置される。画素領域の行側の周辺領域には行走査線駆動回路111が配置され、画素領域の列側の周辺領域には列走査線駆動回路113が配置される。

50

【0059】

行走査線駆動回路用制御信号120により行走査線駆動回路111が制御され、選択された行走査線110-nには選択信号が出力される。選択されない行走査線は非選択電位に設定される。同様に、列走査線駆動回路用制御信号121により列走査線駆動回路113が制御され、選択された列走査線112-mに選択信号が出力され、非選択の列走査線は非選択電位に設定される。いずれの行走査線及びいずれの列走査線を選択するかは制御信号120、121により決められる。つまり、制御信号120、121は選択画素を指定するアドレス信号である。

【0060】

選択された行走査線110-nと選択された列走査線112-mの交差点近傍に配置されるスイッチング制御回路109は、両走査線の選択信号を受けてオン信号を出力し、行走査線110-nと列走査線112-mの少なくとも一方が非選択となるとオフ信号を出力する。すなわち、選択された行走査線と列走査線の交差点に位置する画素のスイッチング制御回路109のみからオン信号が出力され、他のスイッチング制御回路からはオフ信号が出力される。本実施形態では、このスイッチング制御回路109のオン、オフ信号により液晶画素駆動回路101を制御する。

10

【0061】

次に、液晶画素駆動回路101の構成および動作を説明する。

【0062】

スイッチング回路102はスイッチング制御回路109のオン信号により導通状態となり、オフ信号により非導通状態となる。スイッチング回路102は導通状態となると、そこに接続されている列データ線115-dのデータ信号をスイッチング回路102を介してメモリ回路103に書き込む。一方、スイッチング回路102はスイッチング制御回路109のオフ信号により非導通状態となりメモリ回路103に書き込まれたデータ信号を保持する。

20

【0063】

メモリ回路103に保持されたデータ信号は、画素毎に配置される液晶画素ドライバ104に供給される。液晶画素ドライバ104は供給されたデータ信号のレベルに応じて、第1の電圧信号線118に供給される第1の電圧116、又は第2の電圧信号線119に供給される第2の電圧117のいずれかを液晶画素105の画素電極106に供給する。第1の電圧116は、液晶パネルがノーマリーホワイト表示の場合に、液晶画素105を黒表示状態とする電圧であり、一方第2の電圧117は液晶画素105を白表示状態とする電圧である。

30

【0064】

メモリ回路103に保持されたデータ信号がHレベルの場合は、液晶画素ドライバ104において、ノーマリーホワイト表示の場合液晶を黒表示させる第1の電圧信号線118に接続されるゲートが導通状態となり、画素電極106に第1の電圧116が供給され、対向電極108に供給される基準電圧122との電位差により液晶画素105が黒表示状態となる。同様に、保持されたデータ信号がLレベルの場合は、液晶画素ドライバ104において第2の電圧信号線119に接続されるゲートが導通状態となり、画素電極106に第2の電圧117が供給され液晶画素105が白表示状態となる。

40

【0065】

以上の構成により、電源電圧、第1、第2の電圧信号および基準電圧ともロジック電圧程度で駆動でき、かつ画面表示の書き換えが必要ない場合はメモリ回路のデータ保持機能により表示状態を保持できるのでほとんど電流が流れない。

【0066】

なお、液晶画素105は、保持されたデータ信号に応じて液晶画素ドライバ104から出力された第1の電圧116或いは第2の電圧117のいずれか一方が選択されて供給される画素電極106が画素毎に設けられ、この画素電極106と対向電極108との間に介在する液晶層107に両電極の電位差が印加され、この電位差に応じた液晶分子の配向変

50

化に応じて黒表示状態（オン表示状態ともいう）と白表示状態（オフ表示状態ともいう）となる。液晶パネルは、上述のように、半導体基板とガラス等の光透過性基板との間に液晶を封入して挟持し、半導体基板に、マトリクス状に画素電極を配置し、その画素電極の下方に上記液晶画素駆動回路、行走査線、列走査線、データ線、行走査線駆動回路、列走査線駆動回路などを形成する。各画素は、画素電極106と、対向する光透過性基板の内面に形成された対向電極108との間に画素毎に電圧を印加して、その間に介在される画素毎の液晶層107に電圧供給し、液晶分子の配向を各画素毎に変化させる。

【0067】

なお、図8に示すように本実施の形態において、スイッチング制御回路109はCMOSトランジスタ構成のNORゲート回路109-1とCMOSトランジスタ構成のインバータ109-2の論理回路により構成することができる。NORゲート回路109-1は2入力とも負論理の選択信号が入力された時に正論理のオン信号を出力し、インバータ109-2により負論理のオン信号を出力する。また、スイッチング回路102はCMOSトランジスタ構成のトランスミッションゲート102-1により構成することができる。トランスミッションゲート102-1はスイッチング制御回路109のオン信号に基づいて導通して列データ線115とメモリ回路103を繋ぎ、オフ信号に基づいて非導通となる。メモリ回路103はCMOSトランジスタ構成のクロックドインバータ103-1とCMOSトランジスタ構成のインバータ103-2を帰還接続した構成とすることができる。データ信号はスイッチング制御回路106のオン信号によりスイッチング回路102からメモリ回路103に取り込まれ、インバータ103-2により反転され、スイッチング制御回路106のオフ信号により動作するクロックドインバータ103-1により出力を帰還してデータ信号を保持する。液晶画素ドライバ104は2個のCMOSトランジスタ構成のトランスミッションゲート104-1、104-2により構成することができる。メモリ回路103に保持されたデータ信号がHレベルの場合は、液晶画素ドライバ104において、ノーマリーホワイト表示の場合液晶を黒表示させる第1の電圧信号線118に接続されるトランスミッションゲート104-1が導通状態となり、画素電極106に第1の電圧116が供給され、対向電極108に供給される基準電圧122との電位差により液晶画素105が黒表示状態となる。同様に、保持されたデータ信号がLレベルの場合は、第2の電圧信号線119に接続されるトランスミッションゲート104-2が導通状態となり、画素電極106に第2の電圧117が供給され液晶画素105が白表示状態となる。

【0068】

D. 本発明の液晶パネルの構造の説明

図9は上記第1および第2の実施形態を適用した液晶パネル用基板（反射電極側基板）1の全体の平面図を示す。

【0069】

図9に示されているように、この実施形態においては、基板の周縁部に設けられている周辺回路に光が入射するのを防止する遮光膜25が設けられている。画素を駆動する回路は、上記画素電極がマトリクス状に配置された画素領域20の周辺および画素領域中に設けられ、上記列走査線8aに列走査信号を供給する列走査線駆動回路21や行走査線5に行走査信号を供給する行走査線駆動回路23、パッド領域26を介して外部から入力データを取り込む入力データ線22、これらの回路はスイッチング制御回路109およびスイッチング回路102のスイッチング素子とし、これにメモリ回路103と液晶画素ドライバ104を組み合わせて構成される。なお、36は対向するガラス基板との接着固定を行うシール材の形成領域である。

【0070】

この実施形態においては、上記遮光膜25は、図1に示されている反射電極13同一工程で形成される第3の導電層で構成され、LC共通電極電位等の所定電位が印加されるように構成されている。26は電源電圧を供給するために使用されるパッドもしくは端子が形成されたパッド領域である。

10

20

30

40

50

【0071】

図10は上記液晶パネル用基板1を適用した反射型液晶パネルの断面構成を示す。図9および図10に示すように、上記液晶パネル基板31(1)は、その裏面にガラスもしくはセラミック等からなる基板32が接着剤により接着されている。これとともに、その表面側には、LC共通電極電位が印加される透明導電膜(ITO)からなる対向電極(共通電極ともいう)33を有する入射側のガラス基板35が適当な間隔をおいて配置され、周囲を図6のシール材形成領域36に形成したシール材36で接着された間隙内に周知のTN(Twisted Nematic)型液晶または電圧無印加状態で液晶分子がほぼ垂直配向されたSH(Super Homeotropic)型液晶37などが充填されて液晶パネル30として構成されている。なお、外部から信号を入力したり、パッド領域26は上記シール材36の外側に来るようにシール材を設ける位置が設定されている。

10

【0072】

周辺回路上の遮光膜25は、液晶37を介在して対向電極33と対向されるように構成されている。そして、遮光膜25にLC共通電極電位を印加すれば、対向電極33にはLC共通電極電位が印加されるので、その間に介在する液晶には直流電圧が印加されなくなる。よってTN型液晶であれば常に液晶分子がほぼ90°ねじれたままとなり、SH型液晶であれば常に垂直配向された状態に液晶分子が保たれる。

【0073】

この実施形態においては、半導体基板からなる上記液晶パネル基板31は、その裏面にガラスもしくはセラミック等からなる基板が接着剤により接合されているため、その強度が著しく高められる。その結果、液晶パネル基板31に基板32を接合させてから対向基板との貼り合わせを行うようにすると、パネル全体にわたって液晶層のギャップが均一になるという利点がある。

20

【0074】

E. 本発明の液晶パネルを用いた電子機器の説明

次に、本発明の反射型液晶パネルを表示装置として用いた電子機器の例を説明する。

【0075】

図11(A)は携帯電話を示す斜視図である。1000は携帯電話本体を示し、そのうちの1001は本発明の反射型液晶パネルを用いた液晶表示部である。

【0076】

図11(B)は、腕時計型電子機器を示す図である。1100は時計本体を示す斜視図である。1101は本発明の反射型液晶パネルを用いた液晶表示部である。この液晶パネルは、従来の時計表示部に比べて高精細の画素を有するので、テレビ画像表示も可能とすることができ、腕時計型テレビを実現できる。

30

【0077】

図11(C)は、ワープロ、パソコン等の携帯型情報処理装置を示す図である。1200は情報処理装置を示し、1202はキーボード等の入力部、1206は本発明の反射型液晶パネルを用いた表示部、1204は情報処理装置本体を示す。各々の電子機器は電池により駆動される電子機器であるので、光源ランプを持たない反射型液晶パネルを使えば、電池寿命を延ばすことが出来る。また、本発明のように、周辺回路をパネル基板に内蔵できるので、部品点数が大幅に減り、より軽量化・小型化できる。

40

【0078】

【発明の効果】

以上説明したように、本発明による電気光学装置用基板は、反射電極の下方に形成された絶縁膜に、液晶画素駆動回路と反射電極の接続部が形成され、前記絶縁膜における該接続部以外の領域には不規則な配置の凹部が形成されている。このため、本発明の電気光学装置用基板によれば、最適な反射特性を有する反射電極を容易に、かつ再現性良く作成することができ、表示品位が向上する反射型液晶パネルを提供することができる。

【図面の簡単な説明】

【図1】本発明を適用した反射型液晶パネルの反射電極側基板の第1の実施の形態の断面

50

図である。

【図 2】本発明を適用した反射型液晶パネルの反射電極側基板の第 2 の実施の形態の断面図である。

【図 3】本発明を適用した反射型液晶パネルの反射電極側基板の第 3 の実施の形態の断面図である。

【図 4】本発明を適用した反射型液晶パネルの反射電極側基板の第 4 の実施の形態の断面図である。

【図 5】本発明を適用した反射型液晶パネルの反射電極側基板の第 1, 第 2 および第 4 の実施の形態を示す平面図 (a) および本発明を適用した反射型液晶パネルの反射電極側基板の第 1, 第 2 および第 4 の実施形態における第 2 の導電層の構成例を示す平面図 (b) である。

10

【図 6】本発明を適用した反射型液晶パネルの反射電極側基板の第 3 の実施形態における第 2 の導電層の構成例を示す平面図である。

【図 7】液晶パネルの画素及びその駆動回路などの一例を示すブロック図である。

【図 8】図 7 の詳細な回路図である。

【図 9】本発明の実施形態の液晶パネル用基板を適用した反射型液晶パネルの一例を示す平面図である。

【図 10】本発明の実施形態の液晶パネル用基板を適用した反射型液晶パネルの一例を示す断面図である。

【図 11】本実施形態の反射型液晶パネルを用いた携帯電話を示す図 (A)、腕時計型テレビを示す図 (B) およびパーソナルコンピュータの外観図 (C) である。

20

【符号の説明】

- 1 基板
- 2 ウェル領域
- 3 フィールド酸化膜
- 5 ゲート電極
- 6 a, 6 b ソース・ドレイン領域 (またはソース領域)
- 7 第 1 層間絶縁膜
- 8 a, 8 b 第 1 の導電層 (ソース・ドレイン電極)
- 9 第 2 層間絶縁膜
- 9 b コンタクトホール
- 10 a, 10 b 第 2 の導電層
- 11 a 第 3 層間絶縁膜
- 11 b 凹部
- 11 c SOG 膜
- 12 接続プラグ
- 13 第 3 の導電層 (反射電極)
- 20 画素領域
- 21 列走査線駆動回路
- 22 入力データ線
- 23 行走査線駆動回路
- 25 遮光膜 (第 3 の導電層)
- 26 パッド領域
- 31 液晶パネル基板
- 32 基板
- 33 対向電極
- 35 入射側のガラス基板
- 36 シール材
- 37 液晶
- 101 液晶画素駆動回路

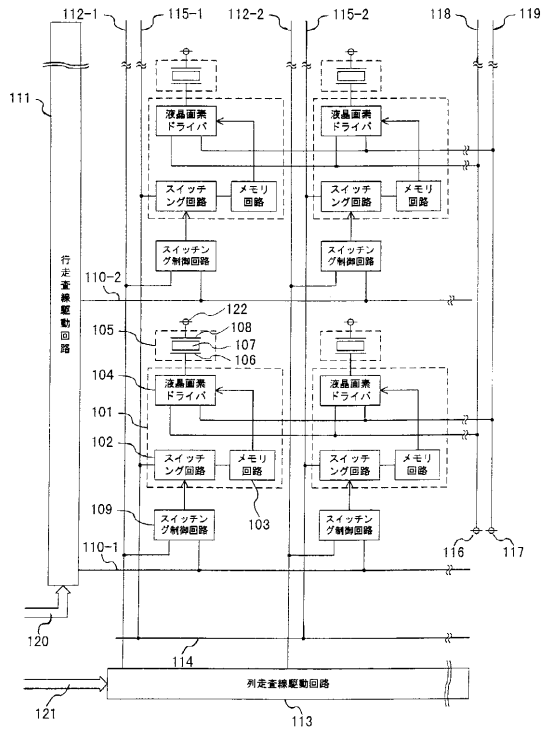
30

40

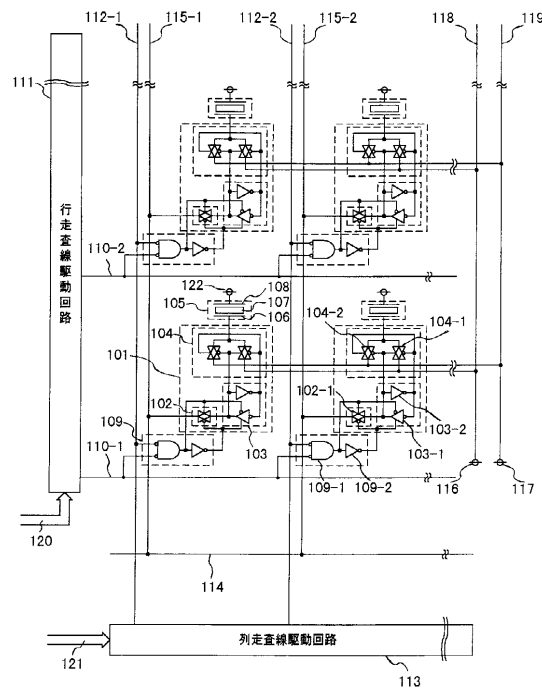
50

1 0 2	スイッチング回路	
1 0 3	メモリ回路	
1 0 4	液晶画素ドライバ	
1 0 5	液晶画素	
1 0 6	画素電極	
1 0 7	液晶層	
1 0 8	対向電極	
1 0 9	スイッチング制御回路	
1 1 0	行走査線	
1 1 1	行走査線駆動回路	10
1 1 2	列走査線	
1 1 3	列走査線駆動回路	
1 1 4	入力データ線	
1 1 5	列データ線	
1 1 6	第 1 の電圧	
1 1 7	第 2 の電圧	
1 1 8	第 1 の電圧信号線	
1 1 9	第 2 の電圧信号線	
1 2 0	行走査線駆動回路用制御信号	
1 2 1	列走査線駆動回路用制御信号	20
1 2 2	基準電圧	
1 0 0 0	携帯電話	
1 0 0 1	本発明の反射型液晶パネルを用いた液晶表示部	
1 1 0 0	時計	
1 1 0 1	本発明の反射型液晶パネルを用いた液晶表示部	
1 2 0 0	情報処理装置	
1 2 0 2	キーボード等の入力部	
1 2 0 4	情報処理装置	
1 2 0 6	本発明の反射型液晶パネルを用いた表示部	

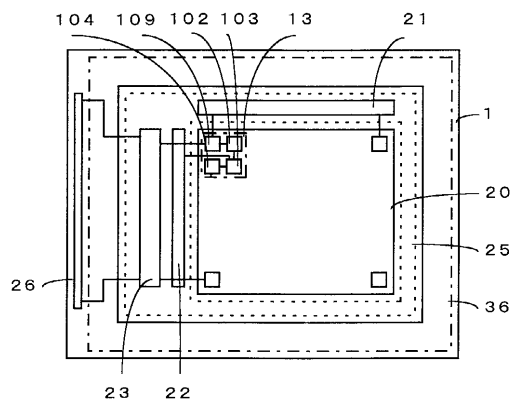
【図 7】



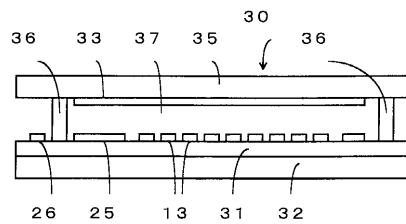
【図 8】



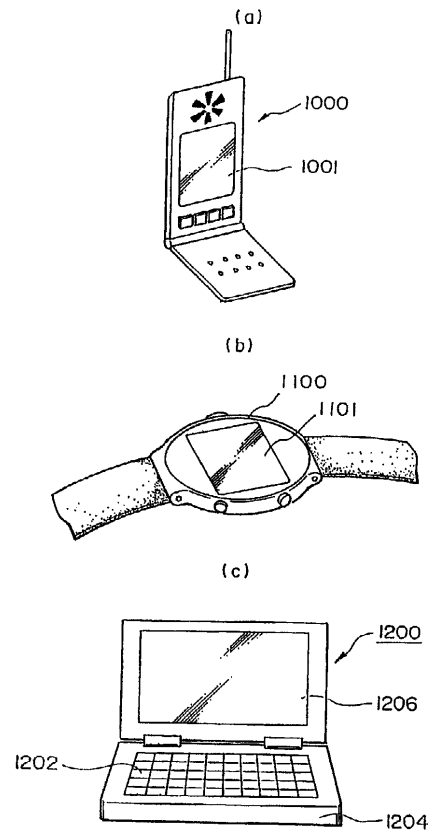
【図 9】



【図 10】



【図 11】



フロントページの続き

- (56)参考文献 特開平09-054318 (JP, A)
特開平10-048626 (JP, A)
特開平10-288789 (JP, A)
特開平11-305221 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1333 505
G02F 1/1335 520
H01L 21/336
H01L 29/786