(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0124394
(43) 공개일자 2023년08월25일

(51) 국제특허분류(Int. Cl.)
H03M 1/20 (2006.01) *H03M 1/38* (2006.01)
(52) CPC특허분류
H03M 1/202 (2013.01)
H03M 1/38 (2013.01)
(21) 출원번호 10-2022-0021680
(22) 출원일자 2022년02월18일
심사청구일자 2022년02월18일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
박수호
서울특별시 성북구 고려대로17가길 64(안암동1가, 래미안 안암)
(뒷면에 계속)
(74) 대리인
특허법인주연케이알피

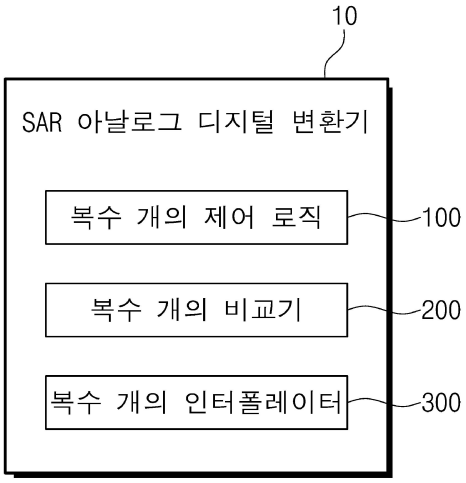
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **다중 인터폴레이터가 적용된 SAR 아날로그 디지털 변환기 및 그 동작방법**

(57) 요 약

본 발명은 SAR 아날로그 디지털 변환기에 관한 것으로, 좀 더 자세하게는 다중 인터폴레이터가 적용된 SAR 아날로그 디지털 변환기에 관한 것이다. 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기는 입력 전압과 제1 및 제2 기준 전압을 제공하고, 상기 입력 전압, 상기 제1 및 제2 기준 전압 중 적어도 하나를 제어하는 복수 개의 제어 로직, 상기 제1 기준 전압 및 상기 제2 기준 전압과 상기 입력 전압을 비교하여 상기 입력 전압이 해당하는 제1 범위를 판단하는 복수 개의 비교기, 및 상기 제1 범위에 기초하여 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 상기 입력 전압을 비교하여, 상기 입력 전압이 해당하는 제2 범위를 판단하는 복수 개의 인터폴레이터를 포함할 수 있다.

대 표 도 - 도1



(72) 발명자

송재근

서울특별시 동대문구 회기로19길 7(회기동)

임채강

인천광역시 남동구 선수촌로 75(구월동, 구월유승한내들퍼스티지)

최요한

서울특별시 성북구 화랑로37길 7(장위동, 모아 뉴캐슬)

장석원

경기도 파주시 송학길 42-24(야당동, 자연애가)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711130354
과제번호	2020M3F3A2A01081635
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	랜덤 나노자성체 기반 확률론적 컴퓨팅 및 역연산 논리회로 구현
기 여 율	1/1
과제수행기관명	한국과학기술연구원
연구기간	2022.01.01 ~ 2023.02.28

명 세 서

청구범위

청구항 1

입력 전압과 제1 및 제2 기준 전압을 제공하고, 상기 입력 전압, 상기 제1 및 제2 기준 전압 중 적어도 하나를 제어하는 복수 개의 제어 로직;

상기 제1 기준 전압 및 상기 제2 기준 전압과 상기 입력 전압을 비교하여 상기 입력 전압이 해당하는 제1 범위를 판단하는 복수 개의 비교기; 및

상기 제1 범위에 기초하여 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 상기 입력 전압을 비교하여, 상기 입력 전압이 해당하는 제2 범위를 판단하는 복수 개의 인터폴레이터를 포함하는, SAR 아날로그 디지털 변환기.

청구항 2

제1항에 있어서,

상기 복수 개의 비교기는 제1 내지 제3 비교기를 포함하고,

상기 제1 내지 제3 비교기는 각각 상기 제1 기준 전압, 0V, 및 상기 제2 기준 전압과 상기 입력 전압을 입력으로 하는, SAR 아날로그 디지털 변환기.

청구항 3

제2항에 있어서,

상기 복수 개의 인터폴레이터는 제1 및 제2 인터폴레이터를 포함하고,

상기 제1 인터폴레이터는 상기 제1 비교기 및 상기 제2 비교기와 연결되고,

상기 제2 인터폴레이터는 상기 제2 비교기 및 상기 제3 비교기와 연결되는, SAR 디지털 변환기.

청구항 4

제3항에 있어서,

상기 제1 기준 전압은 음수이고, 상기 제2 기준 전압은 양수인, SAR 디지털 변환기.

청구항 5

제4항에 있어서,

상기 입력 전압이 상기 제1 기준 전압과 상기 제1 하프 기준 전압의 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 0, 0이고, 상기 제1 인터폴레이터의 값은 0인, SAR 디지털 변환기.

청구항 6

제4항에 있어서,

상기 입력 전압이 상기 제2 하프 기준 전압와 상기 제2 기준 전압 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 1, 0이고, 상기 제2 인터폴레이터의 값은 1인, SAR 디지털 변환기.

청구항 7

제1항에 있어서,

상기 복수 개의 인터폴레이터는 상기 복수 개의 비교기의 사이에 적어도 한 개 이상이 배치되는, SAR 디지털 변환기.

청구항 8

복수 개의 제어 로직이 입력 전압과 제1 및 제2 기준 전압을 제공하고, 상기 입력 전압, 상기 제1 및 제2 기준 전압 중 적어도 하나를 제어하는 단계;

복수 개의 비교기가 상기 제1 기준 전압 및 상기 제2 기준 전압과 상기 입력 전압을 비교하여 상기 입력 전압이 해당하는 제1 범위를 판단하는 단계; 및

복수 개의 인터폴레이터가 상기 제1 범위에 기초하여 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 상기 입력 전압을 비교하여, 상기 입력 전압이 해당하는 제2 범위를 판단하는 단계를 포함하는, SAR 아날로그 디지털 변환기의 동작방법.

청구항 9

제8항에 있어서,

상기 복수 개의 비교기는 제1 내지 제3 비교기를 포함하고,

상기 제1 내지 제3 비교기는 각각 상기 제1 기준 전압, 0V, 및 상기 제2 기준 전압과 상기 입력 전압을 입력으로 하는, SAR 아날로그 디지털 변환기의 동작방법.

청구항 10

제9항에 있어서,

상기 복수 개의 인터폴레이터는 제1 및 제2 인터폴레이터를 포함하고,

상기 제1 인터폴레이터는 상기 제1 비교기 및 상기 제2 비교기와 연결되고,

상기 제2 인터폴레이터는 상기 제2 비교기 및 상기 제3 비교기와 연결되는, SAR 디지털 변환기의 동작방법.

청구항 11

제8항에 있어서,

상기 복수 개의 인터폴레이터는 상기 복수 개의 비교기의 사이에 적어도 한 개 이상이 배치되는, SAR 디지털 변환기의 동작방법.

청구항 12

제10항에 있어서,

상기 입력 전압이 상기 제1 기준 전압과 상기 제1 하프 기준 전압의 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 0, 0이고, 상기 제1 인터폴레이터의 값은 0인, SAR 디지털 변환기.

청구항 13

제12항에 있어서,

상기 입력 전압이 상기 제2 하프 기준 전압와 상기 제2 기준 전압 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 1, 0이고, 상기 제2 인터폴레이터의 값은 1인, SAR 디지털 변환기.

발명의 설명

기 술 분 야

[0001] 본 발명은 SAR 아날로그 디지털 변환기에 관한 것으로, 좀 더 자세하게는 다중 인터폴레이터가 적용된 SAR 아날로그 디지털 변환기에 관한 것이다.

배 경 기 술

[0002] 종래의 multi-bit/cycle SAR ADC 구조의 경우에 표준 2bit/cycle를 구현하기 위해서, 3개의 비교기와 Single ended 구조 사용시 2개(Signal Volatge DAC 1개, Reference Voltage DAC 1개)의 CDAC(Capacitor Digital to

Analog Converter)가 필요하며, differenctial 구조 사용시 4개 (Signal Volatge DAC 2개, Reference Voltage DAC 2개)의 CDAC가 필요하다.

[0003] 2.6bit/cycle를 구현하기 위해서, 5개의 비교기와 Single ended 구조 사용시 3개(Signal Volatge DAC 1개, Reference Voltage DAC 2개)의 CDAC가 필요하며, differenctial 구조 사용시 6개 (Signal Volatge DAC 2개, Reference Voltage DAC 4개)의 CDAC가 필요하다.

[0004] 3bit/cycle를 구현하기 위해서, 7개의 비교기와 Single ended 구조 사용시 5개(Signal Volatge DAC 1개, Reference Voltage DAC 4개)의 CDAC가 필요하며, differenctial 구조 사용시 10개 (Signal Volatge DAC 2개, Reference Voltage DAC 8개)의 CDAC가 필요하다.

[0005] 이처럼, n-bit/cycle에서 n이 증가할수록 DAC과 연결되는 비교기 입력 기생의 영향이 커지고 Reference DAC 개수에 대한 하드웨어 부담이 커진다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 다중 인터폴레이터를 적용하여, 더 적은 하드웨어로 더 높은 비트를 구현하는 SAR 아날로그 디지털 변환기를 제공하는 것에 목적이 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기는 입력 전압과 제1 및 제2 기준 전압을 제공하고, 상기 입력 전압, 상기 제1 및 제2 기준 전압 중 적어도 하나를 제어하는 복수 개의 제어 로직, 상기 제1 기준 전압 및 상기 제2 기준 전압과 상기 입력 전압을 비교하여 상기 입력 전압이 해당하는 제1 범위를 판단하는 복수 개의 비교기, 및 상기 제1 범위에 기초하여 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 상기 입력 전압을 비교하여, 상기 입력 전압이 해당하는 제2 범위를 판단하는 복수 개의 인터폴레이터를 포함할 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 복수 개의 비교기는 제1 내지 제3 비교기를 포함하고, 상기 제1 내지 제3 비교기는 각각 상기 제1 기준 전압, 0V, 및 상기 제2 기준 전압과 상기 입력 전압을 입력으로 할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 복수 개의 인터폴레이터는 제1 및 제2 인터폴레이터를 포함하고, 상기 제1 인터폴레이터는 상기 제1 비교기 및 상기 제2 비교기와 연결되고, 상기 제2 인터폴레이터는 상기 제2 비교기 및 상기 제3 비교기와 연결될 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제1 기준 전압은 음수이고, 상기 제2 기준 전압은 양수일 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 입력 전압이 상기 제1 기준 전압과 상기 제1 하프 기준 전압의 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 0, 0이고, 상기 제1 인터폴레이터의 값은 0일 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 입력 전압이 상기 제2 하프 기준 전압와 상기 제2 기준 전압 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 1, 0이고, 상기 제2 인터폴레이터의 값은 1일 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 복수 개의 인터폴레이터는 상기 복수 개의 비교기의 사이에 적어도 한 개 이상이 배치될 수 있다.

[0014] 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기의 동작방법은 복수 개의 제어 로직이 입력 전압과 제1 및 제2 기준 전압을 제공하고, 상기 입력 전압, 상기 제1 및 제2 기준 전압 중 적어도 하나를 제어하는 단계, 복수 개의 비교기가 상기 제1 기준 전압 및 상기 제2 기준 전압과 상기 입력 전압을 비교하여 상기 입력 전압이 해당하는 제1 범위를 판단하는 단계, 및 복수 개의 인터폴레이터가 상기 제1 범위에 기초하여 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 상기 입력 전압을 비교하여, 상기 입력 전압이 해당하는 제2 범위를 판단하는 단계를 포함할 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 복수 개의 비교기는 제1 내지 제3 비교기를 포함하고, 상기 제1 내지 제3 비교기는 각각 상기 제1 기준 전압, 0V, 및 상기 제2 기준 전압과 상기 입력 전압을 입력으로 할 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 복수 개의 인터폴레이터는 제1 및 제2 인터폴레이터를 포함하고, 상기 제1 인터폴레이터는 상기 제1 비교기 및 상기 제2 비교기와 연결되고, 상기 제2 인터폴레이터는 상기 제2 비교기 및

상기 제3 비교기와 연결될 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 복수 개의 인터폴레이터는 상기 복수 개의 비교기의 사이에 적어도 한 개 이상이 배치될 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 입력 전압이 상기 제1 기준 전압과 상기 제1 하프 기준 전압의 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 0, 0이고, 상기 제1 인터폴레이터의 값은 0일 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 입력 전압이 상기 제2 하프 기준 전압와 상기 제2 기준 전압 사이일 경우에 상기 제1 내지 제3 비교기의 값은 각각 1, 1, 0이고, 상기 제2 인터폴레이터의 값은 1일 수 있다.

발명의 효과

[0020] 본 발명의 SAR 아날로그 디지털 변환기는 다중 인터폴레이터를 적용하여, 더 적은 하드웨어로 더 높은 비트를 구현할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 2.6bit/cycle SAR 아날로그 디지털 변환기의 구조를 보여주는 도이다.

도 3은 본 발명의 일 실시예에 따른 복수 개의 비교기의 동작 예를 보여주는 도이다.

도 4는 본 발명의 일 실시예에 따른 2.6bit/cycle SAR 아날로그 디지털 변환기의 구조의 실험 결과를 보여주는 도이다.

도 5는 본 발명의 일 실시예에 따른 3bit/cycle SAR 아날로그 디지털 변환기의 구조를 보여주는 도이다.

도 6은 본 발명의 일 실시예에 따른 3bit/cycle SAR 아날로그 디지털 변환기에 다중 인터폴레이터가 연결된 구조를 보여주는 도이다.

도 7은 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기의 동작방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 본 출원의 기술적 사상을 본 출원의 기술분야에서 통상의 지식을 가진자가 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 출원의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.

[0023] 도 1은 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기의 블록도이다.

[0024] 도 1을 참조하면, SAR 아날로그 디지털 변환기(10)는 복수 개의 제어 로직(100), 복수 개의 비교기(200), 및 복수 개의 인터폴레이터(300)를 포함할 수 있다.

[0025] 복수 개의 제어 로직(100)은 입력 전압과 제1 및 제2 기준 전압을 제공하고, 입력 전압과 제1 및 제2 기준 전압 중 적어도 하나를 제어할 수 있다.

[0026] 복수 개의 제어 로직(100)은 복수 개의 비교기(200)의 개수에 기초하여 기준 전압의 개수가 정해질 수 있다. 예를 들어, 비교기가 4개일 경우에 복수 개의 제어 로직(100)은 각각의 비교기에 제1 내지 제4 기준 전압을 제공할 수 있다. 비교기가 3개일 경우에 복수 개의 제어 로직(100)은 맨 위와 맨 아래에 배치된 비교기에 각각 제1 및 제2 기준 전압을 제공하고 가운데 배치된 비교기에는 0V의 전압을 제공할 수 있다.

[0027] 3개의 비교기를 사용하는 2.6bit/cycle 구조에서 복수 개의 제어 로직(100)은 입력 전압을 복수 개의 비교기(200)로 입력하고, 제1 및 제2 기준 전압을 제1 및 제3 비교기로 입력하며, 제2 비교기에 0V를 입력할 수 있다. 이때, 제1 기준 전압은 음수이고, 제2 기준 전압은 양수일 수 있다.

[0028] 복수 개의 비교기(200)는 제1 기준 전압 및 제2 기준 전압과 입력 전압을 비교하여 입력 전압이 해당하는 제1 범위를 판단할 수 있다. 예를 들어, 복수 개의 비교기(200)는 제1 기준 전압과 제2 기준 전압 각각을 입력 전압과 비교하여, 시간 차이에 기반하여 입력 전압이 어느 전압과 가까운지를 판단하여 제1 범위를 판단할 수 있다.

[0029] 복수 개의 인터폴레이터(300)는 제1 범위에 기초하여 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 입력 전압을 비교하여, 입력 전압이 해당하는 제2 범위를 판단할 수 있다. 예를 들어, 제1 범위가 0 내지 제2 기준

전압 사이라면, 인터폴레이터는 입력 전압이 0 내지 제2 하프 기준 전압 사이인지 제2 하프 기준 전압 내지 제2 기준 전압 사이인지 판단하여 제2 범위를 판단할 수 있다. 이때, 제1 하프 기준 전압은 제1 기준 전압 값의 절반 값이고, 제2 하프 기준 전압은 제2 기준 전압 값의 절반 값일 수 있다.

[0030] 복수 개의 인터폴레이터(300)는 복수 개의 비교기(200) 사이에 적어도 한 개 이상 배치될 수 있다. 예를 들어, 5개의 비교기가 배치되었던 종래의 2.6bit/cycle 아날로그 디지털 구조의 경우, 비교기들의 사이에 하나의 인터폴레이터가 배치되면서, 비교기의 개수는 3개로 줄어들 수 있다.

[0031] 상술한 바와 같이, 본 발명의 SAR 아날로그 디지털 변환기(10)는 인터폴레이터를 적용하여 multi-bit/cycle SAR 아날로그 디지털 변환기(10)를 구현함에 따라 비교기의 개수를 줄여 더 적은 하드웨어로 더 높은 비트를 구현할 수 있다.

[0032] 좀 더 자세하게, 본 발명의 SAR 아날로그 디지털 변환기(10)는 비교기들 사이에 인터폴레이터를 배치하여 비교기의 개수를 줄이고, 비교기 및 인터폴레이터에 기초하여 입력 전압의 범위를 판단할 수 있다.

[0033] 도 2는 본 발명의 일 실시예에 따른 2.6bit/cycle SAR 아날로그 디지털 변환기의 구조를 보여주는 도이다.

[0034] 도 2를 참조하면, 2.6bit/cycle SAR 아날로그 디지털 변환기는 2개의 제어 로직, 3개의 비교기, 및 2개의 인터폴레이터를 포함할 수 있다.

[0035] 제어 로직은 제1 및 제2 제어 로직(110, 120)을 포함하고, 제1 제어 로직(110)은 입력 전압(Vinp)을 모든 비교기에 제공할 수 있다. 제2 제어 로직(120)은 제1 및 제2 기준 전압(Vinn1, Vinn2) 각각을 복수 개의 비교기들 중 두 개의 비교기에 제공할 수 있다. 이때, 제1 및 제2 기준 전압(Vinn1, Vinn2)은 서로 같은 크기를 가지며, 제1 기준 전압(Vinn1)은 음수이고, 제2 기준 전압(Vinn2)은 양수일 수 있다. 예를 들어, 제1 기준 전압(Vinn1)은 -0.6V이고, 제2 기준 전압(Vinn2)은 0.6V일 수 있다.

[0036] 비교기는 제1 내지 제3 비교기(210, 220, 230)를 포함할 수 있다. 제1 비교기(210)는 입력 전압(Vinp)과 제1 기준 전압(Vinn1)을 입력받고, 제2 비교기(220)는 입력 전압(Vinp)과 0V를 입력받으며, 제3 비교기(230)는 입력 전압(Vinp)과 제2 기준 전압(Vinn2)을 입력받을 수 있다.

[0037] 입력 전압(Vinp)이 제1 기준 전압(Vinn1) 미만일 경우에 제1 내지 제3 비교기(210, 220, 230)는 0을 출력할 수 있다.

[0038] 입력 전압(Vinp)이 제1 기준 전압(Vinn1)과 0V 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 0, 제3 비교기(230)는 0을 출력할 수 있다.

[0039] 입력 전압(Vinp)이 0V와 제2 기준 전압(Vinn2) 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 1, 제3 비교기(230)는 0을 출력할 수 있다.

[0040] 입력 전압(Vinp)이 제2 기준 전압(Vinn2) 초과일 경우에 제1 내지 제3 비교기(210, 220, 230)는 1을 출력할 수 있다.

[0041] 인터폴레이터는 제1 및 제2 인터폴레이터(310, 320)를 포함할 수 있다. 제1 인터폴레이터(310)는 제1 비교기(210)와 제2 비교기(220) 사이에 연결되고, 제2 인터폴레이터(320)는 제2 비교기(220)와 제3 비교기(230) 사이에 연결될 수 있다.

[0042] 입력 전압(Vinp)이 제1 기준 전압(Vinn1)과 제1 하프 기준 전압 (Vinn1/2) 사이일 경우에 제1 인터폴레이터(310)는 0을 출력할 수 있다.

[0043] 입력 전압(Vinp)이 제1 하프 기준 전압과 0V 사이일 경우에 제1 인터폴레이터(310)는 1을 출력할 수 있다.

[0044] 입력 전압(Vinp)이 0V와 제2 하프 기준 전압(Vinn2/2) 사이일 경우에 제2 인터폴레이터(320)는 0을 출력할 수 있다.

[0045] 입력 전압(Vinp)이 제2 하프 기준 전압과 제2 기준 전압(Vinn2) 사이일 경우에 제2 인터폴레이터(320)는 1을 출력할 수 있다.

[0046] 도 3은 본 발명의 일 실시예에 따른 복수 개의 비교기의 동작 예를 보여주는 도이다.

[0047] 도 3을 참조하면, 복수 개의 비교기는 동작 시간에 기초하여 입력 전압(Vinp)과 제1 및 제2 기준 전압의 크기 차이를 비교할 수 있다.

[0048] 비교기는 클럭이 1이 되고, 결과가 나올 때까지 일정 시간(T)이 걸린다. 이때, 입력 전압(Vinp)과 기준 전압의 크기 차이가 클수록 일정 시간(T)은 짧고, 입력 전압(Vinp)과 기준 전압의 크기 차이가 작을수록 일정 시간(T)은 길 수 있다. 이에 따라, 비교기는 입력 전압(Vinp)이 제1 및 제2 기준 전압(Vinn1, Vinn2) 중 어느 전압과 가까운지 비교 할 수 있다.

[0049] 예를 들어, 입력 전압(Vinp)과 제1 기준 전압(Vinn1)에 따른 출력 전압의 차이가 0.3V일 때는 비교기가 동작하기까지 제1 시간(T1)이 걸리고, 입력 전압(Vinp)과 제2 기준 전압(Vinn2)에 따른 출력 전압의 차이가 0.1V일 때는 비교기가 동작하기까지 제2 시간(T2)이 걸린다면 제1 시간(T1)은 제2 시간(T2)보다 짧을 수 있다. 즉, 제2 시간(T2)이 제1 시간(T1)보다 길다는 점을 고려하여, 비교기는 입력 전압이 제2 기준 전압(Vinn2)과 더 가깝다고 판단할 수 있다.

[0050] 입력 전압(Vinp)이 같고 입력 전압(Vinp)과 제1 기준 전압(Vinn1)의 차이가 입력 전압(Vinp)과 제2 기준 전압(Vinn2)의 차이보다 클 때, 제1 기준 전압(Vinn1)을 입력받는 비교기의 동작이 제2 기준 전압(Vinn2)을 입력받는 비교기의 동작보다 빠를 수 있다. 즉, 제1 기준 전압(Vinn1)을 입력받는 비교기의 동작이 제2 기준 전압(Vinn2)을 입력받는 비교기의 동작보다 빠르다는 것을 통해 입력 전압(Vinp)은 제1 기준 전압(Vinn1)보다 제2 기준 전압(Vinn2)과 더 가깝다고 판단할 수 있다.

[0051] 도 4는 본 발명의 일 실시예에 따른 2.6bit/cycle SAR 아날로그 디지털 변환기의 구조의 실험 결과를 보여주는 도이다.

[0052] 도 4를 참조하면, 첫번째 변환 구간은 입력 전압(Vinp)이 제2 하프 기준 전압 내지 제2 기준 전압(Vinn2)의 범위에 해당될 경우이다.

[0053] 좀 더 자세하게, 제2 비교기(CMP2)의 출력 전압(V_{CMP2})이 제3 비교기(CMP3)의 출력 전압(V_{CMP3})보다 빨리 0이 되는 것을 보아, 제2 비교기(CMP2)의 입력 전압(Vinp) 차이가 제3 비교기(CMP3)의 입력 전압(Vinp) 차이보다 크다고 판단할 수 있다. 이에 따라, 제3 비교기(CMP3)에 입력되는 기준 전압과 입력 전압(Vinp)이 더 가깝다고 판단할 수 있다. 이때, 제3 비교기(CMP3)에 입력되는 기준 전압은 제2 기준 전압(Vinn2)일 수 있다.

[0054] 제2 및 제3 비교기(CMP2, CMP3)의 출력 전압(V_{CMP2}, V_{CMP3})을 통해 입력 전압(Vinp)은 0 내지 제2 기준 전압(Vinn2) 범위 내에 해당한다고 판단할 수 있으며, 이때의 제1 비교기 내지 제3 비교기(CMP1, CMP2, CMP3)는 각각 1, 1, 0을 출력할 수 있다.

[0055] 입력 전압(Vinp)이 0 내지 제2 기준 전압(Vinn2) 범위 내에 해당하므로 제2 및 제3 비교기(CMP2, CMP3)는 인터폴레이터 2에 영향을 미칠 수 있다. 도 4의 첫번째 변환 구간에서는 입력 전압(Vinp)이 제2 하프 기준 전압 내지 제2 기준 전압(Vinn2) 범위 내에 해당하므로 제2 인터폴레이터는 1이 출력될 수 있다.

[0056] 두번째 변환 구간은 입력 전압(Vinp)이 제1 하프 기준 전압 내지 제1 기준 전압(Vinn1) 범위에 해당될 경우이다.

[0057] 좀 더 자세하게, 제2 비교기의 출력 전압(V_{CMP2})이 제1 비교기(CMP1)의 출력 전압(V_{CMP1})보다 빨리 0이되는 것을 보아, 제2 비교기(CMP2)의 입력 전압(Vinp) 차이가 제1 비교기(CMP1)의 입력 전압(Vinp) 차이보다 크다고 판단할 수 있다. 이에 따라, 제1 비교기(CMP1)에 입력되는 제1 기준 전압(Vinn1)과 입력 전압(Vinp)이 더 가깝다고 판단할 수 있다.

[0058] 입력 전압(Vinp)은 제1 및 제2 비교기(CMP1, CMP2)의 출력 전압(V_{CMP1}, V_{CMP2})을 통해 제1 기준 전압(Vinn1) 내지 0V 범위 내에 해당한다고 판단할 수 있으며, 이때의 제1 비교기 내지 제3비교기는 1, 0, 0을 출력할 수 있다.

[0059] 입력 전압(Vinp)이 제1 기준 전압 내지 0V 범위 내에 해당하므로 제1 및 제2 비교기(CMP1, CMP2)는 제1 인터폴레이터에 영향을 미칠 수 있다. 두번째 변환 구간의 경우, 입력 전압(Vinp)이 제1 기준 전압(Vinn1) 내지 제1 하프 기준 전압 범위 내에 해당하므로 인터폴레이터1은 0을 출력할 수 있다.

[0060] 도 5는 본 발명의 일 실시예에 따른 3bit/cycle SAR 아날로그 디지털 변환기의 구조를 보여주는 도이다.

[0061] 도 5를 참조하면, 3bit/cycle SAR 아날로그 디지털 변환기는 제1 내지 제3 제어 로직, 제1 내지 제4 비교기(210, 220, 230, 240), 및 제1 내지 제3 인터폴레이터(310, 320, 330)를 포함할 수 있다.

[0062] 제1 제어 로직(110)은 입력 전압(Vinp)을 모든 비교기에 제공할 수 있다. 제2 제어 로직은 제1 및 제4 기준 전압(Vinn1, Vinn4)을 제1 및 제4 비교기(210, 220, 230, 240)에 각각 제공할 수 있다. 제3 제어 로직(130)은 제

2 및 제3 기준 전압(Vinn2, Vinn3)을 제2 및 제3 비교기(220, 230)에 각각 제공할 수 있다.

[0063] 이때, 제1 및 제4 기준 전압(Vinn1, Vinn4)은 서로 같은 크기를 가지며, 제2 및 제3 기준 전압(Vinn2, Vinn3)은 서로 같은 크기를 가질 수 있다. 예를 들어, 제1 기준 전압(Vinn1)은 -0.6V이고, 제2 기준 전압(Vinn2)은 -0.8V, 제3 기준 전압(Vinn3)은 0.8V, 제4 기준 전압(Vinn4)은 0.6V일 수 있다.

[0064] 제1 비교기(210)는 입력 전압(Vinp)과 제1 기준 전압(Vinn1)을 입력 받고, 제2 비교기(220)는 입력 전압(Vinp)과 제2 기준 전압(Vinn2)을 입력 받고, 제3 비교기(230)는 입력 전압(Vinp)과 제3 기준 전압(Vinn3)을 입력 받으며, 제4 비교기(240)는 입력 전압(Vinp)과 제4 기준 전압(Vinn4)을 입력 받을 수 있다.

[0065] 이때, 제1 기준 전압(Vinn1)은 제2 기준 전압(Vinn2)의 3배의 크기를 가지고, 제4 기준 전압(Vinn4)은 제3 기준 전압(Vinn3)의 3배의 크기를 가질 수 있다. 예를 들어, 제1 기준 전압(Vinn1)이 3Vinn/4이면 제2 기준 전압(Vinn2)은 Vinn/4이고 제3 기준 전압(Vinn3)은 Vinp/4이며, 제4 기준 전압(Vinn4)은 3Vinp/4일 수 있다.

[0066] 이에 따라, 제1 내지 제4 비교기(210, 220, 230, 240)는 입력 전압(Vinp)이 제1 내지 제4 기준 전압(Vinn1, Vinn2, Vinn3, Vinn4)보다 큰지 작은지의 여부를 판단할 수 있다.

[0067] 입력 전압(Vinp)이 제1 기준 전압(Vinn1) 미만일 경우에 제1 내지 제4 비교기(210, 220, 230, 240)는 0을 출력할 수 있다.

[0068] 입력 전압(Vinp)이 제1 기준 전압(Vinn1)과 제2 기준 전압(Vinn2) 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 0, 제3 비교기(230)는 0, 제4 비교기(240)는 0을 출력할 수 있다.

[0069] 입력 전압(Vinp)이 제2 기준 전압(Vinn2)과 0V 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 1, 제3 비교기(230)는 0, 제4 비교기(240)는 0을 출력할 수 있다.

[0070] 입력 전압(Vinp)이 0V과 제3 기준 전압(Vinn3) 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 1, 제3 비교기(230)는 0, 제4 비교기(240)는 0을 출력할 수 있다.

[0071] 입력 전압(Vinp)이 제3 기준 전압(Vinn3)과 제4 기준 전압(Vinn4) 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 1, 제3 비교기(230)는 1, 제4 비교기(240)는 0을 출력할 수 있다.

[0072] 입력 전압(Vinp)이 제4 기준 전압(Vinn4) 초과일 경우에 제1 내지 제4 비교기(210, 220, 230, 240)는 1을 출력할 수 있다.

[0073] 제1 인터폴레이터(310)는 제1 비교기(210)와 제2 비교기(220) 사이에 연결되고, 제2 인터폴레이터(320)는 제2 비교기(220)와 제3 비교기(230) 사이에 연결되며, 제3 인터폴레이터(330)는 제3 비교기(230)와 제4 비교기(240) 사이에 연결될 수 있다.

[0074] 입력 전압(Vinp)이 제1 기준 전압(Vinn1)과 제1 하프 기준 전압 ((Vinn1+Vinn2)/2) 사이일 경우에 제1 인터폴레이터(310)는 0을 출력할 수 있다.

[0075] 입력 전압(Vinp)이 제1 하프 기준 전압 ((Vinn1+Vinn2)/2)과 제2 기준 전압(Vinn2) 사이일 경우에 제1 인터폴레이터(310)는 1을 출력할 수 있다.

[0076] 입력 전압(Vinp)이 제2 기준 전압(Vinn2)과 제2 하프 기준 전압 ((Vinn2+Vinn3)/2)사이 일 경우에 제2 인터폴레이터(320)는 0을 출력할 수 있다.

[0077] 입력 전압(Vinp)이 제2 하프 기준 전압 ((Vinn2+Vinn3)/2)과 제3 기준 전압 (Vinn3) 사이일 경우에 제2 인터폴레이터(320)는 1을 출력할 수 있다.

[0078] 입력 전압(Vinp)이 제3 기준 전압(Vinn3)과 제3 하프 기준 전압 ((Vinn3+Vinn4)/2) 사이일 경우에 제3 인터폴레이터(330)는 0을 출력할 수 있다.

[0079] 입력 전압(Vinp)이 제3 하프 기준 전압 ((Vinn3+Vinn4)/2)과 제4 기준 전압(Vinn4) 사이일 경우에 제3 인터폴레이터(330)는 1을 출력할 수 있다.

[0080] 상술한 바와 같이, 제1 내지 제3 제어 로직, 제1 내지 제4 비교기(210, 220, 230, 240), 및 제1 내지 제3 인터폴레이터(310, 320, 330)를 포함하는 SAR 아날로그 디지털 변환기의 경우에는 총 7개의 전압보다 큰지 작은지를 구분함으로써 8구역에 대한 판단이 가능해진다. 이에 따라 3bit 분해가 가능해질 수 있다.

[0081] 도 6은 본 발명의 일 실시예에 따른 3bit/cycle SAR 아날로그 디지털 변환기에 다중 인터폴레이터가 연결된 구

조를 보여주는 도이다.

[0082] 도 6을 참조하면, 3bit/cycle SAR 아날로그 디지털 변환기는 제1 및 제2 제어 로직(110, 120), 제1 내지 제3 비교기(210, 220, 230), 제1 내지 제4 인터폴레이터(310, 320, 330, 340), 및 제1 내지 제4 딜레이 로직(410, 420, 430, 440)을 포함할 수 있다.

[0083] 제1 제어 로직(110)은 입력 전압(Vinp)을 제1 내지 제3 비교기(210, 220, 230)에 제공할 수 있다. 제2 제어 로직은 제1 및 제2 기준 전압(Vinn1, Vinn2)을 각각 제1 및 제3 비교기(210, 220, 230)에 제공하고, 제2 비교기(220)에 0V를 제공할 수 있다. 이때, 제1 및 제2 기준 전압(Vinn1, Vinn2)은 서로 같은 크기를 가지며, 제1 기준 전압(Vinn1)은 음수이고, 제2 기준 전압(Vinn2)은 양수일 수 있다.

[0084] 비교기는 제1 내지 제3 비교기(210, 220, 230)를 포함할 수 있다. 제1 비교기(210)는 입력 전압(Vinp)과 제1 기준 전압(Vinn1)을 입력 받고, 제2 비교기(220)는 입력 전압(Vinp)과 0V를 입력받으며, 제3 비교기(230)는 입력 전압(Vinp)과 제2 기준 전압(Vinn2)을 입력받을 수 있다.

[0085] 입력 전압(Vinp)이 제1 기준 전압(Vinn1) 미만일 경우에 제1 내지 제3 비교기(210, 220, 230)는 0을 출력할 수 있다.

[0086] 입력 전압(Vinp)이 제1 기준 전압(Vinn1)과 0V 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 0, 제3 비교기(230)는 0을 출력할 수 있다.

[0087] 입력 전압(Vinp)이 0V와 제2 기준 전압(Vinn2) 사이일 경우에 제1 비교기(210)는 1, 제2 비교기(220)는 1, 제3 비교기(230)는 0을 출력할 수 있다.

[0088] 입력 전압(Vinp)이 제2 기준 전압(Vinn2) 초과일 경우에 제1 내지 제3 비교기(210, 220, 230)는 1을 출력할 수 있다.

[0089] 인터폴레이터는 제1 내지 제4 인터폴레이터(310, 320, 330, 340)를 포함할 수 있다. 제1 및 제2 인터폴레이터(310, 320)는 제1 비교기(210)와 제2 비교기(220) 사이에 연결되고, 제3 및 제4 인터폴레이터(330, 340)는 제2 비교기(220)와 제3 비교기(230) 사이에 연결될 수 있다.

[0090] 입력 전압(Vinp)이 제1 쿼터 기준 전압(3Vinn1/4)과 제2 쿼터 기준 전압 (2Vinn1/4) 사이일 경우에 제1 및 제2 인터폴레이터(310, 320)는 0을 출력하고, 제3 및 제4 인터폴레이터(330, 340)는 동작하지 않을 수 있다.

[0091] 입력 전압(Vinp)이 제2 쿼터 기준 전압 (2Vinn1/4) 과 제3 쿼터 기준 전압 (Vinn1/4) 사이일 경우에 제1 및 제2 인터폴레이터(310, 320)는 각각 1과 0을 출력하고, 제3 및 제4 인터폴레이터(330, 340)는 동작하지 않을 수 있다.

[0092] 입력 전압(Vinp)이 제3 기준 전압 (Vinn1/4) 과 0V 사이일 경우에 제1 및 제2 인터폴레이터(310, 320)는 모두 1을 출력하고, 제3 및 제4 인터폴레이터(330, 340)는 동작하지 않을 수 있다.

[0093] 입력 전압(Vinp)이 0V와 제4 쿼터 기준 전압 (Vinn2/4) 사이일 경우에 제1 및 제2 인터폴레이터(310, 320)는 동작하지 않고, 제3 및 제4 인터폴레이터(330, 340)는 모두 0을 출력할 수 있다.

[0094] 입력 전압(Vinp)이 제4 쿼터 기준 전압 (Vinn2/4)과 제5 쿼터 기준 전압 (2Vinn2/4) 사이일 경우에 제1 및 제2 인터폴레이터(310, 320)는 동작하지 않고, 제3 및 제4 인터폴레이터(330, 340)는 각각 1과 0을 출력할 수 있다.

[0095] 입력 전압(Vinp)이 제5 쿼터 기준 전압 (2Vinn2/4) 과 제6 쿼터 기준 전압(3Vinn2/4) 사이일 경우에 제1 및 제2 인터폴레이터(310, 320)는 동작하지 않고, 제3 및 제4 인터폴레이터(330, 340)는 모두 1을 출력할 수 있다.

[0096] 제1 내지 제4 딜레이 로직(410, 420, 430, 440)은 제1 내지 제3 비교기(210, 220, 230)의 출력에 딜레이를 주어, 상술한 바와 같이 제1 내지 제4 인터폴레이터(310, 320, 330, 340)가 중간값을 가지지 않는 전압에 대해서도 구분이 가능하도록 할 수 있다.

[0097] 제1 딜레이 로직(410)은 제1 인터폴레이터(310)의 앞단에 연결되고, 제2 딜레이 로직(420)은 제2 인터폴레이터(320)의 앞단에 연결되고, 제3 딜레이 로직(430)은 제3 인터폴레이터(330)의 앞단에 연결되며, 제4 딜레이 로직(440)은 제4 인터폴레이터(340)의 앞단에 연결될 수 있다.

[0098] 제1 및 제2 딜레이 로직(410, 420)은 제1 및 제2 비교기(210, 220)의 출력을 입력받고, 제3 및 제4 딜레이 로직(430, 440)은 제2 및 제3 비교기(220, 230)의 출력을 입력받을 수 있다.

[0099] 상술한 바와 같이, 제1 내지 제3 제어 로직, 제1 내지 제4 비교기(210, 220, 230, 240), 및 제1 내지 제3 인터폴레이터(310, 320, 330)를 포함하는 SAR 아날로그 디지털 변환기의 경우에는 총 7개의 전압보다 큰지 작은지를 구분함으로써 8구역에 대한 판단이 가능해진다. 이에 따라 3bit 분해가 가능해질 수 있다.

[0100] 도 7은 본 발명의 일 실시예에 따른 SAR 아날로그 디지털 변환기의 동작방법을 도시한 순서도이다.

[0101] S100 단계에서, 복수 개의 제어 로직은 입력 전압, 제1 및 제2 기준 전압 중 적어도 하나를 제어할 수 있다. 예를 들어, 비교기가 4개일 경우에 복수 개의 제어 로직은 각각의 비교기에 제1 내지 제4 기준 전압을 제공할 수 있다. 비교기가 3개일 경우에 복수 개의 제어 로직은 맨 위와 맨 아래에 배치된 비교기에 각각 제1 및 제2 기준 전압을 제공하고 가운데 배치된 비교기에는 0V의 전압을 제공할 수 있다.

[0102] S200 단계에서, 복수 개의 비교기는 제1 및 제2 기준 전압과 입력 전압을 비교하여 입력 전압이 해당하는 제1 범위를 판단할 수 있다. 예를 들어, 복수 개의 비교기는 제1 기준 전압과 제2 기준 전압 각각을 입력 전압과 비교하여, 시간 차이에 기반하여 입력 전압이 어느 전압과 가까운지를 판단하여 제1 범위를 판단할 수 있다.

[0103] S300 단계에서, 복수 개의 인터폴레이터는 제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 입력 전압을 비교하여 입력 전압이 해당하는 제2 범위를 판단할 수 있다. 예를 들어, 제1 범위가 0 내지 제2 기준 전압 사이라면, 인터폴레이터는 입력 전압이 0 내지 제2 하프 기준 전압 사이인지 제2 하프 기준 전압 내지 제2 기준 전압 사이인지 판단하여 제2 범위를 판단할 수 있다.

[0104] 본 명세서와 도면에 개시된 실시 예들은 본 개시의 내용을 쉽게 설명하고, 이해를 돕기 위해 특정 예를 제시한 것일 뿐이며, 본 개시의 범위를 한정하고자 하는 것은 아니다. 따라서 본 개시의 범위는 여기에 개시된 실시 예들 이외에도 본 개시의 기술적 사상을 바탕으로 도출되는 모든 변경 또는 변형된 형태가 본 개시의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0105] 10 : SAR 아날로그 디지털 변환기

100 : 복수 개의 제어 로직

110 : 제1 제어 로직

120 : 제2 제어 로직

130 : 제3 제어 로직

200 : 복수 개의 비교기

210 : 제1 비교기

220 : 제2 비교기

230 : 제3 비교기

240 : 제4 비교기

300 : 복수 개의 인터폴레이터

310 : 제1 인터폴레이터

320 : 제2 인터폴레이터

330 : 제3 인터폴레이터

340 : 제4 인터폴레이터

410 : 제1 딜레이 로직

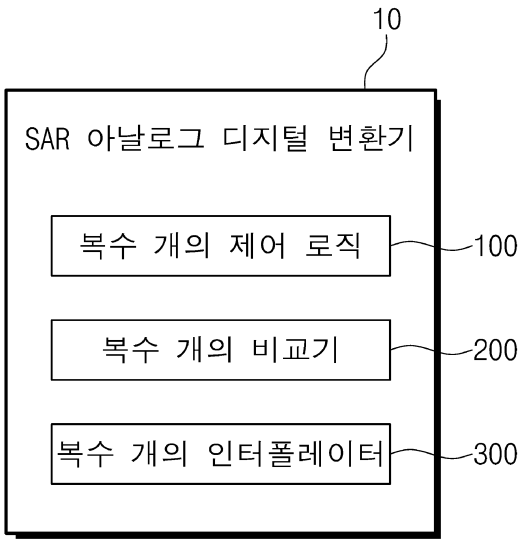
420 : 제2 딜레이 로직

430 : 제3 딜레이 로직

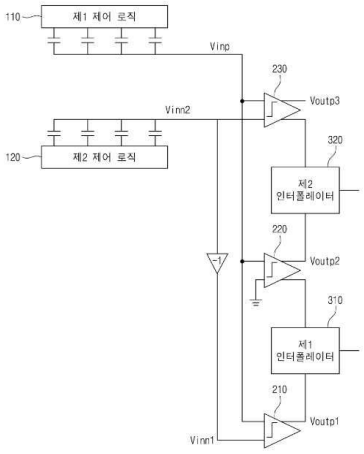
440 : 제4 딜레이 로직

도면

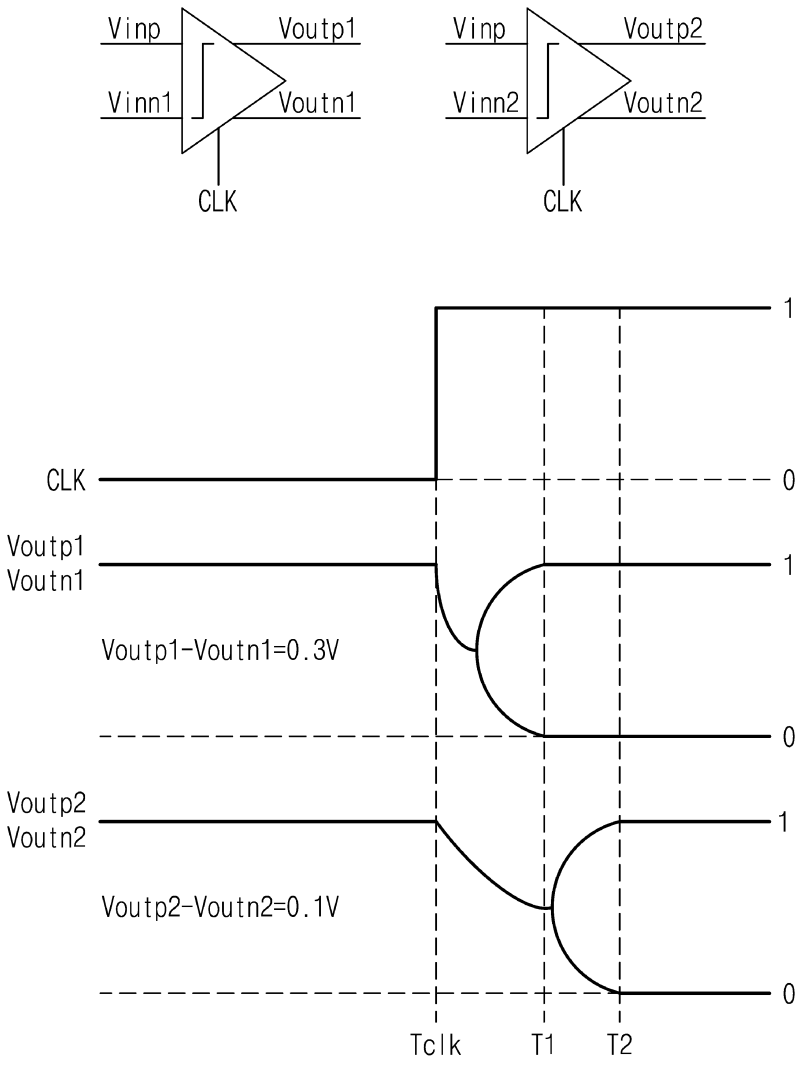
도면1


10
SAR 아날로그 디지털 변환기
복수 개의 제어 로직
100
복수 개의 비교기
200
복수 개의 인터폴레이터
300

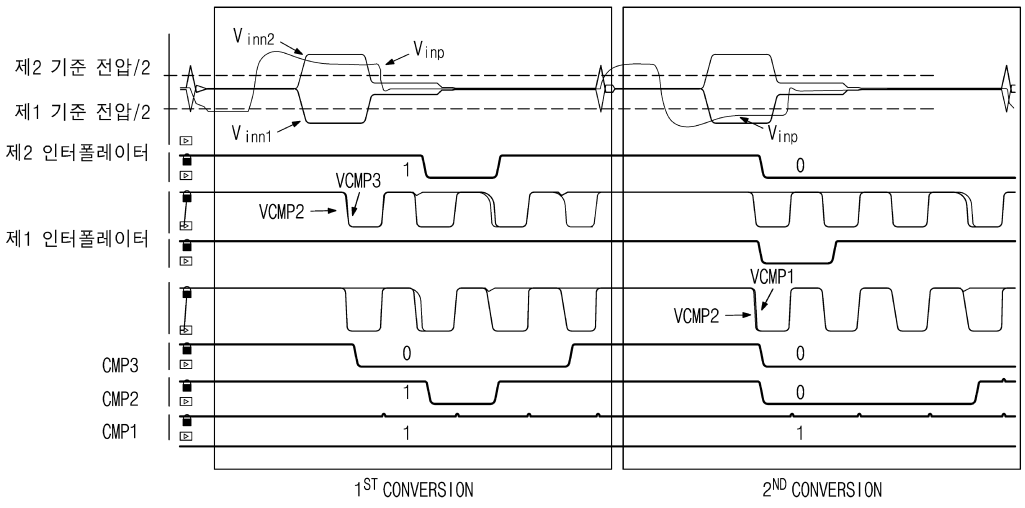
도면2


110
제1 제어 로직
Vinp
230
Voutp3
Vinn2
320
120
제2 제어 로직
제2 인터폴레이터
220
Voutp2
310
제1 인터폴레이터
210
Voutp1
Vinn1

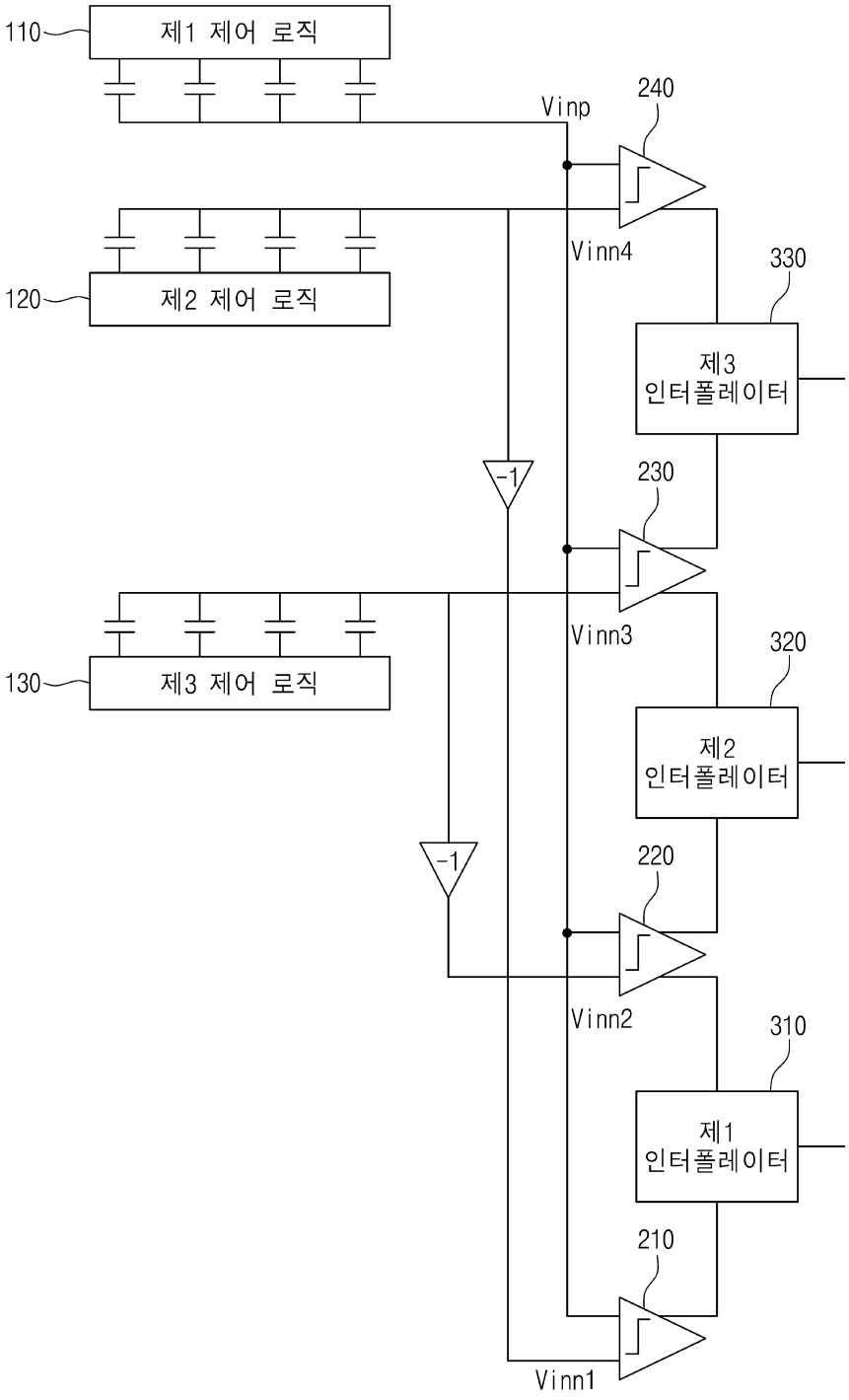
도면3


Vinp
Voutp1
Vinn1
Voutn1
CLK
Vinp
Voutp2
Vinn2
Voutn2
CLK
CLK
Voutp1
Voutn1
Voutp1-Voutn1=0.3V
Voutp2
Voutn2
Voutp2-Voutn2=0.1V
1
0
1
0
1
0
Tclk
T1
T2

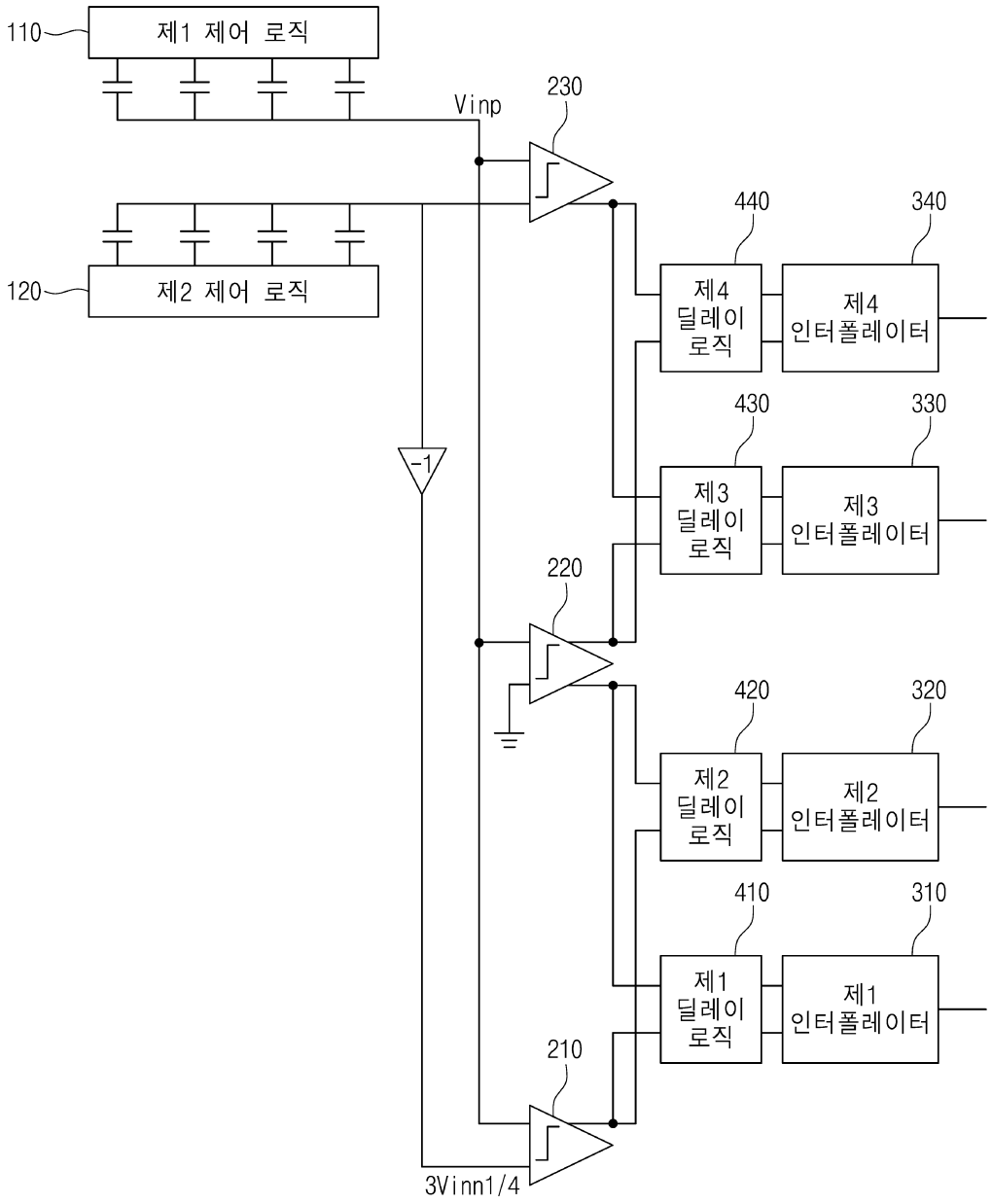
도면4


제2 기준 전압/2
제1 기준 전압/2
제2 인터폴레이터
제1 인터폴레이터
CMP3
CMP2
CMP1
Vinn2
Vinp
Vinn1
Vinp
VCMP3
VCMP2
VCMP1
VCMP2
1ST CONVERSION
2ND CONVERSION

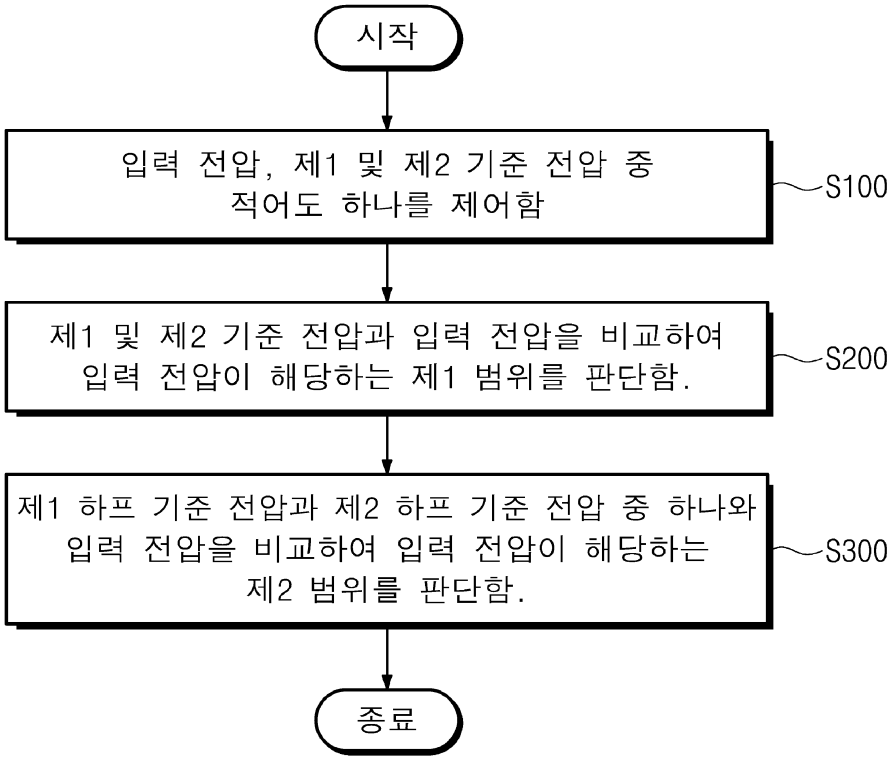
도면5


110
제1 제어 로직
Vinp
240
Vinn4
330
제3
인터폴레이터
120
제2 제어 로직
-1
230
Vinn3
320
제2
인터폴레이터
130
제3 제어 로직
-1
220
Vinn2
310
제1
인터폴레이터
210
Vinn1

도면6


110
제1 제어 로직
120
제2 제어 로직
Vinp
230
-1
220
210
3Vinn1/4
440
제4
딜레이
로직
340
제4
인터폴레이터
430
제3
딜레이
로직
330
제3
인터폴레이터
420
제2
딜레이
로직
320
제2
인터폴레이터
410
제1
딜레이
로직
310
제1
인터폴레이터

도면7


시작
입력 전압, 제1 및 제2 기준 전압 중 적어도 하나를 제어함
S100
제1 및 제2 기준 전압과 입력 전압을 비교하여 입력 전압이 해당하는 제1 범위를 판단함.
S200
제1 하프 기준 전압과 제2 하프 기준 전압 중 하나와 입력 전압을 비교하여 입력 전압이 해당하는 제2 범위를 판단함.
S300
종료