(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7029683号
(P7029683)

(45)発行日　令和4年3月4日(2022.3.4)

(24)登録日　令和4年2月24日(2022.2.24)

(51)国際特許分類

		FI	
H04N	*5/363(2011.01)*	H04N	5/363
H04N	*5/3745(2011.01)*	H04N	5/3745

請求項の数　5　（全42頁）

(21)出願番号　特願2020-133236(P2020-133236)
(22)出願日　令和2年8月5日(2020.8.5)
(62)分割の表示　特願2017-219972(P2017-219972)の分割
原出願日　平成27年10月21日(2015.10.21)
(65)公開番号　特開2020-188511(P2020-188511A)
(43)公開日　令和2年11月19日(2020.11.19)
審査請求日　令和2年8月5日(2020.8.5)
(31)優先権主張番号　特願2014-264696(P2014-264696)
(32)優先日　平成26年12月26日(2014.12.26)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　314012076
パナソニックＩＰマネジメント株式会社
大阪府大阪市中央区城見２丁目１番６１号
(74)代理人　100101683
弁理士　奥田 誠司
(74)代理人　100155000
弁理士　喜多 修市
(74)代理人　100180529
弁理士　梶谷 美道
(74)代理人　100125922
弁理士　三宅 章子
(74)代理人　100188813
弁理士　川喜田 徹
(74)代理人　100184985

最終頁に続く

(54)【発明の名称】　撮像装置

(57)【特許請求の範囲】
【請求項１】
入射光を光電変換し電気信号を生成する光電変換部と、
前記光電変換部に電気的に接続されるゲートを有し、前記電気信号を増幅する第１のトランジスタと、
ソースおよびドレインの一方が、前記第１のトランジスタのソースおよびドレインの一方に電気的に接続される第２のトランジスタと、
ソースおよびドレインの一方が、前記第２のトランジスタのソースおよびドレインの他方に電気的に接続され、ソースおよびドレインの他方が前記光電変換部に電気的に接続される第３のトランジスタと、
第１端子および第２端子を有し、前記第１端子は前記第２のトランジスタのソースおよびドレインの前記他方に電気的に接続され、前記第２端子に第１電圧が印加される第１容量素子と、
第３端子および第４端子を有し、前記第３端子は前記第２のトランジスタのソースおよびドレインの前記他方に電気的に接続され、前記第４端子は前記光電変換部に電気的に接続される第２容量素子と、
を備える、撮像装置。
【請求項２】
前記第１容量素子の容量値は、前記第２容量素子の容量値よりも大きい、請求項１に記載の撮像装置。

【請求項３】
入射光を光電変換し電気信号を生成する光電変換部と、
前記光電変換部に電気的に接続されるゲートを有し、前記電気信号を増幅する第１のトランジスタと、
ソースおよびドレインの一方が、前記第１のトランジスタのソースおよびドレインの一方に電気的に接続される第２のトランジスタと、
ソースおよびドレインの一方が、前記第２のトランジスタのソースおよびドレインの他方に電気的に接続され、ソースおよびドレインの他方が前記光電変換部に電気的に接続される第３のトランジスタと、
第１端子および第２端子を有し、前記第１端子は前記第２のトランジスタのソースおよびドレインの前記他方に電気的に接続され、前記第２端子に第１電圧が印加される第１容量素子と、
を備え、
前記第１容量素子の容量値は、前記第２のトランジスタと前記第３のトランジスタとの間の第１ノードと、前記第３のトランジスタと前記光電変換部との間の第２ノードとの間の容量の容量値よりも大きい、撮像装置。
【請求項４】
前記第１のトランジスタのソースおよびドレインの前記一方に電気的に接続される定電流源を備える、請求項１から３のいずれか一項に記載の撮像装置。
【請求項５】
前記第１のトランジスタのソースおよびドレインの他方に電気的に接続され、少なくとも２つの電圧を切り替えて供給する電圧切替回路を備える、請求項１から４のいずれか一項に記載の撮像装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本願は、撮像装置に関する。
【背景技術】
【０００２】
近年、ビデオカメラ、デジタルスチルカメラ、監視カメラおよび車載カメラなど、様々な製品分野で、撮像装置（撮像素子）が広く使用されている。撮像素子として、ＣＣＤ（Ｃｈａｒｇｅ Ｃｏｕｐｌｅｄ Ｄｅｖｉｃｅ）型固体撮像素子またはＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）型固体撮像素子が用いられる。中でも、ＣＭＯＳ型固体撮像素子が主流となってきている。ＣＭＯＳ型固体撮像素子は、汎用のＣＭＯＳプロセスを用いて製造できるので、既存の設備を利用でき、撮像素子を安定的に供給できる。また、周辺回路を同一チップ内に実装できるので、撮像素子から信号を高速に読み出すことができ、高速化・高解像度化を図れる。このように、ＣＭＯＳ型固体撮像素子は、多くの利点を有している。
【０００３】
ＣＭＯＳ型固体撮像素子には、例えば特許文献１に開示されているＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ Ｄｏｕｂｌｅ Ｓａｍｐｌｉｎｇ）が広く用いられている。
【先行技術文献】
【特許文献】
【０００４】
【文献】特開２０１０－１２９７０５号公報
特開２００８－２８５１６号公報
特開２０１４－７８８７０号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】

撮像装置の分野においては、ノイズ低減の要求がある。特に、リセット時に発生するｋＴＣノイズ（「リセットノイズ」とも呼ばれる）を低減したいという要求がある。本願の限定的ではないある例示的な一実施形態は、リセットノイズを効果的に抑制できる撮像装置を提供する。

【課題を解決するための手段】

【０００６】

上記課題を解決するために、本開示の一態様は、入射光を光電変換する光電変換部と、光電変換部の信号を検出する信号検出回路と、を含む単位画素セルを備え、信号検出回路は、光電変換部の信号を増幅する第１のトランジスタと、第１のトランジスタの出力を選択的に外部に出力する第２のトランジスタと、光電変換部の信号を第１のトランジスタを介さずに負帰還するフィードバック回路と、を有する撮像装置を含む。

【０００７】

本開示の他の一態様は、入射光を光電変換する光電変換部と、光電変換部の信号を検出する信号検出回路と、を含む単位画素セルを備え、信号検出回路は、光電変換部の信号を増幅する第１のトランジスタと、第１のトランジスタの出力を選択的に外部に出力する第２のトランジスタと、光電変換部の信号を第１のトランジスタを介して負帰還するフィードバック回路と、を有する撮像装置を含む。

【０００８】

なお、包括的又は具体的な態様は、素子、デバイス、システム、集積回路、及び方法で実現されてもよい。また、包括的又は具体的な態様は、素子、デバイス、システム、集積回路、及び方法の任意な組み合わせで実現されてもよい。

【０００９】

開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる。効果および／または利点は、明細書および図面に開示の様々な実施形態や特徴によって個々に提供され、これらの１つ以上を得るために全てを必要とはしない。

【発明の効果】

【００１０】

本開示の一態様によれば、リセットノイズを効果的に抑制できる撮像装置を提供できる。

【図面の簡単な説明】

【００１１】

【図１】図１は、典型的な撮像装置の画素回路を示す模式図である。

【図２】図２は、典型的な撮像装置の画素回路の動作の一例を示すタイミングチャートである。

【図３】図３は、第１の実施形態に係る撮像装置１００の、例示的な回路構成を示す模式図である。

【図４】図４は、第１の実施形態に係る撮像装置１００の単位画素セル１１０Ａの、例示的な回路構成を示す模式図である。

【図５Ａ】図５Ａは光検出器１の構成例を示す模式図である。

【図５Ｂ】図５Ｂは光検出器１の構成例を示す模式図である。

【図６】図６は、第１の実施形態に係る読み出し回路５０Ａの、例示的な回路構成を示す模式図である。

【図７】図７は、読み出し回路５０Ａの動作の一例を示すタイミングチャートである。

【図８】図８は、読み出し回路５０Ａの動作の他の一例を示すタイミングチャートである。

【図９】図９は、第２の実施形態に係る撮像装置１００の単位画素セル１１０Ｂの、例示的な回路構成を示す模式図である。

【図１０】図１０は、第２の実施形態に係る読み出し回路５０Ｂの、例示的な回路構成を示す模式図である。

【図１１】図１１は、読み出し回路５０Ｂの動作の一例を示すタイミングチャートである。

【図１２】図１２は、第２の実施形態に係る読み出し回路５０Ｂの、他の例示的な回路構成を示す模式図である。

【図１３】図１３は、第２の実施形態に係る読み出し回路５０Ｂの、さらに他の例示的な回路構成を示す模式図である。
【図１４】図１４は、第２の実施形態に係る読み出し回路５０Ｂの、さらに他の例示的な回路構成を示す模式図である。
【図１５】図１５は、第２の実施形態に係る読み出し回路５０Ｂの、さらに他の例示的な回路構成を示す模式図である。
【図１６】図１６は、第２の実施形態に係る読み出し回路５０Ｂの、さらに他の例示的な回路構成を示す模式図である。
【図１７】図１７は、読み出し回路５０Ｂの動作の他の一例を示すタイミングチャートである。
【図１８】図１８は、第３の実施形態に係る撮像装置１００の単位画素セル１１０Ｃの、例示的な回路構成を示す模式図である。
【図１９Ａ】図１９Ａは、第３の実施形態に係る読み出し回路５０Ｃの、例示的な回路構成を示す模式図である。
【図１９Ｂ】図１９Ｂは、第３の実施形態に係る読み出し回路５０Ｃの、他の例示的な回路構成を示す模式図である。
【図２０】図２０は、読み出し回路５０Ｃの動作の一例を示すタイミングチャートである。
【図２１Ａ】図２１Ａは、第３の実施形態に係る読み出し回路５０Ｃの、さらに他の例示的な回路構成を示す模式図である。
【図２１Ｂ】図２１Ｂは、第３の実施形態に係る読み出し回路５０Ｃの、さらに他の例示的な回路構成を示す模式図である。
【図２２Ａ】図２２Ａは、第３の実施形態に係る読み出し回路５０Ｃの、さらに他の回路構成を示す模式図である。
【図２２Ｂ】図２２Ｂは、第３の実施形態に係る読み出し回路５０Ｃの、さらに他の回路構成を示す模式図である。
【図２３】図２３は、第４の実施形態に係る撮像装置１００の単位画素セル１１０Ｄの、例示的な回路構成を示す模式図である。
【図２４】図２４は、第４の実施形態に係る読み出し回路５０Ｄの、例示的な回路構成を示す模式図である。
【図２５】図２５は、読み出し回路５０Ｄの動作の一例を示すタイミングチャートである。
【図２６】図２６は、読み出し回路５０Ｄの動作の他の一例を示すタイミングチャートである。
【図２７】図２７は、第４の実施形態に係る読み出し回路５０Ｄの、他の例示的な回路構成を示す模式図である。
【図２８】図２８は、第５の実施形態に係る撮像装置１００の単位画素セル１１０Ｅの、例示的な回路構成を示す模式図である。
【図２９】図２９は、第５の実施形態に係る撮像装置１００の単位画素セル１１０Ｅの、他の例示的な回路構成を示す模式図である。
【図３０】図３０は、第５の実施形態に係る読み出し回路５０Ｅの、例示的な回路構成を示す模式図である。
【図３１】図３１は、読み出し回路５０Ｅの動作の一例を示すタイミングチャートである。
【図３２】図３２は、読み出し回路５０Ｅの動作の他の一例を示すタイミングチャートである。
【図３３】図３３は、第５の実施形態に係る読み出し回路５０Ｅの、他の例示的な回路構成を示す模式図である。
【図３４】図３４は、第５の実施形態に係る読み出し回路５０Ｅの、さらに他の回路構成を示す模式図である。
【図３５】図３５は、第６の実施形態に係るカメラシステム６００の構成を示す模式図である。
【発明を実施するための形態】

【００１２】
まず、本開示の実施形態を説明する前に、図１および２を参照して、典型的なＣＤＳを説明する。
【００１３】
図１は、典型的な画素回路を示している。画素回路は、ＰＤ（Ｐｈｏｔｏｄｅｔｅｃｔｏｒ）部と、ＦＤ（Ｆｌｏａｔｉｎｇ　Ｄｉｆｆｕｓｉｏｎ）と、ＴＸトランジスタと、ＲＥＳトランジスタと、ＡＭＰトランジスタと、ＳＥＬトランジスタとを備えている。ＰＤ部は光信号を検出する。ＦＤは、ＰＤ部において発生した電荷を電圧信号に変換し、電荷を一時的に保持する。ＴＸトランジスタは、ＰＤ部からＦＤに電荷信号を転送する。ＲＥＳトランジスタは、ＦＤの電圧をリセットする。ＡＭＰトランジスタは、ＦＤの電圧信号を増幅する。ＳＥＬトランジスタは増幅された信号を出力する。なお、ＰＤ部は、典型的にはフォトダイオードである。
【００１４】
図２は、特許文献１に示される画素回路の、動作の一例を示すタイミングチャートである。時刻ｔ１において、ＲＥＳ信号をローレベルにすることにより、ＲＥＳトランジスタがオフする。時刻ｔ２においてＳＥＬ信号をハイレベルにすることにより、ＳＥＬトランジスタがオンし、リセット電圧が出力される。ＳＥＬトランジスタがオンするとき、リセット電圧にはｋＴＣノイズが含まれるので、時間的な揺らぎが信号内に生じる。その後、時刻ｔ３においてＴＸ信号をハイレベルにして、ＴＸトランジスタをオンする。これにより、ＰＤ部に蓄積された信号電荷が、ＦＤに転送される。次に時刻ｔ４において、ＴＸ信号をローレベルにしてＴＸトランジスタをオフする。これにより、信号電圧が確定される。確定された信号電圧は、リセット電圧を基準として、蓄積された信号電荷に応じた電圧だけ変化した信号となる。そのため、後段回路において、リセット電圧と信号電圧との差分をとることにより、ｋＴＣノイズをキャンセルし、蓄積された信号電荷に応じた電圧だけを検出できる。
【００１５】
このように、ＣＤＳによれば、画素をリセットする際に発生するｋＴＣノイズを大きく抑制できる。これは、ＣＭＯＳ型固体撮像素子が主流となってきている要因の一つである。
【００１６】
以下、本願発明者が考察した上記技術の問題点を説明する。
【００１７】
光信号を検出するＰＤ部において発生した信号電荷のすべてを、ＦＤに転送する。これを完全転送と称する。完全転送を実現するためには、製造プロセスが複雑化し、製造コストが増加するなどの課題がある。
【００１８】
また、最近では、高速で動く物体を、歪むことなく撮像できる固体撮像素子が提案されている。例えば、特許文献２は、グローバルシャッタを実現する画素を備えた固体撮像素子を開示している。
【００１９】
特許文献２の固体撮像素子においては、全画素のＰＤ部の電荷を一括してＦＤに転送する。その後、行毎に信号電圧を順次読み出す。そのため、ＦＤの信号電圧を読み出す前にリセット電圧を読み出すことができない。したがって、特許文献２の固体撮像素子にＣＤＳを適用する場合、ＦＤの信号電圧を読み出した後にＦＤをリセットし、リセット電圧を読み出して、信号電圧とリセット電圧との差分を取ることになる。しかし、この場合には、信号電圧に含まれるリセットノイズと、リセット電圧に含まれるリセットノイズとの間には相関がないので、リセットノイズを除去することが困難となる。その結果、特許文献２の固体撮像素子にＣＤＳを適用したとしても、上記したＣＤＳによる読み出しに比べ、ランダムノイズが大きくなる。
【００２０】
最近では、画素数の増加に起因して１画素あたりの面積が縮小し、ＰＤ部の面積が減少す

る傾向にある。その結果、感度の低下が生じ得る。これを解決する固体撮像素子も提案されている。例えば、特許文献３は、ＰＤ部に有機光電変換膜を用いた有機ＣＭＯＳセンサを開示している。この有機ＣＭＯＳセンサによれば、受光部である有機光電変換膜は、読み出し回路の上方に設けられる。そのため、画素サイズが縮小しても受光部の面積を大きく取ることができ、高感度を実現することができる。

【００２１】

有機ＣＭＯＳセンサでは、ＰＤ部と半導体層とが金属配線を介して電気的に接続されるため、信号電荷を完全転送することができない。そこで典型的には、ＰＤ部とＦＤとを電気的に接続して、ＰＤ部に蓄積された信号電荷による電圧を読み出す方法が採用されている。これにより、不完全転送によるノイズおよび残像の発生が抑止され得る。

【００２２】

具体的には、露光中にＦＤに蓄積された信号電荷の量に応じて、ＦＤの電圧が変化する。信号電荷が蓄積されたときのＦＤの電圧を、信号電圧として読み出す。その後、ＦＤに蓄積された信号電荷をリセットし、このときのＦＤの電圧をリセット電圧として読み出す。そして、信号電圧とリセット電圧との差分が取得される。

【００２３】

しかしながら、この場合には、信号電圧に含まれるリセットノイズと、リセット電圧に含まれるリセットノイズとの間には相関がない。そのため、リセットノイズを除去することができない。その結果、上記したＣＤＳによる読み出しに比べ、ランダムノイズが大きくなる。

【００２４】

このような課題に鑑み、本願発明者は、新規な構造を備えた撮像装置に想到した。本開示の一態様の概要は以下の項目に記載のとおりである。

【００２５】

〔項目１〕

入射光を光電変換する光電変換部と、光電変換部の信号を検出する信号検出回路と、を含む単位画素セルを備え、信号検出回路は、光電変換部の信号を増幅する第１のトランジスタと、第１のトランジスタの出力を選択的に外部に出力する第２のトランジスタと、光電変換部の信号を第１のトランジスタを介さずに負帰還するフィードバック回路と、を有する、撮像装置。

【００２６】

この構成によると、リセットノイズを効果的に抑制できる。

【００２７】

〔項目２〕

第１のトランジスタは、フィードバック回路の帰還経路の外に配置されている、項目１に記載の撮像装置。

【００２８】

〔項目３〕

入射光を光電変換する光電変換部と、光電変換部の信号を検出する信号検出回路と、を含む単位画素セルを備え、信号検出回路は、光電変換部の信号を増幅する第１のトランジスタと、第１のトランジスタの出力を選択的に外部に出力する第２のトランジスタと、光電変換部の信号を第１のトランジスタを介して負帰還するフィードバック回路と、を有する、撮像装置。

【００２９】

この構成によると、リセットノイズを効果的に抑制できる。

【００３０】

〔項目４〕

第１のトランジスタは、フィードバック回路の帰還経路に配置されている、項目３に記載の撮像装置。

【００３１】

〔項目５〕
第１のトランジスタの出力側に定電流源が接続されている、項目３または４に記載の撮像装置。
【００３２】
この構成によると、第１のトランジスタ（増幅トランジスタ）の帯域を広げることができ、ノイズ抑制を高速に行うことが可能となる。
【００３３】
〔項目６〕
光電変換部の信号を初期化するリセットトランジスタをさらに備える、項目１から５のいずれかに記載の撮像装置。
【００３４】
この構成によると、光電変換部の信号を初期化することができ、リセットノイズを高速に抑制できる。
【００３５】
〔項目７〕
信号検出回路は、フィードバック回路が有効である第１の期間と、フィードバック回路が無効である第２の期間との間で増幅率を切り替える、項目１から５のいずれかに記載の撮像装置。
【００３６】
この構成によると、ノイズ抑制時にはノイズ抑制率を向上でき、読み出し時には安定動作が実現できる。
【００３７】
〔項目８〕
リセットトランジスタは、フィードバック回路のループの一部を形成する、項目６に記載の撮像装置。
【００３８】
この構成によると、小面積で、高速に、リセットノイズを効果的に抑制できる。
【００３９】
〔項目９〕
リセットトランジスタは、負帰還トランジスタである、項目８に記載の撮像装置。
【００４０】
この構成によると、小面積で、高速に、リセットノイズを効果的に抑制できる。
【００４１】
〔項目１０〕
光電変換部と基準電圧との間に、互いに直列に接続された第１および第２の容量素子をさらに備える、項目１から９のいずれかに記載の撮像装置。
【００４２】
この構成によると、リセットノイズをより効果的に抑制できる。
【００４３】
〔項目１１〕
フィードバック回路は、第１の容量素子を介して形成される、項目１０に記載の撮像装置。
【００４４】
この構成によると、リセットノイズをさらに効果的に抑制できる。
【００４５】
〔項目１２〕
第２の容量素子の容量は、第１の容量素子の容量よりも大きい、項目１０に記載の撮像装置。
【００４６】
この構成によると、面積が許す限り第２の容量素子の容量を大きくすることによりリセットノイズをより効率的に抑制できる。

【００４７】
〔項目１３〕
リセットトランジスタの一端は、フィードバック回路のループの一部を形成せずに光電変換部に接続されている、項目６に記載の撮像装置。
【００４８】
この構成によると、光電変換部の信号を任意のレベルにリセットできる。
【００４９】
〔項目１４〕
リセットトランジスタの他の一端は、第１のトランジスタの出力に接続されている、項目６に記載の撮像装置。
【００５０】
この構成によると、基準電圧を設けずに光電変換部の信号を第１のトランジスタの出力によってリセットできる。リセットトランジスタをオフする前後における光電変換部の信号の変化を小さくすることができるので、より高速なノイズ抑制が可能となる。
【００５１】
〔項目１５〕
フィードバック回路の帯域を制御する帯域制御トランジスタをさらに備え、
帯域制御トランジスタは、フィードバック回路のループの一部を形成し、
リセットトランジスタの他の一端は、帯域制御トランジスタ接続されている、項目６に記載の撮像装置。
【００５２】
この構成によると、基準電圧を設けずに光電変換部の信号を帯域制御トランジスタの出力によってリセットできる。リセットトランジスタをオフする前後における光電変換部の信号の変化を小さくすることができるので、より高速なノイズ抑制が可能となる。
【００５３】
〔項目１６〕
第２のトランジスタに接続された信号読み出しラインをさらに備え、
第２のトランジスタは、
第１のトランジスタの出力と、信号読み出しラインと、を電気的に切断する第１の期間と、
第１のトランジスタの出力と、信号読み出しラインと、を電気的に接続する第２の期間と、
を有する、項目１から５のいずれかに記載の撮像装置。
【００５４】
この構成によると、第１のトランジスタの出力と信号読み出しラインとが接続されないので、読み出しラインの時定数に依存せず、高速なノイズキャンセルが可能となる。
【００５５】
〔項目１７〕
フィードバック回路の帯域を制御する帯域制御トランジスタをさらに備え、
帯域制御トランジスタは、任意の第１の帯域から、任意の第２の帯域まで、連続的に変化するように制御されることを特徴とする、項目１から５のいずれかに記載の撮像装置。
【００５６】
この構成によると、安定したノイズキャンセルが可能となる。
【００５７】
〔項目１８〕
項目１から１７のいずれかに記載の撮像装置と、
撮像装置に被写体像を結像する光学系と、
撮像装置からの出力信号を処理する信号処理部と、
を備える、カメラシステム。
【００５８】
このカメラシステムによると、読出時のリセットノイズを適切に抑制することができ、良好な画像を取得できる。

【００５９】
以下、図面を参照しながら、本開示による実施形態を説明する。なお、本開示は、以下の実施形態に限定されない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。さらに、一の実施形態と他の実施形態とを組み合わせることも可能である。以下の説明において、同一または類似する構成要素については、同一の参照符号を付している。また、重複する説明は省略する場合がある。
【００６０】
以下で説明する第１から第５の実施形態においては、一部のトランジスタを除き、原則、読み出し回路の各トランジスタは、ＮＭＯＳトランジスタであるとする。当然ながら、ＮＭＯＳトランジスタに代えて、ＰＭＯＳトランジスタを用いてもよい。その場合には、各制御信号の極性は反転する。ＮＭＯＳトランジスタとＰＭＯＳトランジスタとを組み合わせて用いても構わない。
【００６１】
（第１の実施形態）
図３から図８を参照して、本実施形態に係る撮像装置１００の、構造、機能および駆動方法を説明する。本実施形態に係る撮像装置１００は、３つのトランジスタを含む読み出し回路５０Ａを備えている。
【００６２】
（撮像装置１００の構造）
まず、図３を参照しながら、撮像装置１００の構造を説明する。
【００６３】
図３は、本実施形態に係る撮像装置１００の、例示的な回路構成を模式的に示す。撮像装置１００は、一例として積層型の撮像素子であり、半導体基板に積層された光電変換膜を有している。撮像装置１００は、複数の単位画素セル１１０Ａと、周辺回路とを備える。
【００６４】
複数の単位画素セル１１０Ａを２次元に配列することにより、感光領域（画素領域）を形成している。なお、複数の単位画素セル１１０Ａは、１次元に配列されていてもよい。その場合、撮像装置１００は、ラインセンサであってもよい。
【００６５】
図示する例では、複数の単位画素セル１１０Ａは、行方向および列方向に配列されている。本願明細書において、行方向および列方向とは、行および列がそれぞれ延びる方向をいう。つまり、図面において、垂直方向（上下方向）が列方向であり、水平方向（左右方向）が行方向である。
【００６６】
単位画素セル１１０Ａの各々は、電源配線１２０に接続されている。各単位画素セル１１０Ａには、電源配線１２０を介して所定の電源電圧が供給される。撮像装置１００は、入射光を光電変換する光電変換膜を有する。この光電変換膜の全体に、蓄積制御線１３０を介して、同一の一定電圧が供給される。但し、変動を抑制するなどの制御を行う場合には、光電変換膜をいくつかの領域に分けて、それぞれの領域に対して異なる電圧を供給してもよい。単位画素セル１１０Ａの詳細な説明は後述する。
【００６７】
周辺回路は、垂直走査回路（「行走査回路」とも呼ばれる）１４１と、カラム信号処理回路（「行信号蓄積回路」とも呼ばれる）１４２と、水平信号読み出し回路（「列走査回路」とも呼ばれる）１４３と、定電流源１４４とを含む。カラム信号処理回路１４２および定電流源１４４は、２次元に配列された単位画素セル１１０Ａの列毎に配置されてもよい。
【００６８】
以下、周辺回路の構成の一例を説明する。
【００６９】
垂直走査回路１４１は、選択制御信号線（アドレス信号線）ＣＯＮ７および帯域制御信号線ＣＯＮ１に接続されている。垂直走査回路１４１は、選択制御信号線ＣＯＮ７に所定の

電圧を印加することにより、各行に配置された複数の単位画素セル１１０Ａを行単位で選択する。これにより、選択された単位画素セル１１０Ａの信号電圧の読み出しと、後述する画素電極のリセットとが実行される。

【００７０】

各列に配置された単位画素セル１１０Ａは、各列に対応した垂直信号線１７０を介して、カラム信号処理回路１４２に電気的に接続されている。カラム信号処理回路１４２は、相関二重サンプリングに代表される雑音抑圧信号処理およびアナログ－デジタル変換（ＡＤ変換）などを行う。複数のカラム信号処理回路１４２は、水平信号読み出し回路１４３に接続されている。水平信号読み出し回路１４３は、複数のカラム信号処理回路１４２から信号を読み出し、水平共通信号線１８０に信号を出力する。

【００７１】

次に、図４から図６を参照して、単位画素セル１１０Ａの構造を詳細に説明する。

【００７２】

図４は、本実施形態に係る撮像装置１００の単位画素セル１１０Ａの、例示的な回路構成を模式的に示す。単位画素セル１１０Ａは、光検出器１、増幅器２、帯域制御部３、電荷蓄積部、および出力選択部５を備えている。光検出器１は光を検出し、信号電荷を生成する。本明細書において、光検出器１は光電変換部と称することもある。電荷蓄積部は、光検出器１によって生成された信号電荷を蓄積するノードを含む。以下、この電荷蓄積部を「ＦＤ」と称する。

【００７３】

増幅器２、帯域制御部３、ＦＤ、および出力選択部５によって、読み出し回路５０Ａが形成されている。光検出器１は、光を信号電荷に変換する。読み出し回路５０Ａは、光検出器１により生成された信号電荷を読み出す。

【００７４】

図５Ａおよび５Ｂは、光検出器１の一例をそれぞれ示している。光検出部１は、例えば、図５Ａに示されるように、上部電極１ａ、下部電極１ｂ、およびこれらに挟まれた有機光電変換膜１Ａから構成されていてもよい。上部電極１ａに基準電圧Ｖｐを印加し、ＦＤを形成するノードの一端を下部電極１ｂに接続することにより、光検出器１が生成する信号電荷を、ＦＤに蓄積できる。図５Ｂに示されるように、光検出器１として、フォトダイオード１Ｂを用いてもよい。フォトダイオード１Ｂの一端にグランド電圧または基準電圧Ｖｐを印加し、ＦＤを形成するノードの一端をフォトダイオード１Ｂの他の一端に接続することにより、光検出器１が生成する信号電荷を、ＦＤに蓄積できる。光検出部１は、その他の光電変換機能を有する素子であってもよい。

【００７５】

再び図４を参照する。ＦＤは、配線層によって光検出器１と接続されている。ＦＤは、光検出器１によって生成された信号電荷を蓄積する。ＦＤは、増幅器２の入力にさらに接続されている。増幅器２は、ＦＤに蓄積された信号電荷に応じた信号を増幅し、帯域制御部３および出力選択部５に出力する。

【００７６】

増幅器２および帯域制御部３は、ＦＤを介してループ（フィードバック回路）３０を形成する。帯域制御部３は、帯域制御回路３Ａを含んでいる。帯域制御回路３Ａには、電圧制御回路９９から、互いに異なる少なくとも３つの電圧が供給される。このような電圧が供給されることにより、帯域制御回路３Ａは帯域制御機能を有する。帯域制御回路３Ａは、増幅器２の出力信号に帯域制限をかけてＦＤ部に出力する。フィードバック回路３０において、ＦＤから読み出された信号は、増幅器２によって増幅され、帯域制御回路３Ａによって帯域制限をかけられて、ＦＤに帰還される。

【００７７】

出力選択部５は、信号読み出しライン７に接続されている。信号読み出しライン７は、少なくとも２つの画素で共有される。増幅器２によって増幅された信号は、出力選択部５を介して信号読み出しライン７に出力される。信号読み出しライン７は、図３に示される垂

直信号線１７０に対応する。定電流源６は、図３に示される定電流源１４４に対応する。
【００７８】
図６を参照しながら、読み出し回路５０Ａの構造および機能を詳細に説明する。
【００７９】
図６は、読み出し回路５０Ａの回路構成を模式的に示している。フィードバック回路３０は、光検出器１の信号を第１の増幅トランジスタ２００を介してＦＤに負帰還する。
【００８０】
増幅器２は、第１の増幅トランジスタ２００と、第１のスイッチ素子１１および第２のスイッチ素子１２を含む切替回路２０と、を有している。読み出し回路５０Ａ内のトランジスタはＮＭＯＳトランジスタであるとする。以下、読み出し回路５０Ａの電気的な接続関係を説明する。
【００８１】
第１の増幅トランジスタ２００のゲートには、ＦＤが接続されている。帯域制御部３は第１の帯域制御トランジスタ３００を含む。出力選択部５は第１の選択トランジスタ５００を含む。第１の増幅トランジスタ２００のソースおよびドレインの一方は、第１の帯域制御トランジスタ３００のソースおよびドレインの一方と、第１の選択トランジスタ５００のソースおよびドレインの一方とに接続されている。また、第１の帯域制御トランジスタ３００のソースおよびドレインの他方はＦＤに接続されている。第１の帯域制御トランジスタ３００と、ＦＤに寄生する容量成分とによってＲＣフィルタ回路が形成される。
【００８２】
第１の帯域制御トランジスタ３００のゲートには、帯域制御信号線ＣＯＮ１が接続されている。帯域制御信号線ＣＯＮ１の電圧により第１の帯域制御トランジスタ３００の状態が決定される。例えば、帯域制御信号線ＣＯＮ１の電圧がハイレベルのとき、第１の帯域制御トランジスタ３００はオンする。その結果、ＦＤと、第１の増幅トランジスタ２００と、第１の帯域制御トランジスタ３００とによって帰還経路が形成される。
【００８３】
帯域制御信号線ＣＯＮ１の電圧が低くなると、第１の帯域制御トランジスタ３００の抵抗成分が大きくなる。そのため、第１の帯域制御トランジスタ３００の帯域は狭くなり、帰還する信号の周波数範囲は狭くなる。帯域制御信号線ＣＯＮ１の電圧が、さらに低いローレベルになると、第１の帯域制御トランジスタ３００はオフする。その結果、帰還経路は形成されない。
【００８４】
第１の選択トランジスタ５００のソースおよびドレインの他方は、信号読み出しライン７に接続されている。第１の選択トランジスタ５００のゲートは選択制御信号線ＣＯＮ７によって制御される。選択制御信号線ＣＯＮ７の電圧により、第１の選択トランジスタ５００の状態が決定される。例えば、選択制御信号線ＣＯＮ７の電圧がハイレベルのとき、第１の選択トランジスタ５００はオンする。その結果、第１の増幅トランジスタ２００と、信号読み出しライン７とは電気的に接続される。選択制御信号線ＣＯＮ７の電圧がローレベルのとき、第１の選択トランジスタ５００はオフする。その結果、第１の増幅トランジスタ２００と、信号読み出しライン７とは電気的に分離される。
【００８５】
第１の増幅トランジスタ２００のソースおよびドレインの他方には、切替回路２０が接続される。具体的には、第１の増幅トランジスタ２００のソースおよびドレインの他方は、第１のスイッチ素子１１を介して、第１の電圧源ＶＡ１に接続される。また、第１の増幅トランジスタ２００のソースおよびドレインの他方は、第２のスイッチ素子１２を介して、第２の電圧源ＶＡ２にも接続される。制御信号Ｖ１およびＶ２によって切替回路２０を制御することにより、第１の増幅トランジスタ２００のソースおよびドレインの他方に印加する電圧を、電圧Ｖａ１または電圧Ｖａ２に切り替える。第１の電圧源ＶＡ１の電圧Ｖａ１は、例えば接地電圧ＧＮＤである。第２の電圧源ＶＡ２の電圧Ｖａ２は、例えばＶＤＤである。切替回路２０は、画素毎に設けられていてもよいし、１画素あたりの素子数を

削減するために、複数の画素により共有されていてもよい。
【００８６】
信号読み出しライン７には、定電流源６が接続されている。第１の選択トランジスタ５００がオンのとき、第１の選択トランジスタ５００、第１の増幅トランジスタ２００、および定電流源６によって、ソースフォロア回路が形成される。ＦＤに蓄積された信号電荷に応じた信号は、信号読み出しライン７に出力され、外部に読み出される。なお、定電流源６は、画素毎に設けられていてもよいし、１画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。
【００８７】
（撮像装置１００の動作）
次に、図７を参照しながら、読み出し回路５０Ａの動作フローを説明する。
【００８８】
図７は、読み出し回路５０Ａの動作の一例を示すタイミングチャートである。各グラフの横軸は時間を示し、縦軸は、上から順に、帯域制御信号線ＣＯＮ１の電圧、選択制御信号線ＣＯＮ７の電圧、第１の増幅トランジスタ２００のソースおよびドレインの他方の電圧ＶＳを示している。
【００８９】
（リセット期間）
時刻ｔ１において、選択制御信号線ＣＯＮ７の電圧はローレベルである。従って、第１の選択トランジスタ５００はオフ状態であり、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に分離されている。また、時刻ｔ１において、帯域制御信号線ＣＯＮ１の電圧をハイレベルにして、第１の帯域制御トランジスタ３００をオン状態にする。また、時刻ｔ１においては、切替回路２０の第１のスイッチ素子１１はオン状態となっており、第１の増幅トランジスタ２００のソースおよびドレインの他方には電圧Ｖａ１（例えばＧＮＤ）が印加されている。これにより、ＦＤの電圧は、リセット電圧ＶＲＳＴと等しくなる。
【００９０】
ここで、帯域制御信号線ＣＯＮ１の電圧は、第１の帯域制御トランジスタ３００の動作帯域が、広帯域である第１の帯域となるように設定される。これにより、高速に、ＦＤの電圧をリセット電圧ＶＲＳＴにすることができる。第１の帯域は、ハイレベルのゲート電圧に対応した、第１の帯域制御トランジスタ３００の動作帯域を意味する。
【００９１】
本実施形態では、ＦＤを高速にリセット電圧に設定するために、このリセット期間を設けている。ただし、駆動時間に余裕があれば、この期間を設けずに、後述するノイズ抑制期間内で、ＦＤをリセット電圧に設定する動作をしても構わない。
【００９２】
（ノイズ抑制期間）
次に、時刻ｔ２から時刻ｔ４の期間では、帯域制御信号線ＣＯＮ１の電圧を、ハイレベルとローレベルとの間、例えば中間の電圧に設定する。その場合、第１の帯域制御トランジスタ３００の動作帯域は、第１の帯域よりも狭い第２の帯域となる。第２の帯域は、ゲート電圧が中間の電圧であるときの、第１の帯域制御トランジスタ３００の動作帯域を意味する。
【００９３】
第２の帯域を、第１の増幅トランジスタ２００の動作帯域よりも十分に狭くすることにより、ノイズ抑制効果は大きくなる。しかしその一方で、時刻ｔ２から時刻ｔ４までの時間は長くなる。なお、第２の帯域が第１の増幅トランジスタ２００の動作帯域よりも広くても、ノイズ抑制効果は得られる。よって、時刻ｔ２から時刻ｔ４までの許容できる時間に応じて、設計者は第２の帯域を任意に設計することができる。以下、第２の帯域を、第１の増幅トランジスタ２００の動作帯域よりも十分に狭い帯域として説明する。
【００９４】

第２の帯域が、第１の増幅トランジスタ２００の動作帯域よりも狭い状態においては、第１の帯域制御トランジスタ３００において発生する熱ノイズは、帰還回路により抑制される。増幅器２の増幅率を－Ａ倍とすると、熱ノイズは、１／（１＋Ａ）$^{1/2}$倍に抑制される。

【００９５】

切替回路２０は、第１の増幅トランジスタ２００のソースおよびドレインの他方がＧＮＤになるように設定されている。設計者は回路システムに最適な値となるように、増幅器２の増幅率を設計することができる。典型的には、Ａは１よりも大きく、数１０から数１００程度の数値に設定され得る。

【００９６】

次に、時刻ｔ４において帯域制御線ＣＯＮ１の電圧をローレベルにし第１の帯域制御トランジスタ３００をオフにすると、このオフした時にＦＤに残存するｋＴＣノイズも、帰還がない場合と比較して、１／（１＋Ａ）$^{1/2}$倍に抑制される。

【００９７】

（露光／読み出し期間）

時刻ｔ５において、選択制御信号線ＣＯＮ７の電圧をハイレベルにして第１の選択トランジスタ５００をオンにする。また、第１の増幅トランジスタ２００のソースおよびドレインの他方の電圧がＶａ２（例えばＶＤＤ）になるように、切替回路２０を制御する。すなわち、第２のスイッチ素子１２がオンになり、第１の増幅トランジスタ２００のソースおよびドレインの他方には、電圧Ｖａ２が印加される。この状態においては、第１の増幅トランジスタ２００と定電流源６とがソースフォロア回路を形成する。そして、信号読み出しライン７は、ＦＤに蓄積された信号電荷に応じた電圧となる。そのとき、ソースフロア回路の増幅率は１倍程度である。

【００９８】

時刻ｔ５において、ＦＤの電圧は、リセット電圧ＶＲＳＴを基準として、時刻ｔ４から時刻ｔ５の期間に光検出器１において生成された信号電荷に応じた電圧分だけ変化している。ＦＤの電圧は、１倍程度の増幅率で増幅器２により増幅されて、信号読み出しライン７に出力される。

【００９９】

ランダムノイズは、光検出器１において生成された信号電荷が０である時の出力の揺らぎ、すなわちｋＴＣノイズを意味する。ｋＴＣノイズは、ノイズ抑制期間に１／（１＋Ａ）$^{1/2}$倍に抑制され、さらに、露光／読み出し期間において、１倍程度の増幅率で信号読み出しライン７に出力される。従って、本実施形態によれば、ランダムノイズが抑制された良好な画像データを取得することができる。

【０１００】

また、本実施形態によれば、周辺回路のばらつきをキャンセルするために、ＣＤＳを実施することも可能である。具体的には、ソースフォロア回路によりＦＤの信号電圧を読み出した後、上述したリセット動作を再度行う。リセット動作が完了した後、光検出器１が光検出を行う前に、ソースフォロア回路により読み出し動作を再度行う。これにより、リセット電圧ＶＲＳＴを読み出すことができる。ＦＤの信号電圧とリセット電圧との差分を取ることにより、ＣＤＳを実施できる。

【０１０１】

また、本実施形態では、露光期間において、ＦＤの信号はソースフォロア回路により読み出されるので、増幅率は１倍程度である。しかし、これに限定されるものではなく、設計者は、システムに必要な信号対雑音比Ｓ／Ｎまたは回路レンジに応じて増幅率を変えてもよい。

【０１０２】

本実施形態によれば、ノイズキャンセルのための帰還を、複数の単位画素セル１１０Ａのそれぞれの画素内で行う。これにより、読み出しライン７の時定数に影響を受けることなく、ノイズキャンセルを高速に行える。

【０１０３】
最後に、図８を参照しながら、帯域制御信号線ＣＯＮ１の他の制御方法を説明する。
【０１０４】
図８は、読み出し回路５０Ａの動作の他の一例を示すタイミングチャートである。図示するように、第１の帯域制御トランジスタ３００が第１の帯域制御トランジスタ３００のしきい値電圧を跨いでオン状態からオフ状態に徐々に変化するように、帯域制御信号ＣＯＮ１を制御してもよい。本願明細書では、このようなリセット制御を「テーパリセット」と称する。
【０１０５】
これにより、撮像装置１００を構成する複数の単位画素セル１１０Ａの間で、第１の帯域制御トランジスタ３００のしきい値電圧にばらつきがあっても、全ての画素内で発生するノイズを効果的に抑制することができる。また、テーパリセットにおける帯域制御信号線ＣＯＮ１に印加する電圧の変化幅は、各画素の第１の帯域制御トランジスタ３００のしきい値電圧のばらつきの範囲に制限してもよい。これにより、テーパリセットに要する時間を短縮でき、ノイズ抑制を高速に行うことができる。
【０１０６】
（第２の実施形態）
図９から図１７を参照して、本実施形態に係る撮像装置１００の構造、機能および駆動方法を説明する。本実施形態による撮像装置１００は、４つのトランジスタを含む読み出し回路５０Ｂを備えている点で、第１の実施形態と異なる。
【０１０７】
（撮像装置１００の構造）
本実施形態による撮像装置１００は、第１の実施形態と同様に、２次元に配列された複数の単位画素セル１１０Ｂと、周辺回路とを備えている。単位画素セル１１０Ｂは、各種の制御線を介して周辺回路に接続されている。
【０１０８】
図９は、本実施形態に係る撮像装置１００の単位画素セル１１０Ｂの、例示的な回路構成を模式的に示す。単位画素セル１１０Ｂは、光検出器１および読み出し回路５０Ｂを含む。読み出し回路５０Ｂは、増幅器２、帯域制御部３’、ＦＤ、および出力選択部５を含んでいる。読み出し回路５０Ｂは、光検出器１により生成された信号電荷を読み出す。
【０１０９】
ＦＤは、配線層によって光検出器１と接続されている。ＦＤは、増幅器２の入力にさらに接続されている。増幅器２は、ＦＤに蓄積された信号電荷に応じた信号を増幅し、帯域制御部３’および出力選択部５に出力する。
【０１１０】
帯域制御部３’は、ＦＤをリセットするリセット回路４Ａと、帯域制御回路３Ｂとを含んでいる。帯域制御回路３Ｂには、電圧制御回路９９から、互いに異なる少なくとも３つの電圧が供給される。このような電圧が供給されることにより、帯域制御回路３Ｂは帯域制御機能を有する。帯域制御回路３Ｂは、増幅器２の出力信号に帯域制限をかけて、ＦＤ部に出力する。ＦＤに蓄積された信号電荷は、リセット回路４Ａによってリセットされる。ＦＤから読み出された信号は、増幅器２によって増幅される。増幅された信号は、帯域制御回路３Ｂによって帯域制限をかけられた後に、ＦＤに帰還される。
【０１１１】
出力選択部５は、信号読み出しライン７に接続されている。信号読み出しライン７は、少なくとも２つの画素で共有される。増幅器２によって増幅された信号は、出力選択部５を介して信号読み出しライン７に出力される。
【０１１２】
図１０は、読み出し回路５０Ｂの、回路構成の一例を模式的に示している。フィードバック回路３０’は、光検出器１からの信号を第１の増幅トランジスタ２００を介してＦＤに負帰還する。

【０１１３】
帯域制御部３’のリセット回路４Ａは、リセットトランジスタ４００を含んでいる。帯域制御回路３Ｂは、第２の帯域制御トランジスタ３０１、第１の容量素子９および第２の容量素子１０を含んでいる。本明細書において、「容量素子」は、電極の間に絶縁膜などの誘電体が挟まれた構造を意味する。また、「電極」は、金属から形成された電極に限定されず、ポリシリコン層などを広く含むように解釈される。電極は、半導体基板の一部分であってもよい。第１の容量素子９および第２の容量素子１０は、例えばＭＩＭ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｍｅｔａｌ）容量またはＭＩＳ（Ｍｅｔａｌ Ｉｎｓｕｌａｔｏｒ Ｓｅｍｉｃｏｎｄｕｃｔｏｒｌ）容量であってもよい。
【０１１４】
増幅器２は、第１の増幅トランジスタ２００と、第１のスイッチ素子１１および第２のスイッチ素子１２を含む切替回路２０と、を有している。出力選択部５は、第１の選択トランジスタ５００を含んでいる。以下、読み出し回路５０Ｂの電気的な接続関係を説明する。
【０１１５】
第１の増幅トランジスタ２００のゲートは、ＦＤに接続されている。第１の増幅トランジスタ２００のソースおよびドレインの一方は、第２の帯域制御トランジスタ３０１のソースおよびドレインの一方と接続されている。第１の増幅トランジスタ２００のソースおよびドレインの一方は、第１の選択トランジスタ５００のソースおよびドレインの一方にも接続されている。また、第２の帯域制御トランジスタ３０１のソースおよびドレインの他方は、第１の容量素子９の一端に接続されている。また、第１の容量素子９の他端には、基準電圧ＶＲ１が印加される。これにより、第２の帯域制御トランジスタ３０１と第１の容量素子９とによってＲＣフィルタ回路が形成される。
【０１１６】
第２の帯域制御トランジスタ３０１のソースおよびドレインの他方は、第２の容量素子１０の一端にも接続されている。また、第２の容量素子１０の他端は、ＦＤに接続されている。本願明細書において、第２の帯域制御トランジスタ３０１、第１の容量素子９および第２の容量素子１０の間に形成されたノードを「ＲＤ」と称する。
【０１１７】
第２の帯域制御トランジスタ３０１のゲートは、帯域制御信号線ＣＯＮ３に接続されている。帯域制御信号線ＣＯＮ３の電圧により、第２の帯域制御トランジスタ３０１の状態が決定される。例えば、帯域制御信号線ＣＯＮ３の電圧がハイレベルのとき、第２の帯域制御トランジスタ３０１はオンする。このとき、ＦＤと、第１の増幅トランジスタ２００と、第２の帯域制御トランジスタ３０１と、第２の容量素子１０とによって帰還経路（フィードバック回路３０‘）が形成される。
【０１１８】
帯域制御信号線ＣＯＮ３の電圧が低くなると、第２の帯域制御トランジスタ３０１の抵抗成分が大きくなる。そのため、第２の帯域制御トランジスタ３０１の帯域は狭くなり、帰還する信号の周波数領域は狭くなる。
【０１１９】
帰還経路が形成されているとき、第２の帯域制御トランジスタ３０１が出力する信号は、第２の容量素子１０およびＦＤの寄生容量によって形成される減衰回路で減衰されて、ＦＤに帰還される。第２の容量素子１０の容量をＣｃ、ＦＤの寄生容量をＣｆｄとすると、減衰率Ｂは、Ｃｃ／（Ｃｃ＋Ｃｆｄ）で表される。
【０１２０】
帯域制御信号線ＣＯＮ３の電圧がさらに低くなり、ローレベルになると、第２の帯域制御トランジスタ３０１はオフし、帰還経路は形成されない。
【０１２１】
ＦＤは、リセットトランジスタ４００のソースおよびドレインの一方にさらに接続される。リセットトランジスタ４００のソースおよびドレインの他方には、基準電圧ＶＲ２が印加されている。リセットトランジスタ４００のゲートは、リセット制御信号線ＣＯＮ２に

接続され、リセット制御信号線ＣＯＮ２の電圧により、リセットトランジスタ４００の状態が決定される。例えば、リセット制御信号線ＣＯＮ２の電圧がハイレベルのとき、リセットトランジスタ４００はオンし、ＦＤは基準電圧ＶＲ２にリセットされる。

【０１２２】

第１の選択トランジスタ５００のソースおよびドレインの他方は、信号読み出しライン７に接続される。第１の選択トランジスタ５００のゲートは、選択制御信号線ＣＯＮ７に接続され、選択制御信号線ＣＯＮ７の電圧により第１の選択トランジスタ５００の状態が決定される。例えば、選択制御信号線ＣＯＮ７の電圧がハイレベルのとき、第１の選択トランジスタ５００はオンし、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に接続される。選択制御信号線ＣＯＮ７の電圧がローレベルのとき、第１の選択トランジスタ５００はオフする。その結果、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に分離される。

【０１２３】

第１の増幅トランジスタ２００のソースおよびドレインの他方には、切替回路２０が接続される。具体的には、第１の増幅トランジスタ２００のソースおよびドレインの他方は、第１のスイッチ素子１１を介して、第１の電圧源ＶＡ１に接続されている。また、第１の増幅トランジスタ２００のソースおよびドレインの他方は、第２のスイッチ素子１２を介して、第２の電圧源ＶＡ２にも接続されている。制御信号Ｖ１およびＶ２によって切替回路２０を制御することにより、第１の増幅トランジスタ２００のソースおよびドレインの他方に印加する電圧を、電圧Ｖａ１または電圧Ｖａ２に切り替える。第１の電圧源ＶＡ１の電圧Ｖａ１は、例えばＧＮＤである。第２の電圧源ＶＡ２の電圧Ｖａ２は、例えばＶＤＤである。切替回路２０は、画素毎に設けられていてもよいし、１画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。

【０１２４】

信号読み出しライン７には、定電流源６が接続されている。第１の選択トランジスタ５００がオンのとき、第１の選択トランジスタ５００、第１の増幅トランジスタ２００、および定電流源６によって、ソースフォロア回路が形成される。ＦＤに蓄積された信号電荷に応じた信号は、信号読み出しライン７に出力され、外部に読み出される。なお、定電流源６は、画素毎に設けられていてもよいし、１画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。

【０１２５】

次に、図１１を参照しながら、読み出し回路５０Ｂの動作フローを説明する。

【０１２６】

図１１は、読み出し回路５０Ｂの動作の一例を示すタイミングチャートである。各グラフの横軸は時間を示し、縦軸は、上から順に、リセット制御信号ＣＯＮ２の電圧、帯域制御信号線ＣＯＮ３の電圧、選択制御信号線ＣＯＮ７の電圧、および第１の増幅トランジスタ２００のソースおよびドレインの他方の電圧ＶＳをそれぞれ示している。

【０１２７】

（リセット期間）

時刻ｔ１１において、選択制御線ＣＯＮ７の電圧はローレベルである。従って、第１の選択トランジスタ５００はオフ状態であり、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に分離されている。また、時刻ｔ１１において、帯域制御信号線ＣＯＮ３の電圧をハイレベルにして第２の帯域制御トランジスタ３０１をオン状態にする。また、時刻ｔ１１において、切替回路２０の第１のスイッチ素子１１はオン状態となっており、第１の増幅トランジスタ２００のソースおよびドレインの他方には電圧Ｖａ１（例えばＧＮＤ）が印加されている。さらに、時刻ｔ１１において、リセット制御信号線ＣＯＮ２の電圧をハイレベルにし、リセットトランジスタ４００をオンにすることにより、ＦＤはリセットされ、ＦＤの電圧は、基準電圧ＶＲ２となる。

【０１２８】

時刻ｔ１２において，リセット制御信号線ＣＯＮ２の電圧をローレベルにし、リセットト

ランジスタ４００をオフにする。このとき、読み出し回路５０Ｂは、増幅率が－Ａ×Ｂ倍の帰還回路を形成している。そのため、リセットトランジスタ４００をオフしたときに発生するＦＤにおけるｋＴＣノイズは、１／（１＋Ａ×Ｂ）倍に抑制される。第２の帯域制御トランジスタ３０１の動作帯域が、広帯域である第１の帯域となるように帯域制御信号線ＣＯＮ３の電圧をハイレベルに設定することにより、ｋＴＣノイズを高速に抑制できる。

【０１２９】

（ノイズ抑制期間）

時刻ｔ１３から時刻ｔ１５の期間に、帯域制御信号線ＣＯＮ３の電圧をハイレベルとローレベルとの間、例えば中間の電圧に設定する。その場合、第２の帯域制御トランジスタ３０１の動作帯域は第１の帯域よりも狭い第２の帯域となる。

【０１３０】

第２の帯域を第１の増幅トランジスタ２００の動作帯域よりも充分に狭くすることでノイズ抑制効果は大きくなるが、ｔ１３からｔ１５までの時間も長くなる。なお、第１の増幅トランジスタ２００の動作帯域より広くても、ノイズ抑制効果は得られる。時刻ｔ１３から時刻ｔ１５までの許容できる時間に応じて、設計者は第２の帯域を任意に設計することができる。以下、第２の帯域を、第１の増幅トランジスタ２００の動作帯域よりも十分に狭い帯域として扱う。

【０１３１】

第２の帯域が、第１の増幅トランジスタ２００の動作帯域よりも狭い状態においては、第２の帯域制御トランジスタ３０１で発生する熱ノイズは、フィードバック回路３０‘により、$1/(1+A\times B)^{1/2}$倍に抑制される。この状態で、時刻ｔ１５において帯域制御線ＣＯＮ３の電圧をローレベルにし、第２の帯域制御トランジスタ３０１をオフすると、このオフした時にＦＤ部に残存するｋＴＣノイズは、リセットトランジスタ４００に起因したｋＴＣノイズと、第２の帯域制御トランジスタ３０１に起因したｋＴＣノイズとを二乗和した値となる。

【０１３２】

第１の容量素子９の容量をＣｓとすると、帰還による抑制がない状態において発生する第２の帯域制御トランジスタ３０１のｋＴＣノイズは、帰還による抑制がない状態で発生するリセットトランジスタ４００のｋＴＣノイズに比べて$(Cfd/Cs)^{1/2}$倍になる。この点を考慮し、帰還がない場合と比較すると、帰還がある場合のｋＴＣノイズは、$\{1+(1+A\times B)\times Cfd/Cs\}^{1/2}/(1+A\times B)$倍に抑制される。

【０１３３】

（露光／読み出し期間）

時刻ｔ１６において選択制御信号線ＣＯＮ７の電圧をハイレベルにして、第１の選択トランジスタ５００をオンにし、第１の増幅トランジスタ２００のソースおよびドレインの他方の電圧がＶａ２（例えばＶＤＤ）になるように切替回路２０を制御する。この状態においては、第１の増幅トランジスタ２００と定電流源６とがソースフォロア回路を形成する。信号読み出しライン７は、ＦＤに蓄積された信号電荷に応じた電圧となる。そのとき、ソースフロア回路の増幅率は１倍程度である。

【０１３４】

時刻ｔ１６において、ＦＤの電圧は、時刻ｔ１５からｔ１６の期間に光検出器１において生成された電気信号に応じた分だけリセット電圧（ＶＲ２）から変化している。ＦＤの電圧は、１倍程度の増幅率で増幅器２により増幅されて信号読み出しライン７に出力される。

【０１３５】

ランダムノイズは光検出器１において生成された信号電荷が０である時の出力の揺らぎ、すなわち、ｋＴＣノイズを意味する。ｋＴＣノイズは、ノイズ抑制期間に$\{1+(1+A\times B)\times Cfd/Cs\}^{1/2}/(1+A\times B)$倍に抑制され、さらに、露光／読み出し期間において、１倍程度の増幅率で信号読み出しライン７に出力される。その結果、ランダムノイズが抑制された良好な画像データを取得することができる。

【０１３６】

第１の容量素子９の容量Ｃｓは、第２の容量素子１０の容量Ｃｃよりも大きいことが望ましい。本実施形態においては、面積が許す限りＣｓを大きくすることにより、ランダムノイズを抑制することができる。典型的には、第１の容量素子９の容量を大きくすると、ランダムノイズは低減される。しかし、ＦＤにおいて電荷信号を電圧信号に変換する際、信号レベルが小さくなってしまうので、結果としてＳ／Ｎは改善されない。しかし、本実施形態によれば、ＦＤとＲＤとが第２の容量素子１０によって分離されているので、第１の容量素子９の容量を大きくしても信号レベルの低下は生じにくい。その結果、ランダムノイズだけが抑制されるので、Ｓ／Ｎが改善されるという効果が得られる。

【０１３７】

本実施形態によれば、第１の実施形態と同様に、周辺回路のばらつきをキャンセルするために、ＣＤＳを実施することも可能である。具体的には、ソースフォロア回路によりＦＤの信号電圧を読み出した後、上述したリセット動作を再度行う。リセット動作が完了した後、光検出器１が光検出を行う前に、ソースフォロア回路により読み出し動作を再度行う。これにより、リセット電圧ＶＲＳＴを読み出すことができる。ＦＤの信号電圧とリセット電圧との差分を取ることにより、ＣＤＳを実施できる。

【０１３８】

また、本実施形態では、露光期間において、ＦＤの信号はソースフォロア回路により読み出されるので、増幅率は１倍程度である。しかし、これに限定されるものではなく、設計者は、システムに必要なＳ／Ｎまたは回路レンジに応じて増幅率を変えてもよい。

【０１３９】

本実施形態によれば、ノイズキャンセルのための帰還を、複数の単位画素セル１１０Ｂの各画素内で行う。これにより、読み出しライン７の時定数に影響を受けることなく、ノイズキャンセルを高速に行える。さらに、単位画素セル内に配置する容量素子の容量を大きくすることにより、より大きなノイズ抑制効果が得られる。

【０１４０】

以下、本実施形態による読み出し回路５０Ｂの構成および動作の変形例を説明する。

【０１４１】

図１２から図１６は、読み出し回路５０Ｂの回路構成の他の一例を模式的に示している。図１２および図１３に示される読み出し回路５０Ｂ’は、基準電圧ＶＲ２の代わりに第１の増幅トランジスタ２００のソースおよびドレインの一方の電圧（増幅器２の出力電圧）をリセットトランジスタ４００に印加している点で、図１０に示される読み出し回路５０Ｂと異なっている。リセットトランジスタ４００は、光検出器１の信号を第１の増幅トランジスタ２００を介してＦＤに負帰還している。本明細書においては、そのようなトランジスタを「負帰還トランジスタ」と呼ぶ場合がある。このような構成によると、リセットトランジスタ４００をオフする前後におけるＦＤの電圧の変化を小さくすることができ、より高速なノイズ抑制が可能となる。

【０１４２】

さらに、図１４から図１６に示されるように、単位画素セル１１０Ｂ内に定電流源８を設けてもよい。このような構成によると、第１の増幅トランジスタ２００の動作帯域を広くすることができ、その結果、第２の帯域制御トランジスタ３０１の帯域も広くすることができる。従って、第２の帯域制御トランジスタ３０１の帯域がより広い状態で、ランダムノイズをより高速に抑制できる。

【０１４３】

最後に、図１７を参照しながら、帯域制御信号線ＣＯＮ３の他の制御方法を説明する。

【０１４４】

図１７は、読み出し回路５０Ｂの動作の他の一例を示すタイミングチャートである。図示するように、第１の実施形態と同様に、テーパリセットをかけてもよい。つまり、第２の帯域制御トランジスタ３０１がそのしきい値電圧を跨いで、オン状態からオフ状態に徐々に変化するように帯域制御信号線ＣＯＮ３を制御してもよい。

【０１４５】

これにより、撮像装置１００を構成する複数の単位画素セル１１０Ｂの間で第２の帯域制御トランジスタ３０１のしきい値電圧にばらつきがあっても、全ての画素内で発生するノイズを効果的に抑制することができる。また、テーパリセットにおける帯域制御信号線ＣＯＮ３に印加する電圧の変化幅は、各画素の第２の帯域制御トランジスタ３０１のしきい値電圧のばらつきの範囲に制限してもよい。これにより、テーパリセットに要する時間を短縮でき、ノイズ抑制を高速に行うことができる。

【０１４６】

（第３の実施形態）

図１８から図２２Ｂを参照して、本実施形態による撮像装置１００の構造、機能および駆動方法を説明する。本実施形態による撮像装置１００は、読み出し回路５０Ｃの出力選択部５Ｃが、選択トランジスタとしてＰＭＯＳトランジスタを含み、切替回路４０に接続されている点で、第２の実施形態による撮像装置１００とは異なる。以下、第２の実施形態とは異なる点を中心に説明する。

【０１４７】

図１８は、本実施形態による撮像装置１００の単位画素セル１１０Ｃの、例示的な回路構成を模式的に示す。単位画素セル１１０Ｃは、光検出器１と、読み出し回路５０Ｃとを含む。読み出し回路５０Ｃは、増幅器２、帯域制御部３、ＦＤ、および出力選択部５Ｃを含んでいる。出力選択部５Ｃは、信号読み出しライン７を介して切替回路４０に接続されている。

【０１４８】

出力選択部５Ｃは、少なくとも２つの画素で共有される信号読み出しライン７に接続されている。出力選択部５Ｃは、増幅器２によって増幅された信号を信号読み出しライン７に出力する機能と、増幅器２に電流を供給する機能とを有している。これらの機能は互いに切り替えることができる。

【０１４９】

図１９Ａは、読み出し回路５０Ｃの回路構成を模式的に示している。フィードバック回路３０は、光検出器１の信号を第１の増幅トランジスタ２００を介してＦＤに負帰還する。第３の選択トランジスタ５０２のソースおよびドレインの一方は、第１の増幅トランジスタ２００のソースおよびドレインの一方と接続される。第３の選択トランジスタ５０２のソースおよびドレインの他方は、信号読み出しライン７に接続される。本実施形態では、第３の選択トランジスタ５０２は、第１の増幅トランジスタ２００の極性とは反転した極性を有している。第１の増幅トランジスタ２００はＮＭＯＳトランジスタであり、第３の選択トランジスタ５０２はＰＭＯＳトランジスタである。

【０１５０】

第３の選択トランジスタ５０２のゲートは、選択制御信号線ＣＯＮ８に接続されている。選択制御信号線ＣＯＮ８の電圧により、第３の選択トランジスタ５０２の状態が決定される。例えば、選択制御信号線ＣＯＮ８の電圧がローレベルのとき、第３の選択トランジスタ５０２はオンし、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に接続される。選択制御信号線ＣＯＮ８の電圧がハイレベルのとき、第３の選択トランジスタ５０２はオフし、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に分離される。

【０１５１】

選択制御信号線ＣＯＮ８の電圧がローレベルとハイレベルとの間、例えば中間の電圧にあるとき、第３の選択トランジスタ５０２は電流源として動作し、第１の増幅トランジスタ２００に電流を供給する。その電流量は選択制御信号線ＣＯＮ８の電圧によって決定される。設計者は、所望の電流量になるように読み出し回路５０Ｃを設計することができる。

【０１５２】

切替回路４０は、信号読み出しライン７に接続されている。切替回路４０は、第３のスイッチ素子１３と、第４のスイッチ素子１４と、電圧源ＶＢ１およびＶＢ２と、定電流源６とを含んでいる。信号読み出しライン７には、第３のスイッチ素子１３を介して定電流源

６の一方の端子が接続される。また、信号読み出しライン７には、第４のスイッチ素子１４を介して電圧源ＶＢ２が接続される。定電流源６の他方の端子には電圧源ＶＢ１が接続されている。

【０１５３】

制御信号Ｖ３およびＶ４により、信号読み出しライン７に、電圧源ＶＢ２を接続するか、または定電流源６（電圧源ＶＢ１）を接続するかを切替えることができる。例えば、電圧源ＶＢ１の電圧Ｖｂ１はＧＮＤであり、電圧源ＶＢ２の電圧Ｖｂ２はＶＤＤである。

【０１５４】

電圧源ＶＢ２が信号読み出しライン７に接続されているとき、選択制御信号線ＣＯＮ８の電圧がローレベルとハイレベルとの間、例えば中間の電圧である場合、第３の選択トランジスタ５０２は電流源として動作する。その場合、第３の選択トランジスタ５０２と、第１の増幅トランジスタ２００とは反転増幅回路を形成する。

【０１５５】

定電流源６が信号読み出しライン７に接続されているとき、選択制御信号線ＣＯＮ８の電圧がローレベルである場合、第１の増幅トランジスタ２００と、定電流源６とは、ソースフォロア回路を形成する。その場合、ＦＤの信号は、信号読み出しライン７に出力される。

【０１５６】

本実施形態では、読み出し回路５０Ｃを構成するトランジスタを、第３の選択トランジスタ５０２を除いてＮＭＯＳトランジスタとしたが、この極性は反転しても構わない。すなわち、第３の選択トランジスタ５０２はＮＭＯＳトランジスタであり、その他のトランジスタがＰＭＯＳトランジスタであってもよい。また、読み出し回路５０Ｃ内のトランジスタの全てが、ＮＭＯＳトランジスタまたはＰＭＯＳトランジスタであってもよい。

【０１５７】

図１９Ｂを参照する。図１９Ｂは、上述した図１９Ａに示す構成の変形例を示している。この変形例では、切替回路４０は定電流源６Ａおよび６Ｂを有している。また、出力選択部５Ｃは、第４の選択トランジスタ５０３を有している。第４の選択トランジスタ５０３の極性は、第１の増幅トランジスタ２００などの極性と同じである。すなわち、第４の選択トランジスタ５０３はＮＭＯＳトランジスタである。

【０１５８】

第４の選択トランジスタ５０３のゲートは、選択制御信号線ＣＯＮ９に接続されている。選択制御信号線ＣＯＮ９の電圧により、第４の選択トランジスタ５０３の状態が決定される。例えば、選択制御信号線ＣＯＮ９の電圧がハイレベルのとき、第４の選択トランジスタ５０３はオンし、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に接続される。選択制御信号線ＣＯＮ９の電圧がローレベルのとき、第４の選択トランジスタ５０３はオフし、第１の増幅トランジスタ２００と信号読み出しライン７とは電気的に分離される。

【０１５９】

図１９Ａに示される構成においては、選択制御信号線ＣＯＮ８の電圧をローレベルとハイレベルとの間、例えば中間の電圧にすることで、第３の選択トランジスタ５０２を電流源として動作させる。これに対し、本変形例では、第４のスイッチ素子１４および第４の選択トランジスタ５０３をオンすることで、定電流源６Ｂから第１の増幅トランジスタ２００に電流が供給される。

【０１６０】

次に、図２０を参照して、図１９Ａの読み出し回路５０Ｃの動作フローを説明する。

【０１６１】

図２０は、読み出し回路５０Ｃの動作の一例を示すタイミングチャートである。各グラフの横軸は時間を示し、縦軸は、上から順に、リセット制御信号ＣＯＮ２の電圧、帯域制御信号線ＣＯＮ３の電圧、選択制御信号線ＣＯＮ８の電圧、および、切替回路２０に接続された、第１の増幅トランジスタ２００のソースおよびドレインの他方の電圧ＶＳをそれぞれ示している。

【０１６２】
（リセット期間）
時刻ｔ２１において、選択制御線ＣＯＮ８の電圧をローレベルおよびハイレベルの間、例えば中間の電圧にする。また、信号読み出しライン７に電圧源ＶＢ２を接続するように、切替回路４０を制御する。また、帯域制御信号線ＣＯＮ３の電圧をハイレベルにして、第２の帯域制御トランジスタ３０１をオンにする。また、時刻ｔ２１において、第１の増幅トランジスタ２００のソースおよびドレインの他方は、第１の電圧源ＶＡ１に接続されている。第１の電圧源ＶＡ１の電圧Ｖａ１は、例えばＧＮＤである。さらに、時刻ｔ２１において、リセット制御信号線ＣＯＮ２の電圧をハイレベルにし、リセットトランジスタ４００をオンにすることにより、ＦＤをリセットする。その結果、ＦＤの電圧は、基準電圧ＶＲ２となる。
【０１６３】
時刻ｔ２２において、リセット制御信号線ＣＯＮ２の電圧をローレベルにし、リセットトランジスタ４００をオフする。この時、読み出し回路５０Ｃは、増幅率：－Ａ×Ｂで帰還ループを形成している。そのため、リセットトランジスタ４００をオフしたときのＦＤのｋＴＣノイズは、１／（１＋Ａ×Ｂ）倍に抑制される。第２の帯域制御トランジスタ３０１の動作帯域が、広帯域である第１の帯域となるように、帯域制御信号線ＣＯＮ３の電圧を設定する。これにより、ノイズを高速に抑制できる。
【０１６４】
（ノイズ抑制期間）
時刻ｔ２３から時刻ｔ２５の期間に、帯域制御信号線ＣＯＮ３の電圧を、ハイレベルとローレベルとの間、例えば中間の電圧に設定する。その場合、第２の帯域制御トランジスタ３０１の動作帯域は、第１の帯域よりも狭い第２の帯域となる。
【０１６５】
第２の帯域を、第１の増幅トランジスタ２００の動作帯域よりも充分に狭くすることでノイズ抑制効果は大きくなるが、ｔ２３からｔ２５までの時間も長くなる。なお、第１の増幅トランジスタ２００の動作帯域より高くてもノイズ抑制効果は得られる。よって、時刻ｔ２３から時刻ｔ２５までの許容できる時間に応じて、設計者は第２の帯域を任意に設計することができる。以下、第２の帯域を、第１の増幅トランジスタ２００の動作帯域よりも十分に狭い帯域として扱う。
【０１６６】
第２の帯域が第１の増幅トランジスタ２００の動作帯域よりも狭い状態においては、第２の帯域制御トランジスタ３０１で発生する熱ノイズは、フィードバック回路３０により、$1/(1+A\times B)^{1/2}$倍に抑制される。この状態で、時刻ｔ２５において帯域制御線ＣＯＮ３の電圧をローレベルにし、第２の帯域制御トランジスタ３０１をオフすると、オフした時にＦＤ部に残存するｋＴＣノイズは、リセットトランジスタ４００に起因したｋＴＣノイズと、第２の帯域制御トランジスタ３０１に起因したｋＴＣノイズとを二乗和した値となる。
【０１６７】
第１の容量素子９の容量をＣｓとすると、帰還による抑制がない状態において発生する第２の帯域制御トランジスタ３０１のｋＴＣノイズは、帰還による抑制がない状態で発生するリセットトランジスタ４００のｋＴＣノイズに比べて$(Cfd/Cs)^{1/2}$倍になる。この点を考慮して、帰還がない場合と比較すると、帰還がある場合のｋＴＣノイズは、$\{1+(1+A\times B)\times Cfd/Cs\}^{1/2}/(1+A\times B)$倍に抑制される。また、時刻ｔ２５において、選択制御信号線ＣＯＮ８の電圧をハイレベルにし、第３の選択トランジスタ５０２をオフする。これにより、第１の増幅トランジスタ２００と信号読み出しライン７とを電気的に分離する。
【０１６８】
なお、第２の実施形態の図１７に示す動作フローと同様に、テーパリセットをかけてもよい。つまり、時刻ｔ２３からｔ２４において、第２の帯域制御トランジスタ３０１がその

しきい値電圧を跨いでオン状態からオフ状態に徐々に変化するように、帯域制御信号線ＣＯＮ３を制御してもよい。

【０１６９】

これにより、撮像装置１００を構成する複数の単位画素セル１１０Ｃの間で、第２の帯域制御トランジスタ３０１のしきい値電圧にばらつきがあっても、全ての画素内で発生するノイズを効果的に抑制することができる。また、テーパリセットにおける帯域制御信号線ＣＯＮ３に印加する電圧の変化幅は、各画素の第２の帯域制御トランジスタ３０１のしきい値で夏のばらつきの範囲に制限してもよい。これにより、テーパリセットに要する時間を短縮でき、ノイズ抑制を高速に行うことができる。

【０１７０】

（露光／読み出し期間）

時刻ｔ２６において、選択制御信号線ＣＯＮ８の電圧をローレベルにして、第３の選択トランジスタ５０２をオンにし、第１の増幅トランジスタ２００のソースおよびドレインの他方の電圧がＶａ２（例えばＶＤＤ）になるように切替回路２０を制御する。また、信号読み出しライン７に定電流源６が接続されるように切替回路４０を制御する。この状態においては、第１の増幅トランジスタ２００と定電流源６とがソースフォロア回路を形成する。信号読み出しライン７は、ＦＤに蓄積された信号電荷に応じた電圧となる。そのとき、ソースフロア回路の増幅率は１倍程度である。

【０１７１】

時刻ｔ２６において、ＦＤの電圧は、リセット電圧（ＶＲ２）を基準として、時刻ｔ２５からｔ２６の期間に光検出器１において生成された信号電荷に応じた電圧分だけ変化している。ＦＤの電圧は、１倍程度の増幅率で増幅器２により増幅されて、信号読み出しライン７に出力される。

【０１７２】

ｋＴＣノイズは、ノイズ抑制期間に$\{1+(1+A\times B)\times Cfd/Cs\}^{1/2}/(1+A\times B)$倍に抑制され、さらに、露光／読み出し期間において、１倍程度の増幅率で信号読み出しライン７に出力される。これにより、ランダムノイズが抑制された良好な画像データを取得することができる。

【０１７３】

本実施形態においては、第２の実施形態と同様に、面積が許す限りＣｓを大きくすることにより、ランダムノイズは抑制され得る。典型的には、第１の容量素子９の容量を大きくすると、ランダムノイズは低減される。しかし、ＦＤにおいて電荷信号を電圧信号に変換する際に信号レベルが小さくなってしまうので、結果としてＳ／Ｎは改善されない。しかし本実施形態によれば、ＦＤとＲＤとが第２の容量素子１０によって分離されているので、第１の容量素子９の容量を大きくしても信号の低下は生じにくい。その結果、ランダムノイズだけが抑制されるので、Ｓ／Ｎが改善されるという効果が得られる。

【０１７４】

また、本実施形態によれば、第２の実施形態と同様に、周辺回路のばらつきをキャンセルするために、ＣＤＳを実施することも可能である。具体的には、ソースフォロア回路によりＦＤの信号電圧を読み出した後、上述したリセット動作を再度行う。リセット動作が完了した後、光検出器１が光検出を行う前に、ソースフォロア回路により読み出し動作を再度行う。これにより、リセット電圧ＶＲＳＴを読み出すことができる。ＦＤの信号電圧とリセット電圧との差分を取ることにより、ＣＤＳを実施できる。

【０１７５】

また、ノイズキャンセルのための帰還を、複数の単位画素セル１１０Ｃの各画素内で行う。これにより、読み出しライン７の時定数に影響を受けることなく、ノイズキャンセルを高速に行える。さらに、単位画素セル１１０Ｃ内に配置する容量素子の容量を大きくすることにより、より大きなノイズ抑制効果が得られる。

【０１７６】

なお、本実施形態においても、露光期間において、ＦＤの信号はソースフォロア回路によ

り読み出されるので、増幅率は１倍程度である。しかし、これに限定されるものではなく、設計者は、システムに必要なＳ／Ｎまたは回路レンジに応じて増幅率を変えてもよい。

【０１７７】

以下、本実施形態による読み出し回路５０Ｃの構成および動作の変形例を説明する。

【０１７８】

図２１Ａおよび図２２Ａは、読み出し回路５０Ｃの他の回路構成を模式的に示している。図２１Ａおよび図２２Ａに示される読み出し回路５０Ｃ’は、基準電圧ＶＲ２の代わりに、第１の増幅トランジスタ２００のソースおよびドレインの一方の電圧（増幅器２の出力電圧）をリセットトランジスタ４００に印加している。この点において、図２１Ａおよび図２２Ａに示　される読み出し回路５０Ｃ’は、図１９Ａに示される読み出し回路５０Ｃと異なっている。図２１Ａおよび図２２Ａに示す構成によると、リセットトランジスタ４００をオフする前後におけるＦＤの電圧の変化を小さくすることができるので、より高速なノイズ抑制が可能となる。

【０１７９】

図１９Ｂを用いて説明した、切替回路４０が定電流源６Ｂを含む構成は、図２１Ａおよび図２２Ａに示される構成にも適用できる。図２１Ｂは、図２１Ａに示される構成の変形例を示し、図２２Ｂは、図２２Ａに示される構成の変形例を示している。それぞれの変形例において、切替回路４０は、定電流源６Ａに加え、定電流源６Ｂを有している。また、出力選択部５Ｃは、ＮＭＯＳトランジスタである第４の選択トランジスタ５０３を有している。図２１Ａおよび図２２Ａに示される構成は、図１９Ｂに示される構成と同様に、第４のスイッチ素子１４および第４の選択トランジスタ５０３をオンすることで、定電流源６Ｂから第１の増幅トランジスタ２００に電流を供給することができる。

【０１８０】

（第４の実施形態）

図２３から図２７を参照して、本実施形態による撮像装置１００の構造、機能および駆動方法を説明する。本実施形態による撮像装置１００は、以下の点で、第１から第３の実施形態による撮像装置１００とは異なる。第１に、読み出し回路５０Ｄ内の増幅器２Ａが、増幅機能および帯域制御機能を有する。第２に、増幅器２Ａは、自身の出力を入力に戻すことにより、自ら帯域制御を行いながら、自らの増幅機能（増幅率：－Ａ）で負帰還をかけ、リセットノイズを１／（１＋Ａ）$^{1/2}$に抑制する。

【０１８１】

図２３は、本実施形態による撮像装置１００内の単位画素セル１１０Ｄの、例示的な回路構成を模式的に示す。単位画素セル１１０Ｄは、光検出器１、および読み出し回路５０Ｄを含む。読み出し回路５０Ｄは、増幅器２Ａ、ＦＤ、および出力選択部５Ｂを含んでいる。出力選択部５Ｂは、信号読み出しライン７を介して定電流源６に接続され、定電流源６によって電流駆動される。増幅器２Ａは、ＦＤに蓄積された電荷に応じた信号を増幅し、かつ、ＦＤ内に発生したｋＴＣノイズを抑制するために帯域制御を行う。

【０１８２】

図２４を参照しながら、読み出し回路５０Ｄの構造および機能を詳細に説明する。

【０１８３】

図２４は、読み出し回路５０Ｄの回路構成の一例を模式的に示している。増幅器２Ａは、第２の増幅トランジスタ２０１を含み、出力選択部５Ｂは、第４の増幅トランジスタ２０３および第２の選択トランジスタ５０１を含んでいる。以下、読み出し回路５０Ｄ内の電気的な接続関係を説明する。

【０１８４】

第２の増幅トランジスタ２０１において、ゲートと、ソースおよびドレインの一方とがＦＤに接続されている。ソースおよびドレインの他方は、第４の制御信号線ＣＯＮ４に接続されている。第２の増幅トランジスタ２０１は、ＦＤに蓄積された信号電荷に応じた信号電圧を増幅する。

【０１８５】

第４の増幅トランジスタ２０３のゲートには、ＦＤが接続されている。第４の増幅トランジスタ２０３のソースおよびドレインの一方は、電源電圧ＶＤＤまたは基準電圧に接続されている。第４の増幅トランジスタ２０３のソースおよびドレインの他方は、第２の選択トランジスタ５０１のソースおよびドレインの一方に接続されている。第２の選択トランジスタ５０１のゲートは、読み出し行を選択する第７の制御信号線ＣＯＮ７に接続されている。第２の選択トランジスタ５０１のソースおよびドレインの他方は、信号読み出しライン７を介して定電流源６に接続されている。このように、第４の増幅トランジスタ２０３と、第２の選択トランジスタ５０１と、定電流源６とがソースフォロア回路を形成する。また、第２の選択トランジスタ５０１は、第２の増幅トランジスタ２０１の出力を選択的に読み出しライン７を介して外部に出力する。

【０１８６】

第２の増幅トランジスタ２０１のゲートと、第２の増幅トランジスタ２０１のソースおよびドレインの一方とは、増幅器２Ａの入力と出力とにそれぞれ相当する。このように、増幅器２Ａの出力を入力に接続することによって、帰還ループが形成される。このように、フィードバック回路３０は、光検出器１の信号を第４の増幅トランジスタ２０３を介さずにＦＤに負帰還する。

【０１８７】

次に、図２５を参照しながら、読み出し回路５０Ｄの動作フローを説明する。

【０１８８】

図２５は、読み出し回路５０Ｄの動作の一例を示すタイミングチャートである。各グラフの横軸は時間を示し、縦軸は、上から順に、第４の制御信号線ＣＯＮ４の電圧、および第７の制御信号線ＣＯＮ７の電圧を示している。

【０１８９】

（リセット期間）

時刻ｔ２８において、第７の制御信号線ＣＯＮ７の電圧はローレベルであり、第２の選択トランジスタ５０１はオフしている。すなわち、信号読み出しライン７と第４の増幅トランジスタ２０３とは電気的に切り離されている。この状態で、ＦＤが所望のリセット電圧ＶＲＳＴ近傍の電圧になるように、第４の制御信号線ＣＯＮ４の電圧を第１の基準電圧に設定する。このとき、第２の増幅トランジスタ２０１の帯域は、広帯域である第３の帯域に設定される。これにより、ＦＤ、第２の増幅トランジスタ２０１のゲート、および第２の増幅トランジスタ２０１のソースおよびドレインの一方は、高速に所望の電圧に設定される。第３の帯域は、第１の基準電圧に対応した帯域を意味する。

【０１９０】

ＦＤの電圧がリセット電圧ＶＲＳＴに近いほど、最終的にノイズ抑制に要する時間が短くなるので、駆動時間を短縮できる。そのため、ＦＤの電圧がリセット電圧ＶＲＳＴ近傍の電圧になるように、第４の制御信号線ＣＯＮ４の電圧を設定することが望ましい。ただし、駆動時間に余裕があれば、第４の制御信号線ＣＯＮ４の電圧の設定値はこれに限らない。

【０１９１】

（ノイズ抑制期間）

時刻ｔ２９からｔ３１において、第７の制御信号線ＣＯＮ７はローレベルのままであり、第２の選択トランジスタ５０１はオフ状態である。すなわち、信号読み出しライン７と、第４の増幅トランジスタ２０３とは、電気的に切り離された状態のままである。この状態で、第４の制御信号線ＣＯＮ４の電圧を、第２の基準電圧に設定する。これにより、第２の増幅トランジスタ２０１はオンからオフに徐々に変更される。そのとき、第２の増幅トランジスタ２０１において、ｋＴＣノイズが発生する。このｋＴＣノイズは、第２の増幅トランジスタ２０１のソースおよびドレインの一方が接続されたＦＤに寄生する容量Ｃｆｄに依存している。そこで、第２の増幅トランジスタ２０１による帰還ループを用いて、このノイズを抑制する。

【０１９２】

第２の基準電圧を、第２の増幅トランジスタ２０１が急激にオンからオフするような電圧

に設定した場合、発生するリセットノイズの帯域は～数ＴＨｚと広くなる。従って、増幅器２Ａによる帰還ループでは、増幅器２Ａの帯域を超える高周波ノイズを抑制することが困難となる。そこで、時刻ｔ２９からｔ３１において、第２の増幅トランジスタ２０１の帯域が第３の帯域よりも狭い第４の帯域になるように、第２の基準電圧を設定する。第４の帯域は、第２の基準電圧に対応した帯域を意味する。これにより、第２の増幅トランジスタ２０１の帯域を、自らの帰還ループで形成される増幅器２Ａの帯域内に制限することが可能となる。さらに、第２の増幅トランジスタ２０１において発生するリセットノイズを、全帯域において効率よく抑制することができる。

【０１９３】

ノイズが十分抑制された後、時刻ｔ３１において、第４の制御信号線ＣＯＮ４の電圧を第２の増幅トランジスタ２０１が完全にオフとなる第４の基準電圧に変更する。これにより、第２の増幅トランジスタ２０１による帰還ループが切断され、ノイズが抑制された状態でＦＤの電圧が安定する。

【０１９４】

なお、本実施形態のノイズ抑制期間においても、図８、１７を用いて説明したテーパリセットを適用してもよい。図２６は、テーパリセットを適用した場合の、読み出し回路５０Ｄの動作の一例を示すタイミングチャートである。図示するように、時刻ｔ２９からｔ３０の期間に、第４の制御信号線ＣＯＮ４の電圧を、第２の基準電圧から第３の基準電圧までの範囲内で、第２の増幅トランジスタ２０１がしきい値電圧を跨ぐように徐々に変化させてもよい。これにより、第２の増幅トランジスタ２０１は、オン状態からオフ状態に除々に変化する。換言すると、時刻ｔ２９からｔ３０の期間に、第４の帯域から第５の帯域に徐々に変化するように、第４の制御信号線ＣＯＮ４の電圧を変化させる。第５の帯域は、第３の基準電圧に対応した帯域を意味する。第２の増幅トランジスタ２０１の帯域を、自らの帰還ループで形成される増幅器２Ａの帯域内に制限しながら、第２の増幅トランジスタ２０１を除々にオンからオフに変化させる。これにより、ＦＤ内で発生するノイズを全帯域において抑制することができる。ここで、第４の帯域および第５の帯域は、第３の帯域よりも狭い。なお、第２の基準電圧および第３の基準電圧は、複数の単位画素の間の製造ばらつきを考慮して所定のマージンを含んでもよい。

【０１９５】

（露光／読み出し期間）

ＦＤのノイズが十分抑制され、電圧が安定した状態で、所望の期間において、ＦＤに電荷を蓄積する。その後、時刻ｔ３２において、第２の選択トランジスタ５０１をオンし、第４の増幅トランジスタ２０３を信号読み出しライン７と電気的に接続する。これにより、第４の増幅トランジスタ２０３と定電流源６とはソースフォロア回路を形成する。ＦＤに蓄積された信号電荷は、ソースフォロア回路で増幅され、信号読み出しライン７を介して、周辺回路（ＣＤＳ回路、Ａ／Ｄ回路等）に出力される。

【０１９６】

ノイズ抑制率と、読み出し時の安定性とを考慮した場合、増幅器２Ａの利得はできるだけ大きくすることが望ましい。例えば、出力選択部５Ｂ内の増幅器（ソースフォロア）の利得よりも大きく設定することが望ましい。

【０１９７】

本実施形態によれば、他の実施形態と同様に、周辺回路のばらつきをキャンセルするために、ＣＤＳを実施することも可能である。具体的には、時刻ｔ３２において、ソースフォロア回路によりＦＤの信号電圧を読み出した後、上述したリセット動作を再度行う。リセット動作が完了した後、光検出器１が光検出を行う前に、ソースフォロア回路によりリセット電圧の読み出し動作を再度行う。これにより、リセット電圧ＶＲＳＴを読み出すことができる。ＦＤの信号電圧とリセット電圧との差分を取ることにより、ＣＤＳを実施できる。

【０１９８】

また、本実施形態では、露光期間において、ＦＤの信号はソースフォロア回路により読み

出されるので、増幅率は１倍程度である。しかし、これに限定されるものではなく、設計者は、システムに必要なＳ／Ｎまたは回路レンジに応じて増幅率を変えてもよい。

【０１９９】

本実施形態によれば、第１から第３の実施形態と同様に、単位画素セル内でノイズキャンセルのための帰還が完結される。そのため、読み出しライン７の時定数の影響を受けることなく、ノイズキャンセルを高速に行える。さらに、増幅器２Ａは増幅機能および帯域制御機能の両方を備えている。これにより、単位画素セルの小面積化、つまり、狭画素セルへの対応が可能となる。これは、本実施形態の特筆すべき特徴である。画素面積が狭い撮像素子においても、構成要素を増加させることなく、ＦＤのノイズを効果的に抑制できる。

【０２００】

なお、本実施形態では、リセット期間およびノイズ抑制期間において、第２の選択トランジスタ５０１をオフにして、第４の増幅トランジスタ２０３を信号読み出しライン７から切り離した状態とした。しかしながら、本開示はこれに限定されず、例えば上述したタイミングとは別のタイミングで信号を読み出してもよい。その場合、第２の選択トランジスタ５０１をオン状態のまま実施しても構わない。また、駆動時間に余裕があれば、リセット期間を省略し、リセットノイズを抑制する収束時間を短縮するための駆動を行わずに、ノイズ抑制期間および露光／読み出し期間における動作のみを実施しても構わない。また、信号読み出しライン７および／または定電流源６を単位画素セル毎に設けてもよいし、複数の単位画素セルの間で共有しても構わない。

【０２０１】

以下、本実施形態による読み出し回路５０Ｄの構成および動作の変形例を説明する。図２７は、読み出し回路５０Ｄの回路構成の他の一例を模式的に示している。 本変形例の構成において特筆すべきは、増幅器２Ａが、第３の増幅トランジスタ２０２に加えて、第３の容量素子１９および第４の容量素子２０を含んでいる点である。 第３の増幅トランジスタ２０２のゲートは、ＦＤに接続されている。第３の増幅トランジスタ２０２のソースおよびドレインの一方は、第６の制御信号線ＣＯＮ６に接続されている。第３の増幅トランジスタ２０２のソースおよびドレインの他方は、第３の容量素子１９の一端と、第４の容量素子２０の一端とに接続される。第３の容量素子１９の他端は第３の基準電圧ＶＲ３に接続される。第４の容量素子２０の他端はＦＤに接続される。また、第３の増幅トランジスタ２０２、第３の容量素子１９、および第４の容量素子２０の間には、ノードＲＤが形成される。

【０２０２】

本変形例の構成によれば、第３の増幅トランジスタ２０２のゲートと、第４の容量素子２０の他端とが、増幅器２Ａの入力と、出力とにそれぞれ相当する。出力を入力に接続することにより負帰還ループが形成される。増幅器２Ａの増幅率を－Ａ倍とすると、第３の増幅トランジスタ２０２で発生するリセットノイズを１／（１＋Ａ）$^{1/2}$に抑制できる。

【０２０３】

本変形例の第１の利点は、第３の容量素子１９の容量Ｃ３を、ＦＤの容量Ｃｆｄよりも大きく設定することにより、第３の増幅トランジスタ２０２で発生するｋＴＣノイズを、（ｋＴ／Ｃ３）$^{1/2}$＜（ｋＴ／Ｃｆｄ）$^{1/2}$と小さくすることが可能な点である。第２の利点は、第４の容量素子２０の容量Ｃ４を、ＦＤの容量よりも小さく設定することにより、ＦＤの容量Ｃｆｄと第４の容量素子２０の容量Ｃ４との分圧によって、ＦＤにおけるノイズ量をＣ４／（Ｃｆｄ＋Ｃ４）倍に減衰させることができる点である。

【０２０４】

この変形例により得られる効果を、図２４に示す構成の効果と具体的に比較する。図２４に示す構成では、増幅器２Ａのゲインを Ａ倍、第２の増幅トランジスタ２０１のゲインをＡ’倍とすると、第２の増幅トランジスタ２０１のリセットノイズは、１／（１＋Ａ）$^{1/2}$＝１／（１＋Ａ’）$^{1/2}$に抑制される。一方、本変形例では、増幅器２Ａのゲインを Ａ、第３の増幅トランジスタ２０２のゲインをＡ’とすると、第３の増幅トランジスタ２０２のリセットノイズは、１／（１＋Ａ）$^{1/2}$＝１／〔１＋Ａ’×｛Ｃ４／（Ｃｆｄ＋Ｃ４

）｝×（Ｃ３／Ｃｆｄ）｝$^{1/2}$に抑制される。このように、図２４に示す構成と比べてリセットノイズを大幅に抑制できる。

【０２０５】

ノイズの抑制に関して、典型的には、第３の容量素子１９の容量Ｃ３を大きくすると、ランダムノイズは低減される。しかし、ＦＤで信号電荷を電圧信号に変換するときに、信号レベルが小さくなってしまうので、結果としてＳ／Ｎは改善されない。しかしながら、本変形例によれば、ＦＤとＲＤとは第４の容量素子２０によって分離されているので、容量を大きくしても信号レベルは低下しない。よって、ランダムノイズだけが抑制されるので、Ｓ／Ｎが改善される。

【０２０６】

次に、本変形例による撮像装置１００の読み出し動作を、図２５または図２６に示す駆動方法とは異なる点に着目して説明する。

【０２０７】

増幅器２Ａには、第６の制御信号線ＣＯＮ６が接続されている。原則として、第６の制御信号線ＣＯＮ６には、図２５に示す第４の制御信号線ＣＯＮ４と同じ信号が入力される。なお、第６の制御信号線ＣＯＮ６の代わりに、第３の基準電圧ＶＲ３として第５の基準電圧を設定し、第３の増幅トランジスタ２０２のソースおよびドレインの他方の電圧を変化させても構わない。あるいは、ＲＤノードを直接制御しても良い。ここで、第５の基準電圧は第２の基準電圧に対応する。

【０２０８】

また、第６の制御信号線ＣＯＮ６には、図２６のＣＯＮ４のように、第３の増幅トランジスタ２０２のしきい値を跨ぎ、オン状態からオフ状態に除々に変化する電圧を入力してもよい。すなわち、時刻ｔ２９からｔ３０において、第２の基準電圧から第３の基準電圧までの範囲内でしきい値電圧を跨ぐように、第６の制御信号線ＣＯＮ６の電圧を徐々に変化させてもよい。または、時刻ｔ２９からｔ３０において、第６の制御信号線ＣＯＮ６の代わりに、第３の基準電圧ＶＲ３として第５の基準電圧から第６の基準電圧まで変化する電圧を設定し、第３の増幅トランジスタ２０２のソースおよびドレインの他方の電圧を変化させても構わない。あるいは、ＲＤノードを直接制御しても良い。ここで、第６の基準電圧は第３の基準電圧に対応する。

【０２０９】

本変形例によれば、第３の容量素子１９および第４の容量素子２０の効果により、図２４に示す構成と比べて、ノイズ抑圧率を大幅に向上させることができる。

【０２１０】

なお、２つの容量を配置することにより、ノイズ抑制効果は大きくなる。ただし、配置面積も大きくなる。容量素子の有無、容量の絶対値に依存して抑制効果は変化するので、設計者は任意の構成、値を選択し、設計することが可能である。

【０２１１】

（第５の実施形態）

図２８から図３４を参照して、本実施形態による撮像装置１００の構造、機能および駆動方法を説明する。本実施形態による撮像装置１００は、第４の実施形態による読み出し回路５０Ｄにスイッチ部４Ｂを付加した点で、第４の実施形態による撮像装置１００とは異なる。以下、第４の実施形態とは異なる点を中心に説明する。

【０２１２】

図２８および図２９は、本実施形態による撮像装置１００内の単位画素セル１１０Ｅの、例示的な回路構成を模式的に示す。単位画素セル１１０Ｅは、光検出器１および読み出し回路５０Ｅを含む。読み出し回路５０Ｅは、増幅器２Ｂ、ＦＤ、スイッチ部４Ｂおよび出力選択部５Ｂを含んでいる。

【０２１３】

図３０を参照しながら、読み出し回路５０Ｅの構造および機能を詳細に説明する。

【０２１４】

図３０は、読み出し回路５０Ｅの回路構成の一例を模式的に示している。スイッチ部４Ｂは、スイッチトランジスタ４０１を含む。スイッチトランジスタ４０１のゲートには、第５の制御信号線ＣＯＮ５が接続されている。スイッチトランジスタ４０１のソースおよびドレインの一方には、ＦＤが接続されている。スイッチトランジスタ４０１のソースおよびドレインの他方には、第４の基準電圧ＶＲ４が接続される。第３の増幅トランジスタ２０２のソースおよびドレインの一方には、第６の制御信号ＣＯＮ６が接続されている。

【０２１５】

次に、図３１を参照しながら、読み出し回路５０Ｅの動作フローを説明する。

【０２１６】

図３１は、読み出し回路５０Ｅの動作の一例を示すタイミングチャートである。各グラフの横軸は時間を示し、縦軸は、上から順に、第５の制御信号線ＣＯＮ５の電圧、第６の制御信号線ＣＯＮ６の電圧、および第７の制御信号線ＣＯＮ７の電圧をそれぞれ示している。

【０２１７】

（リセット期間）

時刻ｔ２８において、第５の制御信号線ＣＯＮ５の電圧をハイレベルにして、スイッチトランジスタ４０１をオンにする。このとき、第４の基準電圧ＶＲ４とＦＤとが接続される。また、時刻ｔ２８において、第７の制御信号線ＣＯＮ７の電圧はローレベルであり、選択トランジスタ５０１はオフ状態である。すなわち、信号読み出しライン７から、第４の増幅トランジスタ２０３は電気的に切り離されている。この状態で、ＦＤが所望のリセット電圧ＶＲＳＴ（＝ＶＲ４）近傍の電圧になるように、第６の制御信号ＣＯＮ６を第１の基準電圧に設定する。このとき、第３の増幅トランジスタ２０２の帯域を、広帯域である第３の帯域に設定することにより、ＦＤ、第３の増幅トランジスタ２０２のゲートと、３の増幅トランジスタ２０２のソースおよびドレインの他方は、高速に所望の電圧に設定される。

【０２１８】

ＦＤの電圧がリセット電圧ＶＲＳＴに近いほど、最終的にノイズ抑制に要する時間が短くなるので、駆動時間を短縮できる。そのため、ＦＤの電圧がリセット電圧ＶＲＳＴ近傍の電圧になるように、第６の制御信号線ＣＯＮ６に電圧を与えることが望ましい。ただし、駆動時間に余裕があれば、電圧の設定値はその限りではない。

【０２１９】

時刻ｔ２９において、第５の制御信号線ＣＯＮ５の電圧をローレベルにして、スイッチトランジスタ４０１をオフし、第４の基準電圧ＶＲ４とＦＤとが切断されるようにする。

【０２２０】

（ノイズ抑制期間）

スイッチトランジスタ４０１がオフされ、第４の基準電圧ＶＲ４とＦＤとが切断された状態で、ノイズ抑制動作と、信号レベルまたはリセットレベルの読み出し動作とが実施される。

【０２２１】

時刻ｔ２９からｔ３１の期間は、第７の制御信号線ＣＯＮ７はローレベルのままであり、第２の選択トランジスタ５０１をオフされている。すなわち、信号読み出しライン７と第４の増幅トランジスタ２０３とは、電気的に切り離された状態のままである。この状態で、第６の制御信号線ＣＯＮ６の電圧を第２の基準電圧に設定する。これにより、第３の増幅トランジスタ２０２は、オンからオフに徐々に変更される。

【０２２２】

時刻ｔ２９からｔ３１の期間において、第３の増幅トランジスタ２０２の帯域が第３の帯域よりも狭い第４の帯域になるように、第２の基準電圧を設定する。これにより、第３の増幅トランジスタ２０２の帯域を、自らの帰還ループで形成される増幅器２Ｂの帯域内に制限することが可能となる。さらに、第３の増幅トランジスタ２０２において発生するリセットノイズを、全帯域において効率よく抑制することができる。

【０２２３】

ノイズが十分抑制された後、時刻ｔ３１において、第６の制御信号線ＣＯＮ６の電圧を、第３の増幅トランジスタ２０２が完全にオフとなる第４の基準電圧に変更する。これにより、第３の増幅トランジスタ２０２による帰還ループは切断され、ノイズが抑制された状態でＦＤの電圧は安定する。

【０２２４】

なお、本実施形態のノイズ抑制期間においても、図８、１７を用いて説明したテーパリセットを適用してもよい。図３２は、テーパリセットを適用した場合の、読み出し回路５０Ｅの動作の一例を示すタイミングチャートである。図３２に示すように、時刻ｔ２９からｔ３０の期間に、第６の制御信号線ＣＯＮ６の電圧を、第２の基準電圧から第３の基準電圧までの範囲内で、第３の増幅トランジスタ２０２がしきい値電圧を跨ぐように徐々に変化させてもよい。第３の増幅トランジスタ２０２は、オン状態からオフ状態に除々に変化する。これにより、ＦＤ内で発生するノイズを全帯域において抑制することができる。

【０２２５】

（露光／読み出し期間）

ＦＤのノイズが十分抑制され、電圧が安定した状態で、所望の期間において、ＦＤに信号電荷を蓄積させる。その後、時刻ｔ３２において、第２の選択トランジスタ５０１をオンし、第４の増幅トランジスタ２０３を信号読み出しライン７と電気的に接続する。これにより、第４の増幅トランジスタ２０３と定電流源６とは、ソースフォロア回路を形成する。ＦＤに蓄積された信号電荷は、ソースフォロア回路で増幅され、信号読み出しライン７を介して、周辺回路（ＣＤＳ回路、Ａ／Ｄ回路等）に出力される。

【０２２６】

本実施形態によると、スイッチトランジスタ４０１を制御することにより、ＦＤを所望のリセット電圧ＶＲＳＴに高速に設定することが容易になる。

【０２２７】

第４の実施形態においては、増幅器２Ａのゲインを－Ａ倍として、第２の増幅トランジスタ２０１または第３の増幅トランジスタ２０２で発生するリセットノイズを、帯域制限をかけながら帰還する。これにより、リセットノイズは１／（１＋Ａ）$^{1/2}$倍に抑制される。

【０２２８】

これに対して、本実施形態によると、スイッチトランジスタ４０１がオフされた後に帰還をかけるので、スイッチトランジスタ４０１で発生するリセットノイズを１／（１＋Ａ）$^{1/2}$に大幅に抑制できる。また、第３の増幅トランジスタ２０２において発生するリセットノイズは、帯域制限をかけながら帰還することにより、１／（１＋Ａ）$^{1/2}$まで抑制される。さらに、第４の実施形態の変形例と同様に、第３の容量素子１９の容量Ｃ３をＦＤの容量Ｃｆｄよりも大きく設定することにより、第３の増幅トランジスタ２０２で発生するｋＴＣノイズを、（ｋＴ／Ｃ３）$^{1/2}$＜（ｋＴ／Ｃｆｄ）$^{1/2}$と小さくすることができる。また、第４の容量素子２０をＦＤの容量Ｃｆｄよりも小さく設定することにより、ＦＤの容量Ｃｆｄと、第４の容量素子２０の容量Ｃ４との分圧によって、ＦＤにおけるノイズ量をＣ４／（Ｃｆｄ＋Ｃ４）倍に減衰させることができる。

【０２２９】

本実施形態により得られる効果を、第４の実施形態の図２４および図２７に示す構成により得られる効果と具体的に比較する。図２４に示す構成によれば、増幅器２Ａのゲインを Ａ倍、第２の増幅トランジスタ２０１のゲインをＡ’倍とすると、第２の増幅トランジスタ２０１のリセットノイズは、１／（１＋Ａ）$^{1/2}$＝１／（１＋Ａ’）$^{1/2}$に抑制される。これに対し図２７に示す構成によれば、増幅器２Ａのゲインを Ａ、第３の増幅トランジスタ２０２のゲインをＡ’とすると、第３の増幅トランジスタ２０２のリセットノイズは、１／（１＋Ａ）$^{1/2}$＝１／〔１＋Ａ’×｛Ｃ４／（Ｃｆｄ＋Ｃ４）｝×（Ｃ３／Ｃｆｄ）〕$^{1/2}$に抑制される。このように、図２４に示す構成と比べてリセットノイズを抑制できる。

【０２３０】

一方、本実施形態によれば、増幅器２ＢのゲインをＡ倍、第３の増幅トランジスタ２０２のゲインをＡ’倍とすると、スイッチトランジスタ４０１のリセットノイズは１／（１＋Ａ）＝１／〔１＋Ａ’×｛Ｃ４／（Ｃｆｄ＋Ｃ４）｝〕に抑制される。また、第３の増幅トランジスタ２０２のリセットノイズは、１／（１＋Ａ）$^{1/2}$＝１／〔１＋Ａ’×｛Ｃ４／（Ｃｆｄ＋Ｃ４）｝×（Ｃ３／Ｃｆｄ）〕$^{1/2}$に抑制される。トータルノイズは、これらの二乗和平方根から得られるので、第４の実施形態と比べてリセットノイズを大幅に抑制できる。

【０２３１】

本実施形態によれば、第３の容量素子１９および第４の容量素子２０の効果により、第４の実施形態と比べて、リセットノイズを大幅に抑制できる。また、スイッチ部４Ｂを設けることにより、リセットおよびノイズ抑制を高速に行うことが容易になる。

【０２３２】

このように、第３の容量素子１９、第４の容量素子２０およびスイッチ部４Ｂを設けることにより、大きなノイズ抑制効果が得られる。ただし、配置面積も大きくなる。ノイズ抑制効果は、容量素子の有無、容量の絶対値に依存するので、設計者は任意の構成、容量の絶対値を選択し、設計することが可能である。

【０２３３】

以下、本実施形態による読み出し回路５０Ｅの変形例を説明する。

【０２３４】

図３３および図３４は、読み出し回路５０Ｅの、他の例示的な回路構成を模式的に示している。図３３に示されるように、スイッチトランジスタ４０１のソースおよびドレインの一方がＦＤに接続され、スイッチトランジスタ４０１のソースおよびドレインの他方が第６の制御信号線ＣＯＮ６に接続されていてもよい。この構成により、第４の基準電圧ＶＲ４を印加することなくリセットを実行でき、図３０に示す構成と同様の効果が得られる。

【０２３５】

また、スイッチ部４Ｂの他の変形例として、図３４に示されるように、スイッチトランジスタ４０１のソースおよびドレインの一方がＦＤに接続され、ソースおよびドレインの他方が、第３の容量素子１９と、第４の容量素子２０との接続点（ＲＤ）に接続されていてもよい。この構成により、第４の基準電圧ＶＲ４を印加することなくリセットを実行でき、図３０に示す構成と同様の効果が得られる。本構成によれば、特に、第３の増幅トランジスタ２０２のゲートと、第３の増幅トランジスタ２０２のソースおよびドレインの他方とを同一の電圧に設定することができるので、ノイズキャンセルの時間を短縮することが可能となる。

【０２３６】

なお、第１から第５の実施形態では、負帰還によるフィードバック回路３０または３０’の動作を説明したが、フィードバックはこれに限定されない。フィードバックに正帰還を追加することもできる。例えば、正帰還をかけた後で負帰還をかけてノイズを抑止してもよいし、その逆の順番でノイズを抑止してもよい。また、正帰還および負帰還を同時にかけながらノイズを抑止してもよい。このように正帰還を併用することで、ノイズ抑制のさらなる高速化・効率化が期待される。

【０２３７】

（第６の実施形態）

図３５を参照して、本実施形態によるカメラシステム６００を説明する。

【０２３８】

図３５は、本実施形態によるカメラシステム６００の構成例を模式的に示す。カメラシステム６００は、レンズ光学系６０１と、撮像装置６０２と、システムコントローラ６０３と、カメラ信号処理部６０４とを備えている。

【０２３９】

レンズ光学系６０１は、例えばオートフォーカス用レンズ、ズーム用レンズおよび絞りを含んでいる。レンズ光学系６０１は、撮像装置１００の撮像面に光を集光する。撮像装置

６０２として、上述した第１から第５の実施形態による撮像装置を広く用いることができる。

【０２４０】

システムコントローラ６０３は、カメラシステム６００全体を制御する。システムコントローラ６０３は、例えばマイクロコンピュータによって実現され得る。

【０２４１】

カメラ信号処理部６０４は、撮像装置１００からの出力信号を処理する信号処理回路として機能する。カメラ信号処理部６０４は、例えばガンマ補正、色補間処理、空間補間処理、およびオートホワイトバランスなどの処理を行う。カメラ信号処理部６０４は、例えばＤＳＰ（Ｄｉｇｉｔａｌ Ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｏｒ）などによって実現され得る。

【０２４２】

本実施形態によるカメラシステムによれば、第１から第５の実施形態による撮像装置を利用することによって、読出時のリセットノイズ（ｋＴＣノイズ）を適切に抑制することができる。その結果、電荷を正確に読み出すことができ、良好な画像を取得できる。

【産業上の利用可能性】

【０２４３】

本開示による撮像装置は、デジタルスチルカメラ、医療用カメラ、監視用カメラ、車載用カメラ、デジタル一眼レフカメラ、デジタルミラーレス一眼カメラなど、様々なカメラシステムおよびセンサシステムに適用できる。

【符号の説明】

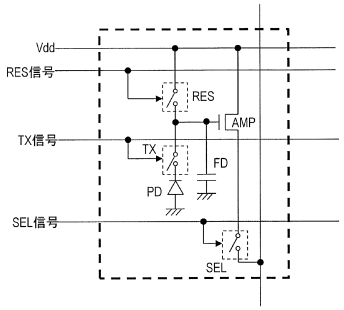
【０２４４】

１　光検出器
１Ａ　有機光電膜
１Ｂ　フォトダイオード
２、２Ａ、２Ｂ　増幅器
３、３’　帯域制御部
３Ａ、３Ｂ　帯域制御回路
４Ａ　リセット回路
４Ｂ　スイッチ部
５、５Ｂ、５Ｃ　出力選択部
６、８、１４４　定電流源
７　信号読み出しライン
９　第１の容量素子
１０　第２の容量素子
１１　第１のスイッチ素子
１２　第２のスイッチ素子
１３　第３のスイッチ素子
１４　第４のスイッチ素子
２０、４０　切替回路
３０、３０’　フィードバック回路
５０Ａ、５０Ｂ、５０Ｂ’、５０Ｃ、５０Ｃ’、５０Ｄ、５０Ｅ　読み出し回路
１００　撮像装置
１１０Ａ、１１０Ｂ、１１０Ｃ、１１０Ｄ、１１０Ｅ　単位画素セル
１２０　電源配線
１３０　蓄積制御線
１４１　垂直走査回路
１４２　カラム信号処理回路
１４３　水平信号読み出し回路
１７０　垂直信号線

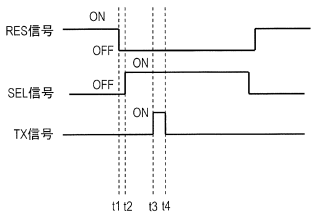
１８０　水平信号共通線
２００　第１の増幅トランジスタ
２０１　第２の増幅トランジスタ
２０２　第３の増幅トランジスタ
２０３　第４の増幅トランジスタ
３００　第１の帯域制御トランジスタ
３０１　第２の帯域制御トランジスタ
４００　リセットトランジスタ
４０１　スイッチトランジスタ
５００　第１の選択トランジスタ
５０１　第２の選択トランジスタ
５０２　第３の選択トランジスタ
５０３　第４の選択トランジスタ
６００　カメラシステム
６０１　レンズ光学系
６０２　固体撮像装置
６０３　システムコントローラ
６０４　信号処理部
ＣＯＮ１、ＣＯＮ３　帯域制御信号線
ＣＯＮ２　リセット制御信号線
ＣＯＮ４　第４の制御信号線
ＣＯＮ５　第５の制御信号線
ＣＯＮ６　第６の制御信号線
ＣＯＮ７　第７の制御信号線
ＣＯＮ８、ＣＯＮ９　選択制御信号線　ＦＤ　電荷蓄積部
ＲＤ　画素内ノード
Ｖｐ　基準電圧／制御電圧
ＶＲ１、ＶＲ２、ＶＲ３、ＶＲ４　基準電圧／制御電圧源
ＶＡ１、ＶＡ２、ＶＢ１、ＶＢ２　基準電圧／制御電圧源
Ｖ１、Ｖ２、Ｖ３、Ｖ４　制御信号

【図面】

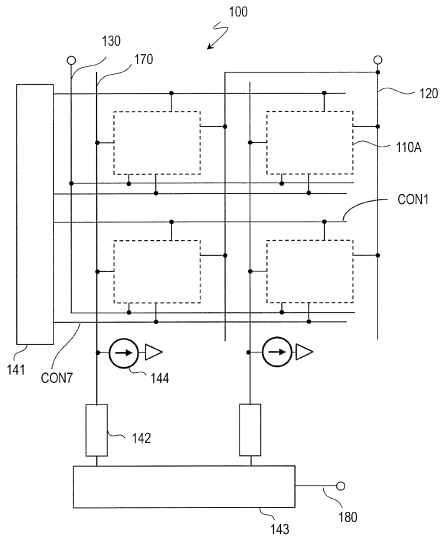
【図１】



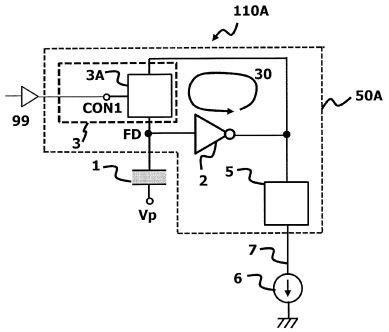
【図２】



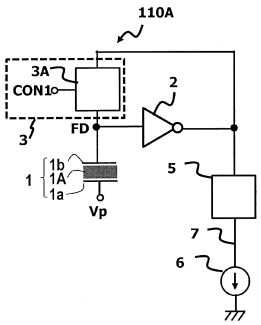
【図３】


100
130
170
120
110A
CON1
141
CON7
144
142
143
180

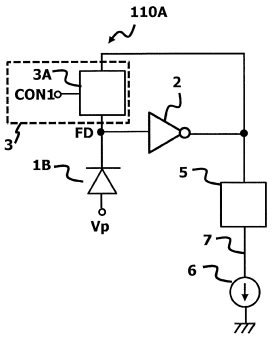
【図４】


110A
3A
30
50A
99
CON1
3
FD
1
2
5
Vp
7
6

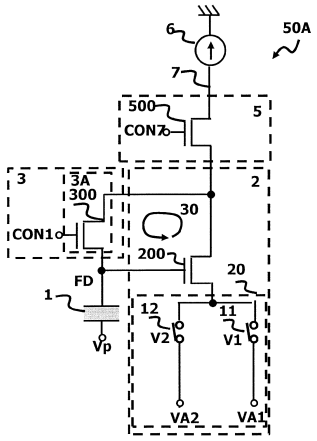
【図５Ａ】


110A
3A
CON1
2
3
FD
1
1b
1A
1a
Vp
5
7
6

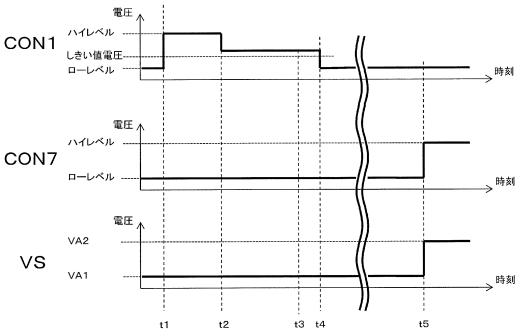
【図５Ｂ】


110A
3A
CON1
2
3
FD
1B
Vp
5
7
6

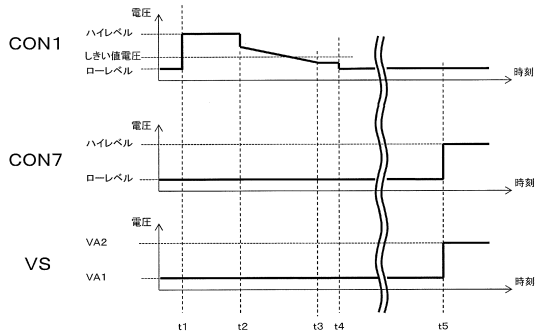
【図６】


50A
6
7
500
CON7
5
3
3A
300
2
30
CON1
200
20
FD
1
12
11
V2
V1
Vp
VA2
VA1

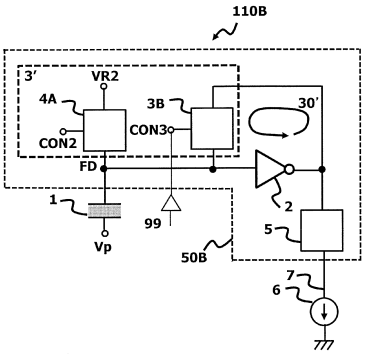
【図７】


CON1
電圧
ハイレベル
しきい値電圧
ローレベル
時刻
CON7
電圧
ハイレベル
ローレベル
時刻
VS
電圧
VA2
VA1
時刻
t1
t2
t3
t4
t5

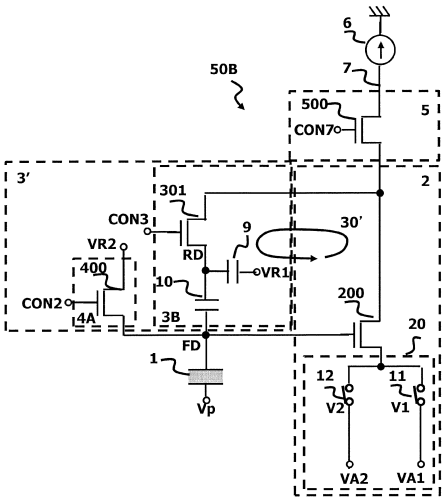
【図８】


CON1
電圧
ハイレベル
しきい値電圧
ローレベル
時刻
CON7
電圧
ハイレベル
ローレベル
時刻
VS
電圧
VA2
VA1
時刻
t1
t2
t3
t4
t5

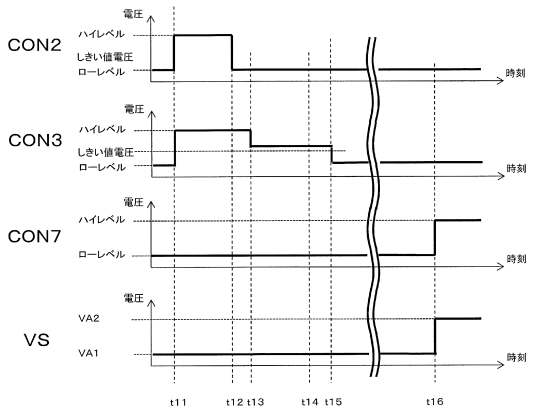
【図９】


110B
3'
VR2
4A
3B
30'
CON2
CON3
FD
1
99
2
5
Vp
50B
7
6

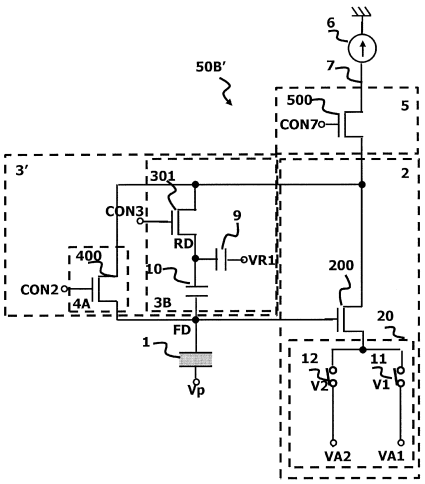
【図１０】



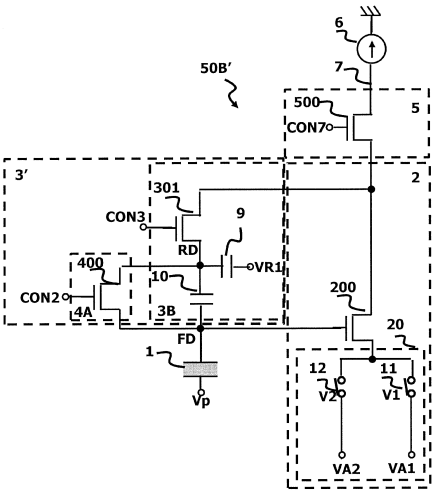
【図１１】



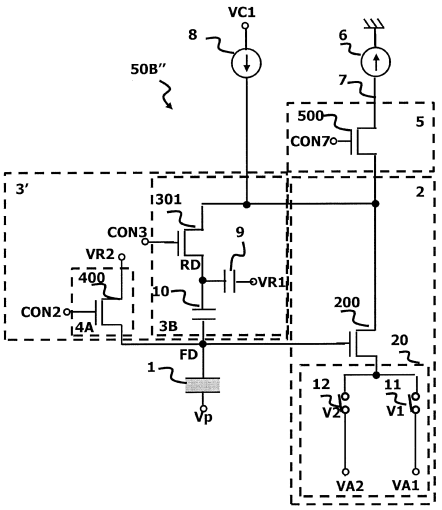
【図１２】



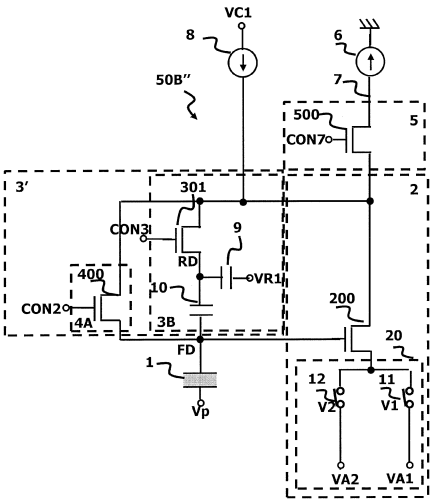
【図１３】



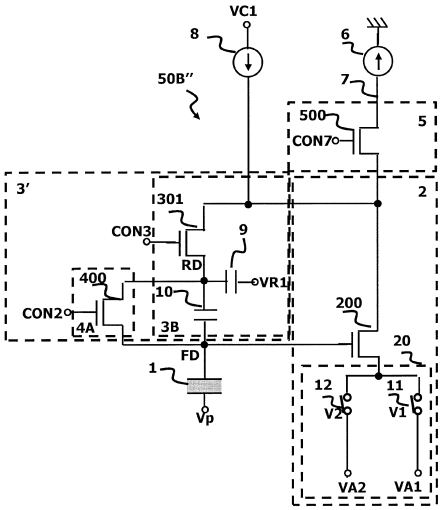
【図１４】



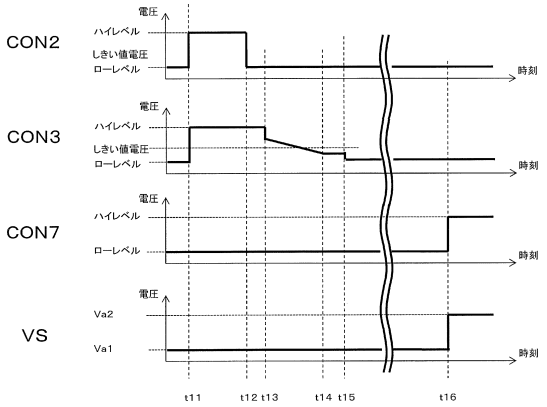
【図１５】



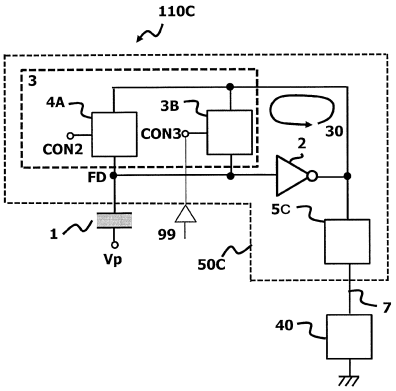
【図１６】



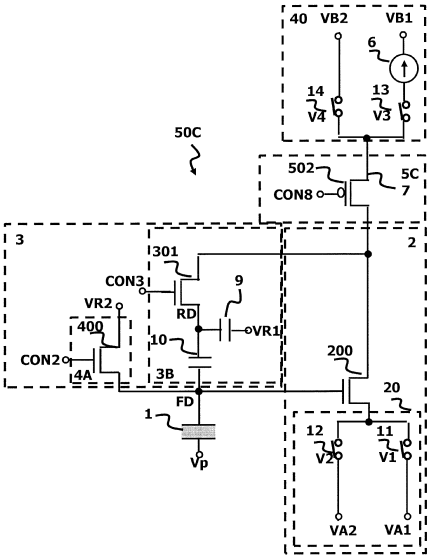
【図１７】



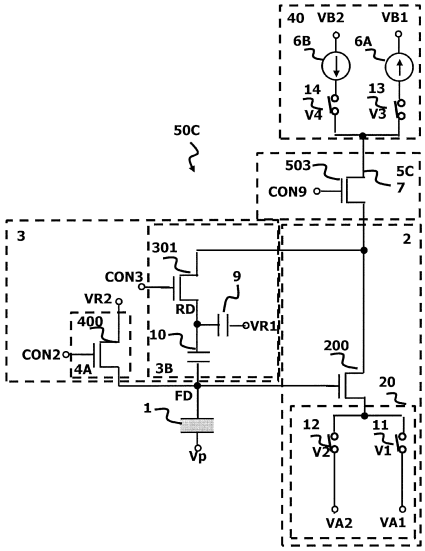
【図１８】



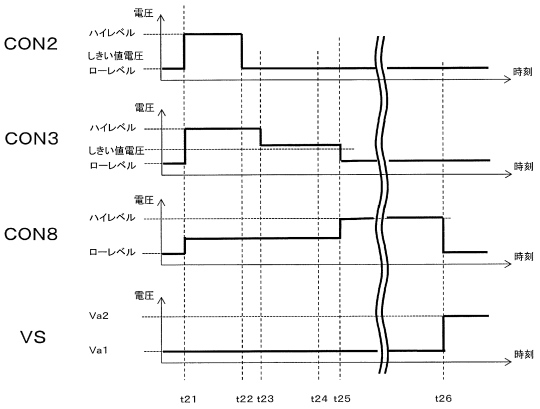
【図１９Ａ】



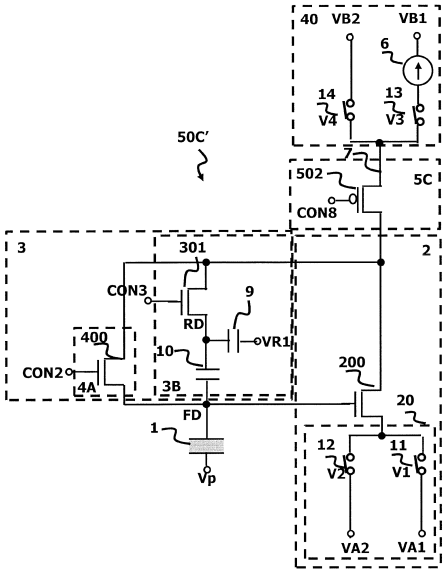
【図１９Ｂ】



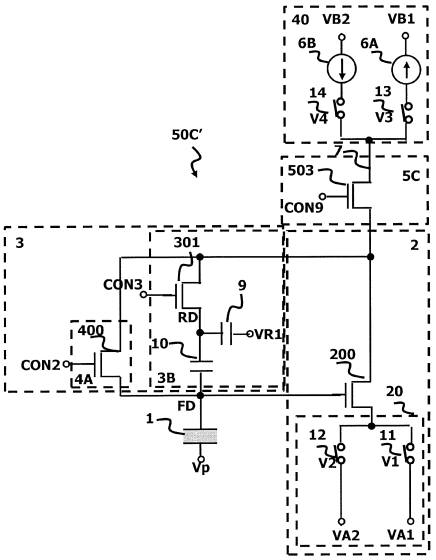
【図２０】



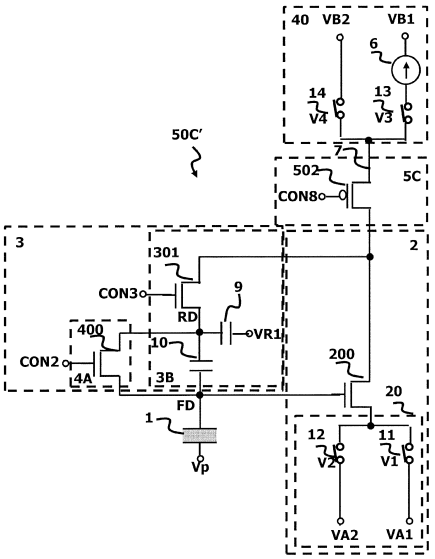
【図２１Ａ】



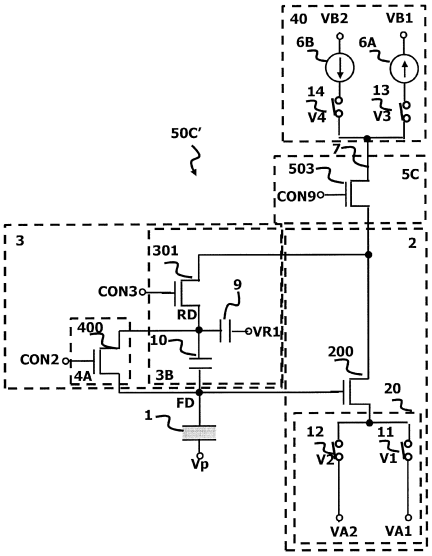
【図２１Ｂ】



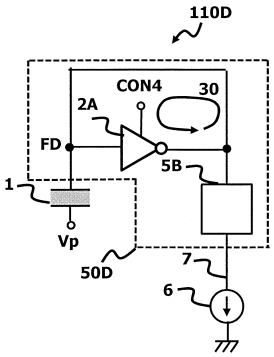
【図２２Ａ】



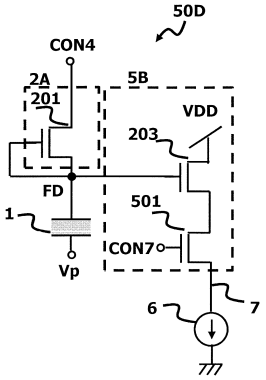
【図２２Ｂ】



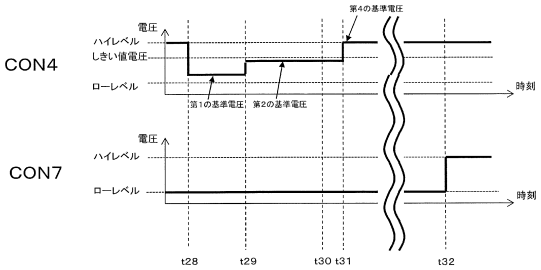
【図２３】



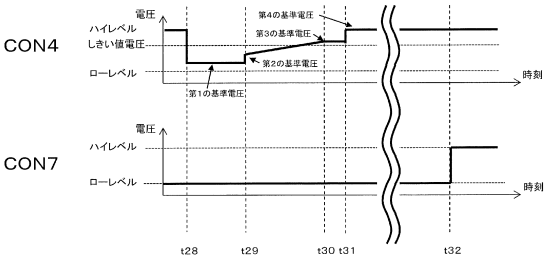
【図２４】



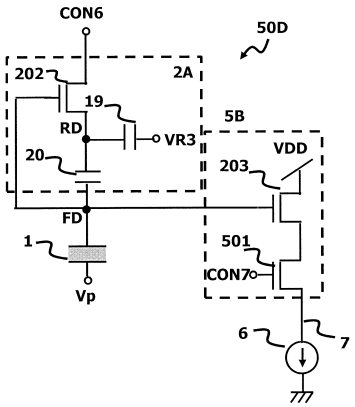
【図２５】



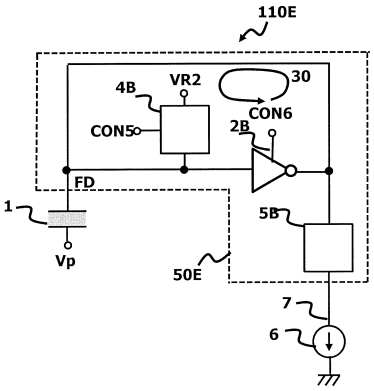
【図２６】



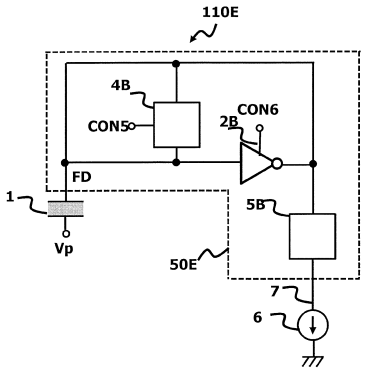
【図２７】



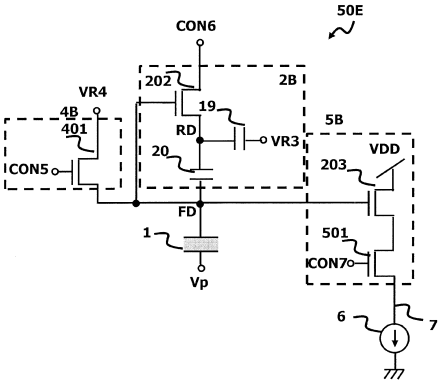
【図２８】



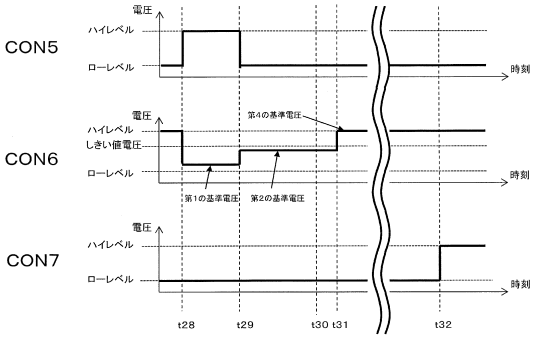
【図２９】



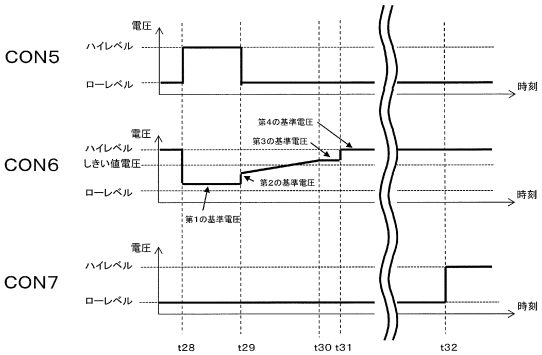
【図３０】



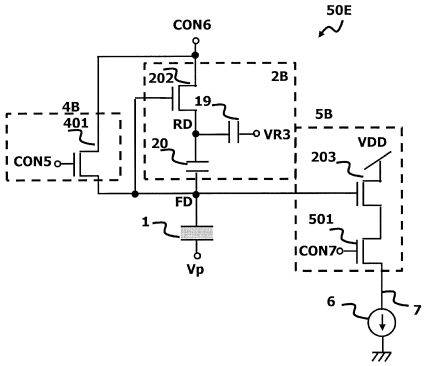
【図３１】



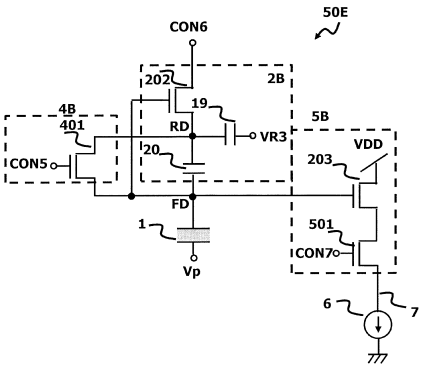
【図３２】



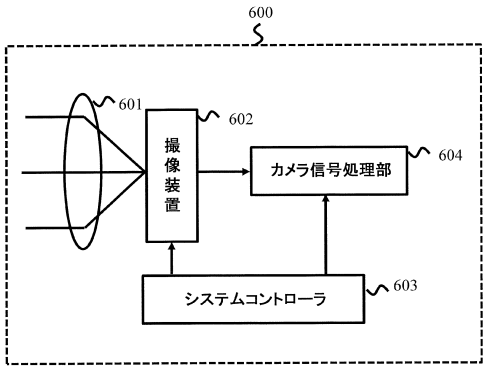
【図３３】



【図３４】



【図３５】



フロントページの続き

弁理士　田中 悠
(74)代理人　100202197
弁理士　村瀬 成康
(74)代理人　100218981
弁理士　武田 寛之
(72)発明者　西村 佳壽子
大阪府門真市大字門真１００６番地 パナソニック株式会社内
(72)発明者　阿部 豊
京都府長岡京市神足焼町１番地 パナソニックセミコンダクターソリューションズ株式会社内
(72)発明者　村上 雅史
大阪府門真市大字門真１００６番地 パナソニック株式会社内
(72)発明者　松長 誠之
京都府長岡京市神足焼町１番地 パナソニックセミコンダクターソリューションズ株式会社内
審査官　松永 隆志
(56)参考文献　特開２０１２－１５１３６９（ＪＰ，Ａ）
特開平１０－１７０６５８（ＪＰ，Ａ）
米国特許出願公開第２００５／００４０３２０（ＵＳ，Ａ１）
(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　５／２２５－５／３７８
Ｈ０４Ｎ　９／００－９／１１