

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4975322号  
(P4975322)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/133 (2006.01)	GO2F 1/133 550
GO9G 3/36 (2006.01)	GO9G 3/36
GO9G 3/20 (2006.01)	GO9G 3/20 611A
請求項の数 5 (全 13 頁) 最終頁に続く	

(21) 出願番号	特願2005-380396 (P2005-380396)	(73) 特許権者	507058373
(22) 出願日	平成17年12月28日(2005.12.28)		ティーピーオー、ホンコン、ホールディング、リミテッド
(65) 公開番号	特開2007-178952 (P2007-178952A)		TPO HONG KONG HOLDING LIMITED
(43) 公開日	平成19年7月12日(2007.7.12)		中華人民共和国、ホンコン、シャティン、サイエンス、パーク、イースト、アベニュー、5、フィリップス、エレクトロニクス、ビルディング、フロアー、2
審査請求日	平成20年11月5日(2008.11.5)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橋谷 英俊
		(74) 代理人	100082991 弁理士 佐藤 泰和
		最終頁に続く	

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置およびその制御方法

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配設され、それぞれ画素容量を持つ液晶素子を有する複数の画素部を備えた画素アレイと、

前記画素アレイの複数の行単位に設けられ、独立に制御される第1及び第2のゲート線と、

前記画素アレイの複数の列単位に設けられ、正負各極性の信号が正負の書き込みに応じて供給されるソース線とを備え、

前記画素部は、画素電極と前記ソース線とを選択的に接続し、前記第1及び第2のゲート線にそれぞれのゲートが接続され、かつ直列接続された複数のトランジスタであって、トランジスタは前記第1のゲート線にゲートが接続される第1のトランジスタ群と、前記第2のゲート線にゲートが接続される第2のトランジスタ群を含み、

前記第1のゲート線と前記第2のゲート線には、互いに異なるトランジスタ非導通選択電位が供給され、

前記第1のゲート線には画素電極電位が正極性に保持されている場合に画素電荷の最小漏洩となる電位近傍の電位が与えられ、前記第2のゲート線には画素電極電位が負極性に保持されている場合に画素電荷の最小漏洩となる電位近傍の電位が与えられ、

前記画素容量と前記第1及び第2のゲート線にそれぞれのゲートが接続され、かつ直列接続された前記第1及び第2のトランジスタのうち前記液晶素子に最も近いトランジスタのゲートが接続されるゲート線と液晶素子間に接続され、前記画素容量と所定の比例関係

にある補助容量を備えたキックバック用容量素子をさらに備え、前記キックバック用容量素子に蓄積された電荷によるキックバックを利用して逆極性書き込みを行っていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

前記補助容量は、当該画素に対して設けられた前記第 1 及び第 2 のゲート線上に形成されたことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】

前記第 1 のトランジスタは正極性書き込み時に前記第 1 のゲート線によりバイアスされ、前記第 2 のトランジスタは逆極性書き込み時に前記第 2 のゲート線によりバイアスされることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

10

【請求項 4】

前記キックバック用容量素子は、その値が、前記第 2 のゲート電圧の降下振幅を該画素電極電位に伝達する際に、画素電極電位が交流化のための極性反転振幅を与えるべく設定されていることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】

前記ソース線に供給されるデータは、正極性書き込み時の低レベルと負極性書き込み時の高レベル、正極性書き込み時の高レベルと負極性書き込み時の低レベルがそれぞれほぼ等しく設定されたことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明はアクティブマトリクス型液晶表示装置に関するものである。

【背景技術】

【0002】

アクティブマトリクス型液晶表示装置ではフレーム単位で画像表示が行われる。この場合、フレーム単位で各画素に対しては表示画像の明度や色合いに応じて画素電極と対向電極間スイッチング素子である薄膜トランジスタ(以下TFTと記す。)回路により電圧が印加される。

【0003】

30

映像信号に従って画素に書き込まれた電荷は、TFTによって次のフレームデータが書き込まれるまで保持される。画素の電荷保持期間はTFTのゲート電圧が十分低い電位に保たれ、TFTを非導通状態とする。

【0004】

しかしながら画面が高精細、大画面になると、短い時間に書き込むために、大きい書き込み能力を有するTFTが必要となっており、そのときは連動的に大きなリーク電流になってしまい、画素電荷の保持能力を失ってしまう。そのような場合には、TFTのリークの最も少ない非導通電位を最適化してゲートに与え、画素電荷を十分安定に保持する必要がある。

【0005】

40

また一方で、表示品質を向上させるため、フレーム毎に液晶に印加される電圧を反転させる交流駆動制御が行われるアクティブマトリクス型液晶表示装置ではフレーム単位で画像表示が行われる。この場合、フレーム単位で各画素に対しては表示画像の明度や色合いに応じて画素電極と対向電極間で薄膜トランジスタ回路により電圧が印加されるが、表示品質を向上させるため、フレーム毎に液晶に印加される電圧を反転させる交流駆動制御が行われる。

【0006】

これは、液晶表示装置内で使用される絶縁膜にイオン系不純物が含まれ、液晶駆動のために電圧をかけると移動し、しかも電圧を切っても残ることにより、一種の残像現象を発生させて画質を劣化させるという問題に対処するため、液晶の駆動の正負を交番させるこ

50

とにより電荷を移動させないようにした制御方法である。

【0007】

この交流駆動制御については、従来種々のものが提案されており、フレーム全体の極性をフレーム毎に反転させるフレーム間交流、行または列ごとに反転させる行間交流または列間交流、千鳥配列状の単位で反転させる行列間交流（ドット反転）などがある。

【0008】

これらの反転は、共通電極にDC電位を与え、ソース信号として正極性と負極性の交番する駆動電圧を与えることで実現できるが、信号のダイナミックレンジが広いと、駆動回路の耐圧が必要となる上、消費電力が大きい。

【0009】

このため、従来、共通電極の電位を変動させて画素電位に交流化振幅成分を上乗せさせるか、あるいは補助容量線を設け、該補助容量線を変動させて、画素電位に交流化成分を上乗せするか、または隣接するゲート線上に補助容量を設置して、該隣接ゲート線の電位を変動させて、画素電位に交流化成分を上乗せして供給することにより、消費電力を低減させることができる。

【0010】

補助容量線を設けた例は、特開2003-15080号公報（特許文献1）に開示されており、特にその図9に示されたアクティブマトリクス型表示装置では、行列間交流を実現している。

【特許文献1】特開2003-15080号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところで、画素の充電とその電荷保持を担当する薄膜トランジスタ(TFT)のリーク特性に関しては、最小リークを与えるゲートバイアスが存在する。図1はこのようなゲートバイアスとリーク電流との概略的關係を表しており、横軸はゲート電圧、縦軸はリーク電流を示している。図1を参照すると、最小リークを与えるゲートバイアスが存在することがわかる。このように、リーク電流に関しては、底ピークのあるリーク曲線が一般的である。

【0012】

この場合、従来のように、1個のTFTに1個のバイアスしか与えられない場合には、高電位のリークを最小にすると、低電位でのリークが増え、逆に低電位のリークを最小にすると、高電位でのリークが増えるという問題がある。

【0013】

一方、図2に示すように常に最小リークバイアスを実現するように駆動すると、正極性と負極性とで十分な振幅をとることができない。これを解決するため、正極性と負極性のいずれの場合も十分な振幅を確保するには、図3に示すように、高位の電荷の保持の場合と、低位の電荷の保持の場合に応じて異なる最適な電荷保持用ゲートバイアス電位を与えることが望ましい。

【0014】

しかしながら、これを実現しようとすると、ゲート駆動信号に大振幅を必要とし、高電圧での駆動となるため、リーク電流が大きくなって消費電力が増加し、またリーク電流により画質への影響も避けられない。

【0015】

本発明はこのような問題を解決するためになされたもので、特に、リーク電流が少なく消費電力が少なく済み、かつ画質も良好なアクティブマトリクス型液晶表示装置およびアクティブマトリクス型液晶表示装置の制御方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明にかかるアクティブマトリクス型液晶表示装置によれば、

10

20

30

40

50

マトリクス状に配設され、それぞれ画素容量を持つ液晶素子を有する複数の画素部を備えた画素アレイと、

前記画素アレイの複数の行単位に設けられ、独立に制御される第1及び第2のゲート線と、

前記画素アレイの複数の列単位に設けられ、正負各極性の信号が正負の書き込みに応じて供給されるソース線とを備え、

前記画素部は、画素電極と前記ソース線とを選択的に接続し、前記第1及び第2のゲート線にそれぞれのゲートが接続され、かつ直列接続された複数のトランジスタであって、トランジスタは前記第1のゲート線にゲートが接続される第1のトランジスタ群と、前記第2のゲート線にゲートが接続される第2のトランジスタ群を含み、

前記第1のゲート線と前記第2のゲート線には、互いに異なるトランジスタ非導通選択電位が供給され、

前記第1のゲート線には画素電極電位が正極性に保持されている場合に画素電荷の最小漏洩となる電位近傍の電位が与えられ、前記第2のゲート線には画素電極電位が負極性に保持されている場合に画素電荷の最小漏洩となる電位近傍の電位が与えられ、

前記画素容量と前記第1及び第2のゲート線にそれぞれのゲートが接続され、かつ直列接続された前記第1及び第2のトランジスタのうち前記液晶素子に最も近いトランジスタのゲートが接続されるゲート線と液晶素子間に接続され、前記画素容量と所定の比例関係にある補助容量を備えたキックバック用容量素子をさらに備え、前記キックバック用容量素子に蓄積された電荷によるキックバックを利用して逆極性書き込みを行っていることを特徴とする。

【発明の効果】

【0018】

本発明にかかるアクティブマトリクス型液晶表示装置およびその制御方法によれば、第1及び第2のゲート線を備え、液晶駆動回路はこれらのゲート線にそれぞれゲートが接続された、直列接続された第1及び第2のトランジスタよりなり、第1のゲート線で供給される第1の信号で第1のトランジスタが最小のリーク電流で正極性駆動を行い、第2のゲート線で供給される第2の信号で第2のトランジスタが最小のリーク電流で負極性駆動を行うように制御が行われるため、リーク電流を常に最小値にすることができる。

【0019】

また、本発明にかかるアクティブマトリクス液晶表示装置によれば、複数のゲート線にそれぞれのゲートが接続され、かつ直列接続された複数のトランジスタおよび前記複数のトランジスタのうち最も前記液晶素子に近いトランジスタのゲートが接続されるゲート線と液晶間に接続された、キックバック用容量素子とを備えているため、このキックバック用容量素子に蓄積された電荷によるキックバックを利用して逆極性書き込みを行っている。したがって電圧の変動幅を減少させることができ、かつゲートバイアスを適当に選択することにより、リーク電流を減少させることができる。

【0020】

このリーク電流が少ないことは、ある画像状態を保持する時間が長くなり、逆に輝度変化が少なくなってフリッカが少なくなり、画質の向上を図ることができる。特に行列間交流も容易にできるため、フリッカはさらに抑えることができる。

【0021】

また状態保持のための保持容量 $C_s$ を小さくでき、かつ書き込み時間も短くてすむ。

【0022】

特に将来の多行高精細化パネルにおいては、リークを制御することが困難になることが予想されるため、よりリークの少ないパネルが望まれるが、本発明はこの要求にも合致する。

【発明を実施するための最良の形態】

【0023】

以下、本発明にかかるアクティブマトリクス型液晶表示装置の実施の形態のいくつかを

10

20

30

40

50

詳細に説明する。

【0024】

図4は、本発明の第1の実施の形態にかかるアクティブマトリクス型液晶表示装置の概略構成を示す回路図である。

【0025】

この回路では、液晶素子ゲート線はG a、G bの2本が行方向に平行に配置されており、これに直交してソース線Sが配置されており、これらの交点部に液晶素子LCが設けられている。そしてこの液晶素子LCの一端(ドレイン)とソース線S間に2つのnチャネルトランジスタT aおよびT bが直列に接続されており、トランジスタT aのゲートはゲート線G aに、トランジスタT bのゲートはゲート線G bにそれぞれ接続されている。したがって、画素側のトランジスタT bはソース線側のトランジスタT aと直列接続で組み合わされていることから、画素に対してのソースデータ書き込み制御の際にANDゲートとして機能する。液晶素子LCの他端は共通電極C Mに接続されている。液晶素子LCは画素容量C p xを有している。

10

【0026】

図5はゲート線G a、G bに印加されるゲート信号波形を示す波形図である。図示されているように、正極性駆動および負極性駆動は基準レベルから同じ振幅で行われるが、正極性駆動を行うためにゲート線G aに供給される電圧波形は、その低電位値が基準レベルよりも最小リークゲートバイアスに相当する分だけ低い値となっており、負極性駆動を行うためにゲート線G bに供給される電圧波形は、その低電位値が負極性駆動の最低値よりも最小リークゲートバイアスに相当する分だけ低い値となっている。

20

【0027】

このように、画素に保持される電荷の正極性駆動時、負極性駆動時のいずれの場合でも、TFTのリークを最小にできる電位の近傍に、それぞれのゲート信号の低電位を設定している。

【0028】

これを実現するためには、ゲートの低電位の最適値を2種類とする必要があるため、図4に示すようにTFTを2個、直列に接続し、それぞれのTFTにはそれぞれ低位の画素電位と高位の画素電位をもっとも良く保持できるゲートバイアス電位、すなわち異なるゲートの底電位にバイアスするような駆動波形を供給する。

30

【0029】

これにより、高電位および低電位のいずれの場合でも最小のリークで電荷を保持することが可能となる。

【0030】

図6は本発明の他の実施の形態にかかるアクティブマトリクス型液晶表示装置の画素分の構成を示す回路図である。

【0031】

図6から明らかなように、液晶素子ゲート線はG a、G bの2本が行方向に平行に配置されており、これに直交してソース線Sが配置されており、これらの交点部に液晶素子LCが設けられている。そしてこの液晶素子LCの一端(ドレイン)とソース線S間に2つのnチャネルトランジスタT aおよびT bが直列に接続されており、トランジスタT aのゲートはゲート線G aに、トランジスタT bのゲートはゲート線G bにそれぞれ接続されている。したがって、画素側のトランジスタT bはソース線側のトランジスタT aと直列接続で組み合わされていることから、画素に対してのソースデータ書き込み制御の際にANDゲートとして機能する。液晶素子LCの他端は共通電極C Mに接続されている。

40

【0032】

また、液晶素子LCは画素容量C p xを有しているが、これは、純粹の液晶容量C l cとその他の容量C sの合計である。また、ドレイン端子とゲート線G bとの間には、補助容量であってかつキックバック効果を発揮させる容量C g dが接続されている。

【0033】

50

ここで用いられるトランジスタTa、Tbはa-Si型TFTや、LTPS型TFTであるが、それらのトランジスタのゲート・ソース電圧と、ドレイン電流の関係は、前述したように図1に示される。このようにこれらのトランジスタは最小リーク電流を供給するある特定のゲート・ソース電位を持っているのが一般的であるので、トランジスタTaとTbにはそれぞれのゲートに異なる非導通バイアス電圧を印加し、たとえばTaには、画素に正極性のデータが書き込まれている場合に、それらの電位に対してリークが最小となるような非導通バイアス電位を与え、たとえばTbには、画素に負極性のデータが書き込まれている場合に、それらの電位に対してリークが最小となるような非導通バイアス電位を与える。

【0034】

以上の構成において、トランジスタTaは通常のスキャン駆動が行われることにより、ソース・バスバス上のデータを画素に選択的に書き込む作用を行う。このようにトランジスタTaのゲートに与えられるロウレベルは、画素の正極性データの平均的レベルを最も効果的に保持できる最適な電位となっている。

10

【0035】

一方、トランジスタTbは容量Cgdを通じて、画素電極電位を下方にシフトして交流化の振幅成分を重畳させるキックバック作用を行う。さらには、トランジスタTbのゲートに与えられるロウレベルは、画素の負極性データの平均的レベルを最も効果的に保持できる最適な電位となっている。

【0036】

次にこの回路の動作を図7を参照して説明する。図7はこの構成中の主要な電位の変化を示すグラフであり、理解を容易にするため、複数の線を時間軸とレベルを合わせて重ね合わせて表している。

20

【0037】

ソース線には、正負の極性の信号が、同じダイナミックレンジ内で逆極性方向信号として与えられる。

【0038】

ゲート線GaおよびGbのレベルは最高値はほぼ同じであるが、最低値はいずれも液晶の反転のセンターレベルよりも低く、ゲート線Gaの最低レベルVgabとゲート線Gbの最低レベルVgbbとの関係は、

$$V_{gab} > V_{gbb}$$

30

である。

【0039】

正極性書き込み時には、まずソース線データVpが最低値Vpbから最高値Vptの範囲にあり、ゲート線電圧Vgbと他のゲート線電圧Vgaを上昇させ、それぞれ最高レベルVgatおよびVgbtが同時に存在するようにする。これにより2つのトランジスタはオンとなって導通し、ソース線データは液晶素子に書き込まれる。トランジスタTbは、この書き込みが終了しても次に負極性データが書き込み終わるまで、ハイレベルが保持される。

【0040】

以上の動作により、ドレインレベルにはソース線上の正極性データ電圧がかきこまれる。図2では書き込まれるデータが最も正極で高いレベルVptの場合を示している。ゲート線Gaの電位はVgatはパルス状になるように所定時間後に下降するので、この立下がりドレイン電圧はわずかに低下するものの、そのレベルを画素ドレイン正極性レベルVdtとして維持される。

40

【0041】

次に負極性書き込み時には、ソース線データを負側最高値Vntから最低値Vnbの範囲で供給し、ゲート線GaのレベルVgaをパルス状にVgabから最高値Vgatに上昇させ、画素に新たな負極性のデータを書き込み、ついで書き込み終了後に下降させ、続いて遅れてゲート線GbのレベルをVgbtからVgbbに下降させる。ドレインレベルには負極性データが書き込まれているが、その負極性データの書き込み終了と同時または

50

やや遅れて容量  $C_{gd}$  を通じたゲート信号  $G_b$  によるキックバック効果により、画素電位が大きく負方向にシフトされ、負極の駆動レベル  $V_{db}$  に自動設定される。図 7 では書き込まれるデータが最も負極で低いレベル  $V_{nb}$  の場合を示している。

【 0 0 4 2 】

このように、2本のゲート線  $G_a$  および  $G_b$  のレベル制御およびソースデータの供給のタイミングを適切に行うことにより、ソース線への印加電圧を大きくとることなく、ドレイン電圧を反転駆動させることができる。

【 0 0 4 3 】

ここで、キックバック用の容量がどのような値になるべきかについて検討する。より単純化のため、画素容量  $C_{px}$  は液晶容量  $C_{lc}$  のみであるとする。この前提でのレベル変化は図 8 に示され、図 7 と比較すると、ゲート信号  $G_a$  による小さいキックバック効果のドレイン電圧の細かい変化は無視しているが、安定化した電圧に関してはほぼ同じとなっている。

【 0 0 4 4 】

まず、ゲート  $G_b$  の電圧はトランジスタ  $T_b$  をリークなしの状態に維持する必要があるため、

$$V_{gbb} = V_{db} - V_{th} \quad (1)$$

である必要がある。ここで、 $V_{th}$  はドレイン電位からトランジスタに最適オフ状態に至るマージンである。

【 0 0 4 5 】

次に、トランジスタ  $T_b$  のゲートでの電圧の振れはドレインのレベルシフトを最適に行わせるものでなければならないことから、次の関係が成立する。

$$(V_{gbt} - V_{gbb})c_{gd} / (C_{gd} + C_{px}) = V_{nb} - V_{db} \quad (2)$$

【 0 0 4 6 】

さらに、液晶セルの設計上からドレインレベルの振れが光学上の要求を満たす必要がある。この振れは

$$V_{dt} - V_{db} = V_{dpp} \quad (3)$$

と定義される。

【 0 0 4 7 】

また、トランジスタ  $T_b$  は、画素にデータを書き込むのに十分高い電圧を持つ必要があることから、

$$V_{gbt} > V_{pt} + V_{th}' \quad (4)$$

の関係を満たす必要がある。ここで  $V_{th}'$  はトランジスタのオン状態に対するマージンである。

【 0 0 4 8 】

ここで、次のような具体的な数値を仮定する。

$$V_{dc} = 0 \text{ (V)}$$

$$V_{pt} = V_{nt} = 4 \text{ (V)}$$

$$V_{pb} = V_{nb} = 0 \text{ (V)}$$

$$V_{th} = 3 \text{ (V)}, V_{th}' = 3 \text{ (V)}$$

とすれば、

$$V_{gat} = V_{gbt} = 7 \text{ (V)}$$

$$V_{gab} = -3 \text{ (V)}$$

$$V_{dpp} = 8 \text{ (V)}$$

$$V_{gbb} = -7 \text{ (V)}$$

であるから、(2)式に当てはめると、

$$14C_{gd} / (C_{gd} + C_{px}) = +4 \text{ (V)}$$

$$C_{gd} / (C_{gd} + C_{px}) = 4/14 = 4/(4+10)$$

となり、

$$C_{gd} : C_{px} = 4 : 10 = 2 : 5$$

10

20

30

40

50

の関係が得られる。したがって、キックバック用の容量は液晶容量の  $2/5$  とし、このような値に補助容量  $C_{gd}$  を設計すればよいことがわかる。

【0049】

以上の例では、画素容量  $C_{px}$  のみを考慮して、その他の第2の補助容量を特に設けない前提で説明したが、第2の補助容量  $C_s$  をさらに設けることもできる。

【0050】

補助容量を用いる駆動方法としてはCC (Capacitor-Coupling) 駆動方法が知られている。

【0051】

この場合、補助容量を構成し接続する形式には、2種類あり、その一つは専用の  $C_s$  ラインをゲート線と平行に形成してその線上に  $C_s$  を作る方法であり、他のひとつは、ゲート線自体の上に  $C_s$  を作る方法である。

10

【0052】

さらにゲート線上に作る方法には2種類あって、次の行のゲート線の上に作る方法、前の行のゲート線の上に作る方法が知られており、このような  $C_s$  を利用することにより、ソース振幅が正極、負極の十分な振幅を持っていなくても、交流化を達成することができる。

【0053】

さらに、この補助容量を画素自身のゲート線の上に形成することができる。

【0054】

これにより、補助容量のための専用領域が不要となり、開口率を向上させることができる。

20

【0055】

補助容量を設けた場合には、通常スキャン用途のトランジスタ  $T_a$  のゲート電圧のロウレベルを比較的高くすることができ、ゲートのスキャン振幅が小さいので、スキャン・トランジスタの設計が容易になり、低消費電力化が可能となる。

【0056】

また、次の行のトランジスタ  $T_a$  のゲート線を、補助容量  $C_s$  の対向電極として用いることができ、それにより画素の開口率を大きく取ることが可能となる。

【0057】

この場合は、電荷保持用途の補助容量としては、2個の補助容量  $C_{gd}$  と  $C_s$  の合成容量として機能するが、キックバック用途の容量としては  $C_{gd}$  のみが関与するので、互いの値の受け持ちあいから、比較的自由的な補助容量値  $C_{gd}$  の設計ができる。

30

【0058】

また、次の行のトランジスタ  $T_a$  のゲート線を、第2の補助容量  $C_s$  の対向電極として用いることができ、それにより画素の開口率を大きく取ることが可能となる。

【0059】

以上説明したように、この実施の形態にかかる液晶表示装置では、画素の負極駆動レベルは、トランジスタ  $T_b$  のゲートのロウレベルによって低リークに保持される。すなわち、正極駆動レベルはトランジスタ  $T_a$  のゲートのロウレベルで保持される。このことは、TFT 特有の負電位オーバー・バイアスのリーク電流増大問題から免れるべく、最小リークを与えるバイアス電位をドレインの極性電位に応じて配分できることを意味する。

40

【0060】

また、この方式によって、コモン電極の反転をすることなく、ソースデータを通常駆動電圧振幅の半分にできるため、低消費電力化を図ることができる。同様にソース駆動回路も低電圧で低コストになる。

【0061】

さらに、特別な補助容量  $C_s$  の形成、補助容量用の配線、補助容量反転用の電源等が不要となるため、回路規模を小さくすることができ、コストを低減させることができる。

【0062】

50



さらに、トランジスタ  $T_b$  のゲート線は通常より大きいめの振幅で駆動されるものの、2フレームに1周期のサイクルであり、 $T_a$  は通常より小さい振幅で駆動されるため、の従来技術の専用  $C_s$  線を設置する駆動に比較しても、消費電力が増大することもない。

【0063】

このように、リーク電流の減少と消費電力の低減を実現できる。

【0064】

図9は図1に示した構成を用いて行間交流制御を行う構成を示す概略回路図である。

【0065】

この実施例では、 $PXmn$  から  $PX(m+1)(n+1)$  までの4つの画素分を示しているが、各画素は図1に示した画素構成を有している。

10

【0066】

この実施例では、行単位で正極性書き込みと負極性書き込みを行うことにより、行間交流を実現することができる。すなわち、あるフレームでは画素  $PXmn$  と  $PX(m+1)n$  では図2の前半の動作を行って正極性の書き込みを行い、次の行の画素  $PXm(n+1)$  と  $PX(m+1)(n+1)$  では図2の後半の動作を行って逆極性の書き込みを行い、次のフレームでは逆の動作を行う。

【0067】

図10は行列間交流(ドット反転)を実現する構成を示す概略回路図であり、図9に示した実施例とは、隣接列の画素部におけるトランジスタおよび液晶は、次の行のゲート線に接続された点で異なる。

20

【0068】

すなわち、 $n$  行に着目すると、 $m$  列  $n$  行の画素  $PXmn$  では図9の場合と同様に第1のトランジスタ  $T_a$  のゲートは第1のゲート線  $G_{an}$  に、第2のトランジスタ  $T_b$  のゲートは第2のゲート線  $G_{bn}$  に接続されているが、隣接列の  $(m+1)$  列  $n$  行の画素  $PX(m+1)n$  では、第1のトランジスタ  $T_c$  のゲートは隣接行の第1のゲート線  $G_{a(n+1)}$  に、第2のトランジスタ  $T_d$  のゲートは隣接行の第2のゲート線  $G_{b(n+1)}$  に接続され、キックバック用の容量もゲート線  $G_{b(n+1)}$  に接続されている。以下同様の接続が全体に繰り返される。

【0069】

この構成によれば、隣接列の画素は次の行のゲート線に接続されている。行方向に見ていくと、1画素ずつ正極性書き込みと負極性書き込みが交番して行われる。このとき、次の行では正極性書き込みと負極性書き込みが逆転する。

30

【0070】

次のフレームではこれらの極性が全く反転されるので、簡単な構成により行列間交流を実現することができる。

【0071】

図11は、ゲート線を3本一組とした構成を示す概略回路図である。

【0072】

図11を参照すると、 $n$  行の画素については、すべてのトランジスタ  $T_a$  のゲートは第1のゲート線  $G_{an}$  に接続されているが、第2のトランジスタ  $T_b$  のゲートおよびキックバック用容量の他端は列ごとに第2のゲート線  $G_{bn}$  と第3のゲート線  $G_{cn}$  の間で交番するように接続されている。

40

【0073】

次の  $(n+1)$  行では、列毎の接続関係が逆になり、同一列で見ると、第2のトランジスタ  $T_b$  のゲートが第2のゲート線  $G_{bn}$  に接続された行の次の行では、第2のトランジスタ  $T_b$  のゲートは第3のゲート線  $G_{cn}$  に接続され、以下全体に同様の接続が行われている。

【0074】

したがって、3本のゲート線を適宜制御することにより、行列間交流を実現することができる。

50

## 【0075】

以上説明した実施例は限定的に解釈されるべきではなく、当業者の通常の知識で想到できるあらゆる実施態様も本発明の実施と解釈される。

## 【図面の簡単な説明】

## 【0076】

【図1】ゲートバイアスとリーク電流との関係を表わすグラフである。

【図2】一定振幅内で正負両極性駆動を行う場合を示す説明図である。

【図3】正極性駆動と負極性駆動でゲートレベルを変える制御方法を示す説明図である。

【図4】本発明にかかるアクティブマトリクス型液晶表示装置の第1の実施の形態の一画素分の構成を示す回路図である。

10

【図5】図4に示した装置に供給されるゲート信号波形を示す波形図である。

【図6】本発明にかかるアクティブマトリクス型液晶表示装置の第2の実施の形態の一画素分の構成を示す回路図である。

【図7】図6の構成中の主要な電位の変化を示すグラフである。

【図8】画素容量  $C_{px}$  は液晶容量  $C_{lc}$  のみと仮定した場合の主要な電位の変化を示すグラフである。

【図9】図1に示した構成を用いて行間交流制御を行う構成を示す概略回路図である。

【図10】行列間交流（ドット反転）を実現する構成を示す概略回路図である。

【図11】ゲート線を3本とした場合の構成を示す概略回路図である。

20

## 【符号の説明】

## 【0077】

$C_{gd}$  ゲート-ドレイン間容量

$C_{lc}$  液晶容量

$C_{px}$  画素容量

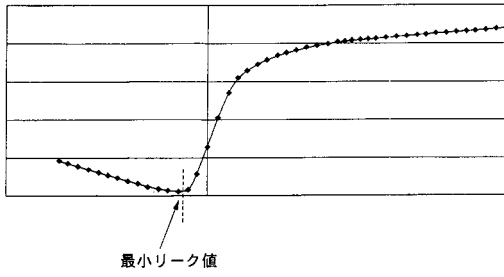
$G_a$ 、 $G_b$  ゲート線

$P_X$  画素部

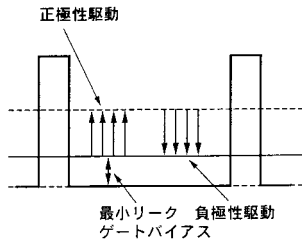
$S$  ソース線

$T_a$ 、 $T_b$  トランジスタ

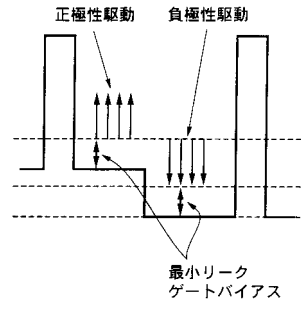
【図1】



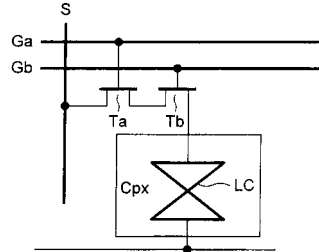
【図2】



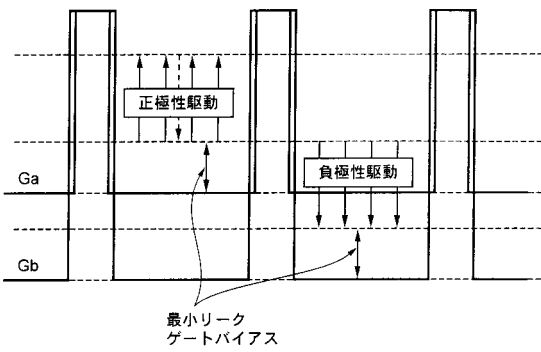
【図3】



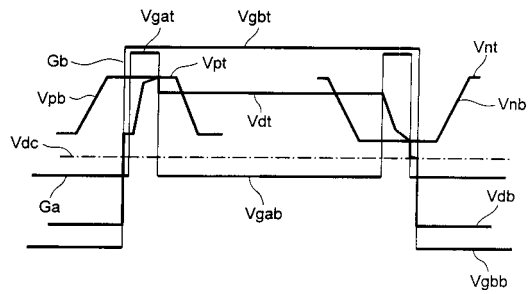
【図4】



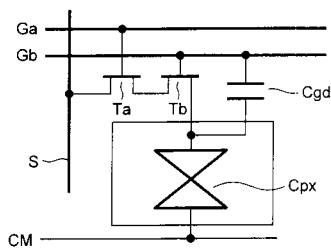
【図5】



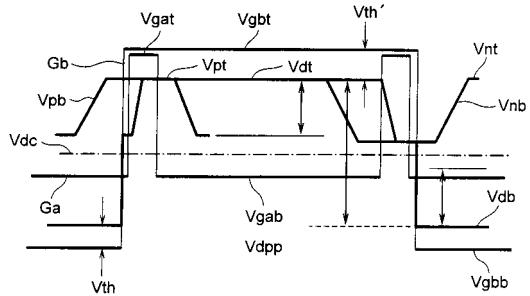
【図7】



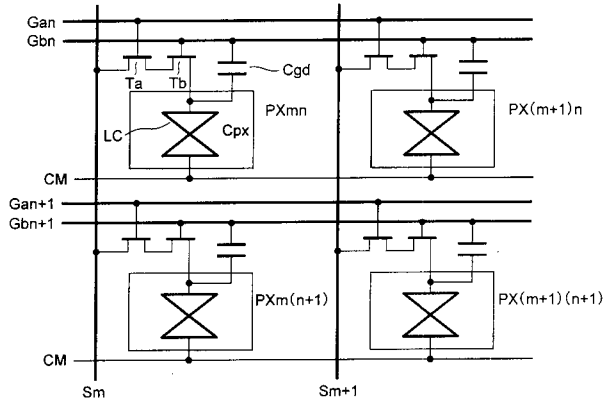
【図6】



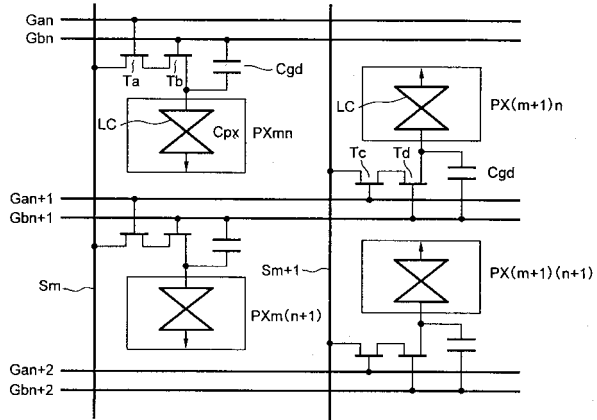
【図8】



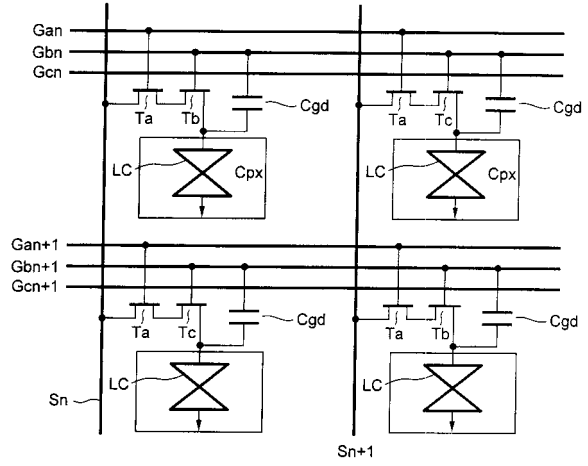
【 9 】



【 10 】



【 11 】



## フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 1 B

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(72)発明者 安 居 勝

東京都港区港南2丁目13番37号 フィリップスビル 株式会社フィリップスエレクトロニクス  
ジャパン内

審査官 右田 昌士

(56)参考文献 特開平05-196964(JP,A)  
特開平08-313870(JP,A)  
特開平11-133379(JP,A)  
特開2002-244585(JP,A)  
特開平05-265042(JP,A)  
特開平01-291216(JP,A)  
特開平09-281465(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 4 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6