案號 90114045　　年　月　日　　修正

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1997/12/26	特願平9-359277	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

技術領域

本發明關於半導體積體電路裝置，特別是關於適合高速且低電壓動作的半導體積體電路裝置及記憶有零件庫之記憶媒體。

背景技術

目前所製造的半導體積體電路裝置中，持有所謂高集積度、低消耗電力之特徵的MOSFET已被廣泛使用著。在MOSFET上，存在有臨限值電壓，且可依該臨限值電壓決定FET的導通-截止特性。為了提升驅動能力、及提高電路之動作速度，就必需將臨限值電壓設定得很低。

但是，如於1993年技術報告之VLSI電路摘要論文集(1993年5月)第45頁至第46頁(1993 Symposium on VLSI Circuits Digest of Technical Papers, pp45-46(May 1993))中所述般，若將臨限值設定太低時，會因MOSFET之次臨限值特性(曳尾(tailing)特性)，而無法使FET完全截止，且次臨限值洩漏電流(以下稱為洩漏電流)會增大，而有半導體積體電路之消耗電力變得非常大的問題。

一般而言，為了提高MOSFET之臨限值電壓，可列舉提高閘極氧化膜膜厚、或提高閘極氧化膜下之雜質濃度的方法。換句話說在設計由MOSFET構成的半導體積體電路裝置之際，考量所期望的動作頻率和消耗電力，以決定MOSFET之臨限值電壓，就可決定半導體製造過程條件。

通常雖是進行將半導體積體電路裝置中之MOSFET的臨限值電壓一律設定在一定值，但是近年來的發明，則如技術

五、發明說明 (2)

報告之IEEE國際固態電路討論綱領(1996年)第166頁至第167頁(IEEE International Solid State Circuits Conference Digest of Technical Papers, pp. 166-167, 1996)中所示，提供一種按照待機時或動作時等的動作狀態，使基板偏壓值變化就可控制MOSFET之臨限值電壓的半導體積體電路裝置。

在日本專利特開平8-274620號中，亦提議在以複數個功能塊構成半導體積體電路之情況時，在每一個功能塊中，獨立使基板偏壓值變化且高速性受重視的塊會以低臨限值電壓的MOSFET動作，而非為獨立使基板偏壓值變化且高速性受重視的塊則會以高臨限值電壓的MOSFET動作。

又，若依據固態電路之IEEE期刊雜誌，VOL30，NO8(1995年8月)第847頁至第854頁(IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL30, NO8, AUGUST 1995)，則有提議採取設有電源供給線和虛擬電源供給線，在該等之間配有開關MOSFET，且從虛擬電源供給線供給電源至主電路上的構成，在待機時，藉由將上述開關MOSFET截止，且未對主電路供給電源，以實現低消耗電力。在此，上述開關MOSFET係在動作時不進行開關動作而為了保持導通的狀態，而提議與構成主電路之MOSFET相比較，預先設在高臨限值電壓。

發明之揭示

如上所述，在上述習知技術中提議一種按照待機時或有效動作時等的動作狀態，使基板偏壓值變化以控制MOSFET

五、發明說明 (3)

的臨限值電壓，且在每一個功能塊中，獨立使基板偏壓值變化且高速性受重視的塊會以低臨限值電壓的MOSFET動作，而非為獨立使基板偏壓值變化且高速性受重視的塊則會以高臨限值電壓的MOSFET動作。進而提議提高於動作時未被要求開關速度之特別的MOSFET之臨限值電壓。然而，在待機時一律提升臨限值電壓，活性動作時一律降低臨限值電壓的方法中，為了於活性動作時使之高速動作，而無法避免因洩漏電流而使消耗電力增加。又，實際上，依發明人等的檢討可判明就連在同一功能塊中，依構成功能塊之各塊邏輯閘，亦會存在必要的動作速度有不同的情況。

圖11係顯示以100MHz動作之半導體積體電路中之正反器間之路徑延遲值的度數分布圖。橫軸表示路徑的延遲值，縱軸表示持有該延遲值的路徑度數。為了以100MHz動作，如圖中之(1)之分布所示，全路徑有必要分布在小於延遲值10nsec的值上。在欲將該半導體積體電路之動作速度設在125MHz的情況時，全路徑就有必要分布在小於延遲值8nsec的值上。因此，若依據習知技術，則必需藉由改變過程條件，或是改變基板偏壓電源，一律降低構成電路之MOSFET的臨限值電壓。

結果，例如會變化成圖11之(2)之分布般。但是，此時，消耗電力因洩漏電流而增大，有時變得無法滿足被要求之消耗電力的條件。又，反之，在欲將消耗電力降得更低的情況時，若依據習知技術，則必需藉由改變過程條件，或是改變基板偏壓電源，一律升高構成電路之MOSFET

五、發明說明（4）

的臨限值電壓。結果，例如，會變化成圖中之(3)之分布般。換句話說，電路之動作速度會降低，而無法以100MHz實現。

因此，不得不要決定是要重視動作速度，或是重視消耗電力，而妥協其中一個。

本發明之課題，係在於解決如上述之習知技術的問題點。亦即，一種由MOSFET構成的半導體積體電路裝置，在於提供謀求因MOSFET之洩漏電流而造成消耗電力之增加與動作速度之調節得以合適，且可抑制因活性動作時之MOSFET的洩漏電流而增加消耗電力且可高速動作的半導體積體電路裝置。

進而提供一種為了設計因洩漏電流而造成消耗電力之增加和動作速度之調節得以合適而儲存所需要之零件庫之記憶媒體。

進而提供一種為了設計因洩漏電流而造成消耗電力之增加動作速度之調節得以合適之半導體積體電路之設計方法。

本發明用以解決上述課題的手法，係在某一定的動作狀態，例如，被要求高速動作之活性動作狀態中，就連在同一功能塊中，亦藉由臨限值電壓不同的MOSFET構成半導體積體電路裝置之點。

詳言之，本發明之半導體積體電路裝置的第一特徵係在於：關於半導體積體電路裝置中之複數個信號路徑，係鑒於沿著各個信號路徑以傳輸信號的延遲，而為了滿足被要

五、發明說明 (5)

求之動作頻率，在延遲有餘裕的路徑中，由動作速度慢而洩漏電流小之高臨限值電壓的MOSFET所構成，反之，在延遲沒有餘裕的路徑中，由洩漏電流大而動作速度低的低臨限值電壓之MOSFET所構成。

又，本發明之半導體裝置的第二特徵係在於：當只以高臨限值電壓之MOSFET構成半導體積體電路裝置中之某信號路徑時，其路徑之延遲因變大而無法滿足被要求的動作頻率，而當只以低臨限值電壓之MOSFET構成時，反之會在延遲上產生餘裕，在因洩漏電流而徒增使消耗電力增加時，會適當地混合於低臨限值之MOSFET與高臨限值電壓之MOSFET之間，而可一面確保滿足被要求的動作頻率之延遲，而一面可將洩漏電流抑制在最小限。

再者，本發明之半導體裝置的第三特徵係在於：來自半導體積體電路裝置中之一個起始節點的信號路徑，在某個節點分歧而到達複數個節點的信號路徑中，如前述般，在適當混合於低臨限值之MOSFET與高臨限值電壓之MOSFET之間的情況，為了使低臨限值之MOSFET使用於最小限，而在起始節點至分歧節點之路徑上多使用低臨限值的MOSFET。又，來自複數個起始節點的信號路徑，會在某節點上會合，而對到達一個終點節點上的路徑，如前述般，在適當混合於低臨限值之MOSFET與高臨限值電壓之MOSFET之間的情況，為了使低臨限值之MOSFET使用於最小限，而在會合節點至終點節點之路徑上多使用低臨限值的MOSFET。

再者，本發明中，由臨限值電壓不同之MOSFET構成半導

五、發明說明 (6)

體積體電路用的第一裝置，係用以改變前述MOSFET之閘極氧化膜下之半導體基板的雜質濃度，而第二裝置係用以改變供給至前述MOSFET之基板上的偏壓值，第三裝置係用以改變前述MOSFET之閘極氧化膜的膜厚尺寸，第四裝置係用以改變前述MOSFET之閘極長度。

再者，其特徵在於藉由組合上述之四個裝置，以構成臨限值電壓不同的MOSFET。

再者，其特徵在於：構成臨限值電壓不同之MOSFET的上述第二裝置中，為了改變供給至基板上的偏壓值，而構成互相被絕緣之複數個島狀的井區域，而前述臨限值電壓不同的MOSFET係被配置在不同的井區域上。

再者，如上述般，其特徵在於：為了在不同的井區域上構成臨限值電壓不同的MOSFET，而將邏輯閘配置成一次元的列狀，藉由將複數個列排列在與列正交的方向上，以將邏輯閘配置成二次元，並將由同一臨限值電壓的MOSFET構成的邏輯閘配置在同一列上，在沿著列之同一井區域上構成相同臨限值電壓的MOSFET，再依與列同方向的配線供給偏壓電源。

再者，如上述般，其特徵在於：將由同一臨限值電壓的MOSFET構成的邏輯閘配置在同一列上，而在沿著列之同一井區域上構成之際，鄰接的複數個列邏輯閘由同一低臨限值電壓的MOSFET構成時，會跨越前述複數個列上而共有井區域。

再者，為了設計上述半導體積體電路裝置而使用之記憶

五、發明說明 (7)

有零件庫之記憶媒體，其特徵在於：藉由持有同一功能與同一外形，且由臨限值電壓不同的MOSFET構成，就可登錄延遲及消耗電力不同之至少二種類以上的單元。

再者，設計上述半導體積體電路裝置用之設計方法，其特徵在於包含有：使用上述記憶有零件庫之記憶媒體，以計算信號路徑之延遲的步驟；以及使用依計算上述信號路徑之延遲的步驟所計算的結果，持有同一功能與同一外形，且從由臨限值電壓不同的開關元件構成之至少二種類以上的單元中選擇一個單元，以分配至邏輯電路的步驟。

再者，設計上述半導體積體電路裝置用之設計方法，其特徵在於包含有：使用上述記憶有零件庫之記憶媒體，並只使用由高臨限值之開關元件構成的單元來設計邏輯電路的步驟；計算信號路徑之延遲的步驟；將只使用由上述高臨限值之開關元件構成的單元所設計的邏輯電路之單元的一部分，置換成由持有同一功能與同一形狀之低臨限值的開關元件構成的單元的步驟。

本發明之其他觀點，係於信號路徑中具有複數個閂鎖電路、正反器電路、信號輸出端子或是信號輸入端子般地保持信號之狀態的電路，於該等的電路間之信號路徑中具有臨限值不同的複數個電晶體。或是在信號路徑中具有複數個由時鐘信號所控制的第一電路，且於第一電路之信號路徑中具有包含臨限值不同之複數個電晶體的第二電路。

作為設計思想，係在信號路徑中具有複數個由時鐘信號所控制的第一電路，且於第一電路間之信號路徑中具有由

五、發明說明 (8)

臨限值不同之複數個電晶體所構成的第二電路之半導體積體電路裝置之設計方法，在構成電路之第一電路相互間的信號延遲時間未超過預定目標值之下，設定用以構成第二電路的電晶體之臨限值。

亦即，若採用臨限值相同的電晶體，則無法在具有複數個之第一電路間的路徑之中，規避調整電路整體之動作速度之延遲時間大的路徑之出現。但是，在該種延遲時間大的路徑上，藉由適當使用臨限值小的高速電晶體就可縮小該路徑之延遲時間，並可改善電路整體的動作頻率。

圖式之簡單說明

圖1為本發明半導體積體電路裝置之代表性實施例的邏輯閘電路圖。

圖2為本發明半導體積體電路裝置之另一實施例的邏輯閘電路圖。

圖3為本發明半導體積體電路裝置之另一實施例的邏輯閘電路圖。

圖4為本發明半導體積體電路裝置之另一實施例的邏輯閘電路圖。

圖5為本發明半導體積體電路裝置之實施例之邏輯閘的配置圖。

圖6顯示閘極長度與臨限值電壓的關係圖。

圖7為本發明半導體積體電路裝置之實施例中之晶圓區域的構成圖。

圖8為本發明半導體積體電路裝置之實施例中之元件構

五、發明說明 (9)

造剖面圖。

圖9(a)及圖9(b)為本發明半導體積體電路裝置之另一實施例中之晶圓區域的構成圖。

圖10為本發明之記憶有零件庫之記憶媒體的實施例。

圖11顯示一般信號路徑之延遲值分布的例示圖。

圖12為本發明半導體積體電路裝置之實施例的MOSFET電路圖。

圖13為本發明半導體積體電路裝置之另一實施例的MOSFET電路圖。

圖14為本發明半導體積體電路裝置之另一實施例的MOSFET電路圖。

圖15為本發明半導體積體電路裝置之實施例的布局圖。

圖16為本發明半導體積體電路裝置之另一實施例的布局圖。

圖17顯示本發明之實施例中之延遲與消耗電力的關係圖。

圖18顯示本發明之實施例中之延遲值的分布圖。

圖19為本發明半導體積體電路裝置之實例的邏輯閘電路圖。

圖20為本發明半導體積體電路裝置之實例的邏輯閘電路圖。

圖21為本發明半導體積體電路裝置之混合有旁通電晶體與互補型MOSFET之實施例的MOSFET電路圖。

圖22為用SOI元件構造以實施本發明之情況的半導體積

五、發明說明 (10)

體電路裝置之布局圖。

圖23顯示本發明半導體積體電路裝置之設計方法的實施例示意圖。

圖24顯示本發明半導體積體電路裝置之設計方法的另一實施例示意圖。

圖25為本發明半導體積體電路裝置之實施例中的元件構造剖面圖。

圖26為本發明半導體積體電路裝置之另一實施例中的元件構造剖面圖。

圖27為本發明半導體積體電路裝置之另一實施例中的元件構造剖面圖。

圖28為本發明半導體積體電路裝置適用於微處理器的實施例之圖。

發明所實施之最佳形態

以下，一面參照圖面一面說明本發明之實施例。

圖1顯示本發明代表性的實施例圖。圖1之電路，係以正反器f11至f14及反及(NAND)元件g11至g19所構成。圖中，為了簡單說明雖全部以NAND顯示g11至g19之邏輯閘，但是本發明之半導體積體電路裝置並非僅持有以NAND元件所構成的限制。又，與圖中說明無關的信號則省略之。圖1之例示電路，係以200MHz使之動作。因此，在正反器f11上輸入時鐘信號CK之後，信號輸入至正反器f12之路徑的延遲；及在正反器f13上輸入時鐘信號CK之後，可求得信號輸入至正反f14之路徑的延遲為5nsec以內。在此，將以高

五、發明說明 (11)

臨限值電壓之MOSFET構成NAND元件及正反器的情況之延遲設為1nsec，而將以低臨限值電壓之MOSFET構成的情況之延遲設為0.8nsec。

圖1中，以網線顯示之邏輯閘，即f13、g15至g19，係由低臨限值電壓之MOSFET所構成，以鏤空顯示之元件，係以高臨限值電壓之MOSFET所構成。藉此，經由f11及g11至g14到達f12的路徑之延遲會成為5nsec，經由f13及g15至g19到達f14的路徑之延遲會成為4.8nsec，而雙方之路徑皆為5nsec以內且可以目標200MHz使之動作。

在此，如習知技術所示當以高臨限值之MOSFET構成全部的邏輯閘時，經由f13及g15至g19到達f14的路徑之延遲會成為6nsec，本電路可只以167MHz使之動作。

其次，目標著重於洩漏電流。在此，以高臨限值電壓之MOSFET構成時之一個邏輯閘的洩漏電流設為1pA，以低臨限值電壓之MOSFET構成時之一個邏輯閘的洩漏電流設為5pA。此時，如圖1所示，在每一個信號路徑上，改變構成邏輯閘之MOSFET之臨限值電壓時，總洩漏電流會變成37pA。如習知技術所示，在一律以高臨限值電壓之MOSFET構成全部的邏輯閘時之總洩漏電流會變成13pA，而一律以低臨限值電壓之MOSFET構成時之總洩漏電流會變成65pA。

換句話說，圖1之例子中，雖只能以洩漏電流13pA選擇動作頻率167MHz，或是以洩漏電流65pA選擇動作頻率200MHz，但是如本發明所示，依信號路徑，可以洩漏電流37pA實現動作頻率200MHz。換句話說，圖1所示之實施例

五、發明說明 (12)

的手法，係在於為了一面實現目標動作頻率，一面抑制洩漏電流，而藉由構成半導體積體電路之信號路徑的延遲，以分別使用低臨限值電壓之MOSFET與高臨限值電壓之MOSFET。

使用圖2說明本發明之另一實施例。圖2之電路，雖然完全與圖1為相同的電路，但是唯一不同之處係在圖2中，邏輯閘g17係以高臨限值電壓之MOSFET所構成。圖1中，經由f13及g15至g19到達f14的路徑之全部的邏輯閘係以低臨限值電壓之MOSFET構成，其延遲為4.8nsec。換句話說，由於動作頻率為200MHz，所以會存在0.2nsec之餘裕。圖2之情況，即使在經由f13及g15至g19到達f14的路徑中，藉由使之混合一個以高臨限值電壓MOSFET構成的元件，就可將延遲設為5nscc，更進一步刪減洩漏電流，而總洩漏電流會變成33pA。換句話說，圖2所示之實施例的手法，係在於為了一面實現目標動作頻率，一面抑制洩漏電流於最小限，即使在一個信號路徑中，亦可使之適當混合臨限值電壓不同的MOSFET。

使用圖3顯示本發明之更另一實施例。圖3中，係由正反器f31、f32、f33；及邏輯閘g301至g317所構成。將f31至f32之路徑及f31至f33之路徑作為目標的延遲設為10nsec。各元件之延遲及洩漏電流之值係設得與圖1及圖2相同。f31至f32之路徑及f31至f33之路徑，皆係以11個邏輯閘所構成。為了實現10nsec之延遲，有必要在11個邏輯閘中以低臨限值電壓之MOSFET構成至少5個元件。

五、發明說明 (13)

此時，如圖3所示，藉由以低臨限值電壓之MOSFET構成作為兩路徑之共通部分的g301至g305，就可整體地將由低臨限值電壓之MOSFET構成的邏輯閘數設在最小。此情況之總洩漏電流為37pA。且當以低臨限值電壓之MOSFET構成兩路徑之共通部分以外之邏輯閘，例如g307至f311及g313至g317時，總洩漏電流就會變成57pA，且如習知技術所示在以低臨限值電壓之MOSFET構成全部的邏輯閘時，總洩漏電流就會變成85pA。換句話說，圖3所示之實施例的手法，係來自一個起始節點的信號路徑，在某個節點分歧而到達複數個節點之信號路徑中，適當混合低臨限值電壓之MOSFET與高臨限值電壓之MOSFET時，為了將低臨限值電壓之MOSFET之使用設在最小限，就可在起始節點至分歧節點之路徑中多使用低臨限值之MOSFET。

使用圖4顯示本發明之更另一實施例。圖4中，係中正反器f41、f42、f43；及邏輯閘g401至g417所構成。將f41至f43之路徑及f42至f43之路徑作為目標的延遲與圖3相同設為10nsec。各元件之延遲及洩漏電流之值係設得與圖1至圖3相同。f41至f43之路徑、f42至f43之路徑，皆係以11個邏輯閘所構成，為了實現10nsec之延遲，有必要在11個邏輯閘中以低臨限值電壓之MOSFET構成至少5個元件。

此時，如圖4所示，藉由以低臨限值電壓之MOSFET構成作為兩路徑之共通部分的g407至g411，就可整體地將以低臨限值電壓之MOSFET構成的邏輯閘數設在最小。此情況之總洩漏電流為37pA，且當以低臨限值電壓之MOSFET構成兩

五、發明說明 (14)

路徑之共通部分以外之邏輯閘，例如g401至g405及g412至g416時，總洩漏電流就會變成57pA，且如習知技術所示在以低臨限值電壓之MOSFET構成全部的邏輯閘時，總洩漏電流就會變成85pA。換句話說，圖4所示之實施例的手法，係來自複數個起始節點的信號路徑，在某個節點會合而到一個節點之信號路徑中，適當混合低臨限值電壓之MOSFET與高臨限值電壓之MOSFET時，為了將低臨限值電壓之MOSFET之使用設在最小限，就可在會合節點至終點節點之路徑中多使用低臨限值之MOSFET。

使用圖19說明本發明之更另一實施例。圖19為存在有透過以正反器f191至一個或複數個邏輯閘所構成的電路c191、邏輯閘g191、邏輯閘g192、邏輯閘群gg191到達正反器f192的第一信號路徑；及透過以正反器f191至一個或複數個邏輯閘所構成的電路c191、邏輯閘g191、邏輯閘g193、邏輯閘群gg192到達正反器f193的第二信號路徑之例。當一律只以高臨限值電壓之MOSFET構成時，兩路徑皆會超過目標延遲。

此情況，以低臨限值電壓之MOSFET構成作為兩路徑之共有邏輯閘的g191之MOSFET的情況係如上所述。再者，當目標著重在邏輯閘群gg191與gg192時，gg192係以N段的邏輯閘構成，而gg192係以比gg191還多M段的N+M段所構成。此時，包含gg191之第一信號路徑的延遲會大於包括gg192之第二信號路徑的延遲。該種情況，係以低臨限值電壓之MOSFET構成以低臨限值電壓之MOSFET構成的g191所扇出的

五、發明說明 (15)

第一路徑之邏輯閘g192。雖然圖中未顯示，但是可按照需要以低臨限值電壓之MOSFET構成幾個gg191之邏輯閘。

使用圖20說明本發明之更另一實施例。圖20為存在有透過正反器f201至邏輯閘群gg201、邏輯閘g201。邏輯閘g202、以一個或複數個邏輯閘所構成的電路c201到達正反器f203的第一信號路徑；及透過以正反器f202至邏輯閘群gg202、邏輯閘g203、邏輯閘g202、一個或複數個邏輯閘所構成的電路c201到達正反器f203的第二信號路徑之例。當一律只以高臨限值電壓之MOSFET構成時，兩路徑皆會超過目標延遲。

此情況，以低臨限值電壓之MOSFET構成作為兩路徑之共有邏輯閘的g202之MOSFET的情況係如上所述。再者，當目標著重在邏輯閘群gg201與gg202時，gg202係以K段的邏輯閘構成，而gg201係以比gg202還多L段的K+L段所構成。此時，包含gg201之第一信號路徑的延遲會大於包含gg202之第二信號路徑的延遲。該種情況，係以低臨限值電壓之MOSFET構成第一路徑之邏輯閘g201。雖然於圖中未顯示，但是可按照需要以低臨限值電壓之MOSFET構成幾個gg201之邏輯閘。

圖12中，係就使用由p通道MOSFET及n通道MOSFET所構成之互補型MOSFET的本發明之一實施例加以說明。正反器f121之輸出接腳，係通過一個或複數個MOSFET，而連接在第一p通道MOSFETpml之閘極及第一n通道MOSFETnml之閘極上。p通道MOSFETpml，係在第一動作電位供給線Vdd121和

五、發明說明 (16)

第一節點nd1之間連接成持有源・汲極路徑，n通道MOSFETnm1，係在第一節點nd1和第二動作電位供給線Vss121之間連接成持有源・汲極路徑。

再者，第一節點nd1，係鄰接在第二p通道MOSFETpm2之閘極及第二n通道MOSFETnm2之閘極上。p通道MOSFETpm2，係在第一動作電位供給線Vdd121和第二節點nd2之間連接成持有源・汲極路徑，n通道MOSFETnm2，係在第二節點nd2和第二動作電位供給線Vss121之間連接成持有源・汲極路徑。再者，第二節點nd2係通過一個或複數個MOSFET，鄰接在第二正反器f122之輸入接腳上。

另外，本圖中正反器f121、f122之內部係以邏輯閘記號表示反相器、三態閘、傳輸閘等。在正反器f121、f122上，輸入有時鐘信號CK。本圖中，高臨限值電壓之MOSFET係以細的實線表示，而低臨限值電壓之MOSFET係以粗的實線表示。以下使用該表記。

圖12中，p通道MOSFETpm2及n通道MOSFETnm2為低臨限值電壓之MOSFET，p通道MOSFETpm1及n通道MOSFETnm1為高臨限值電壓之MOSFET。如以框包圍所示般，藉由p通道MOSFETpm1及n通道MOSFETnm1就可構成反相器邏輯閘inv1，藉由p通道MOSFETpm2及n通道MOSFETnm2就可構成反相器邏輯閘inv2。本電路，係在時鐘信號CK輸入於正反器f121之後，可從正反器f121之輸出接腳輸出信號，通過反相器inv1及反相器inv2信號到達正反器f122之輸入的時間，即該路徑之延遲有必要在時鐘信號CK之週期以內。

五、發明說明 (17)

實際上，雖有必要考慮正反器之設定所需要的時間、或時鐘信號到達正反器的時間發生偏差等，但是在此由於無關於說明之本質故而忽略之。換句話說，該路徑之延遲，係在正反器f121上輸入時鐘信號之後正反器f121輸出信號用的延遲、反相器inv1之延遲和反相器inv2之延遲的和。在此，在全部以高臨限值電壓之MOSFET構成p通道MOSFETpm1、n通道MOSFETnm1、p通道MOSFETpm2及n通道MOSFETnm2時，該路徑的延遲會大於時鐘週期，在全部以低臨限值電壓之MOSFET構成時，會在延遲上發生餘裕(換句話說，會徒增消耗電力)。

如此，在習知技術中，雖無法使延遲和消耗電力最適合化至極限，但是如本實施例所示，藉由僅將p通道MOSFETpm2及n通道MOSFETnm2設在低臨限值電壓，除了可使延遲跟得上之外亦可抑制消耗電力。

使用圖13說明本發明使用由p通道MOSFET及n通道MOSFET構成之互補型MOSFET的另一實施例。正反器f131之輸出接腳係連接在p通道MOSFETpm131及n通道MOSFETnm131上。

p通道MOSFETpm131，係在第一動作電位供給線Vdd131和第一節點nd131之間持有源・汲極路徑之下被連接，而n通道MOSFETnm131，係在第一節點nd1和第二動作電位供給線Vss131之間持有源・汲極路徑之下被連接。再者，第一節點nd131，係被連接在第二p通道MOSFETpm132之閘極及第二n通道MOSFETnm132及第三p通道MOSFETpm134之閘極及第三n通道MOSFETnm134之閘極上。

五、發明說明 (18)

P通道MOSFETpm132，係在第一動作電位供給線Vdd131和第二節點nd132之間持有源·汲極路徑之下被連接，進而第四p通道MOSFETpm133，也同樣在第一動作電位供給線Vdd131和第二節點nd132之間持有源·汲極路徑之下被連接。而n通道MOSFETnm132和第四n通道MOSFETnm133，係在第二節點nd132和第二動作電位供給線Vss131之間持有源·汲極路徑之下被串聯連接。

p通道MOSFETpm134和第五p通道MOSFETpm135，係在第一動作電位供給線Vdd131和第三節點nd133之間持有源·汲極路徑之下被串聯連接。而n通道MOSFETnm132，係在第三節點nd133和第二動作電位供給線Vss131之間持有源·汲極路徑之下被串聯連接。同樣地，第五n通道MOSFETnm135，係在第三節點nd133和第二動作電位供給線Vss131之間持有源·汲極路徑之下被串聯連接。

再者，第二節點nd132係經由一個或複數個邏輯閘所構成的電路c131(本圖中以橢圓形表示略記)被連接在第二正反器f132之輸入接腳上。又，第三節點nd133係經由一個或複數個邏輯閘所構成的電路c132(與c131同樣以橢圓形表示)被連接在第三正反器f133的輸入接腳上。

另外，本圖中已省略了正反器之內部閘。在正反器上，輸入有時鐘信號CK。又，如以框包圍所示，可由p通道MOSFETpm131及n通道MOSFETnm131構成反相器邏輯閘inv131，由p通道MOSFETpm132、pm133及n通道MOSFETnm132、nm133構成NAND邏輯閘NAND131，由p通道

五、發明說明 (19)

MOSFETpm134、pm135及n通道MOSFETnm134、nm135構成NOR邏輯閘NOR131。另外，在NAND131上除了inv131之輸出以外尚輸入in2信號，在NOR131上除了omv131之輸出以外尚輸入有in3信號。

本電路，係在時鐘信號CK輸入於正反器f131之後，從正反器f131之輸出接腳輸出信號，而信號通過反相器inv131及NAND131經由c131到達正反器f132之輸入的時間；以及從反相器inv131之輸出接腳輸出信號，而信號通過反相器inv131及NOR131經由c132到達正反器f133之輸入的時間有必要在時鐘信號CK之週期以內。在本實施例中以高臨限值電壓構成NAND131及NOR131及inv131之全部的MOSFET時，上述二個路徑之延遲會大於時鐘週期，在以低臨限值電壓之MOSFET構成全部時，會在上述二個路徑之延遲上產生餘裕(換句話說，會造成徒增消耗電力)。

在圖12之實施例中，即使以低臨限值電壓構成inv1或inv2，雖然消耗電力上沒有差值，但是如本實施例所示，路徑在nd131中分歧時，會在分歧節點nd131之上游，亦即，在兩路徑上將其共有之邏輯閘的MOSFETpm131及nm131設在低臨限值電壓。藉此，就可將為了將延遲抑制在目標時間以內所需要之低臨限值電壓MOSFET的數量設於最小限，更可抑制消耗電力。在本實施例中，雖係顯示分歧成二個路徑之例，但是即便在三分歧之情況，換句話說，在扇出3以上的情況，也是同樣地可包含在本發明中。

使用圖14，說明使用由p通道MOSFET及n通道MOSFET所構

五、發明說明 (20)

成之互補型MOSFET之本發明的更另一實施例。正反器f141之輸出接腳係經由邏輯電路c141，而連接在第一p通道MOSFETpm141及第一n通道MOSFETnm141之閘極上。p通道MOSFETpm141，係在第一動作電位供給線Vdd141和第一節點nd141之間連接成持有源・汲極路徑。第二p通道MOSFETpm142亦同，在第一動作電位供給線Vdd141和第一節點nd141之間連接成持有源・汲極路徑。n通道MOSFETnm141和第二n通道MOSFETnm142，係在第一節點nd141和第二動作電位供給線Vss141之間串聯連接成持有源・汲極路徑。

正反器f142之輸出接腳係經由邏輯電路c142，被連接在第三p通道MOSFETpm143及第三n通道MOSFETnm143之閘極上。p通道MOSFETpm143，係在第一動作電位供給線Vdd141和第二節點nd142之間連接成持有源・汲極路徑。第四p通道MOSFETpm144亦同，在第一動作電位供給線Vdd141和第二節點nd142之間連接成持有源・汲極路徑。n通道MOSFETnm143和第四n通道MOSFETnm144，係在第二節點nd142和第二動作電位供給線Vss141之間串聯連接成持有源・汲極路徑。

再者，第一節點nd141，係連接在第五p通道MOSFETpm145及第五n通道MOSFETnm145之閘極上。再者，第二節點nd142，係連接在第六p通道MOSFETpm146及第六n通道MOSFETnm146之閘極上。p通道MOSFETpm145、pm146，係在第一動作電位供給線Vdd141和第三節點nd143之間連

五、發明說明 (21)

接成持有源．汲極路徑，n通道MOSFETnm145和n通道MOSFETnm146，係在第三節點nd143和第二動作電位供給線..Vss141之間串聯連接成持有源．汲極路徑。再者，第三節點nd143係連接在第三正反器f143之輸入接腳上。另外，本圖中亦省略了正反器之內部閘。在正反器上，輸入有時鐘信號CK。又，如以框包圍所示，可由p通道MOSFETpm141、pm142及n通道MOSFETnm141、nm142構成NAND邏輯閘NAND141，由p通道MOSFETpm143、pm144及n通道MOSFETnm143、nm144構成NAND邏輯閘NAND142，由p通道MOSFETpm145、pm146及n通道MOSFETnm145、nm146構成NAND邏輯閘NAND143。

本電路，係在時鐘信號CK輸入於正反器f141之後，從正反器f141之輸出接腳輸出信號，通過c141，並通過NAND141及NAND143，而信號到達正反器f132之輸入的時間；及從反相器inv142之輸出接腳輸出信號，而時鐘信號CK輸入於正反器f142之後，從反相器inv142之輸出接腳輸出信號，通過c142，並通過NAND142及NAND143，而信號到達正反器f143之輸入的時間有必要在時鐘信號CK之週期以內。

在本實施例中構成NAND141、NAND142、NAND143之全部的MOSFET以高臨限值電壓構成時，上述二個路徑之延遲會大於時鐘週期，在以低臨限值電壓之MOSFET構成全部時，會在上述二個路徑之延遲上產生餘裕(換句話說，會造成徒增消耗電力)。在圖12之實施例中，即使以低臨限值電

五、發明說明 (22)

壓構成inv1或inv2，雖於消耗電力上沒有差值，但是如本實施例所示，來二個輸入之路徑會合時，就會與如圖13中所說者相同，在兩路徑上將其共有之邏輯閘的MOSFET優先設在低臨限值電壓。亦即，在本圖中，將pm145、pm146及nm145、nm146設為低臨限值電壓之MOSFET。因此，就可將為了將延遲抑制在目標時間以內所需要之低臨限值電壓MOSFET的數量設於最小限，更可抑制消耗電力。另外，在本實施例中，雖係顯示會合二個路徑之例，但是即便會合三個路徑以上的情況，也是同樣地可包含在本發明中。

使用圖21，說明使由p通道MOSFET及n通道MOSFET所構成之互補型MOSFET及由n通道MOSFET所構成之旁通電晶體閘之本發明的實施例。

藉由在第一n通道MOSFETnm212之汲極電極上輸入有輸入信號in211，在第二n通道MOSFETnm213之汲極電極上輸入有輸入信號in212，進而在第二n通道MOSFETnm213之閘極上輸入有輸入信號in213，在第一n通道MOSFETnm212之閘極上輸入有輸入信號in213之反相，且第一n通道MOSFETnm212及第二n通道MOSFETnm213之源極電極被連接在第一節點nd211上，並依第一n通道MOSFETnm212及第二n通道MOSFETnm213，由旁通電晶體構成二輸入一輸出的選擇邏輯閘sel211。

再者，第一節點nd211，係連接在第一p通道MOSFETpm211及第三n通道MOSFETnm211之閘極上。第一p通道MOSFETpm211，係在第一動作電位供給線Vdd211和第四

五、發明說明 (23)

節點nd1212之間連接成持有源・汲極路徑，第三n通道MOSFETnm211，係在第二動作電位供給線Vdd211和第二節點nd212之間連接成持有源・汲極路徑。藉此，就可由第一p通道MOSFETpm211及第三n通道MOSFETnm211，構成反相器邏輯閘inv211。圖21所示之電路，係為混合旁通電晶體邏輯閘和互補型MOSFET邏輯閘的電路。

此時，係將作為旁通電晶體之第一、第二n通道MOSFETnm212及nm213設在低臨限值電壓。近年來，雖從可小型構成邏輯閘之優點的觀點上，著重依旁通電晶體所構成的邏輯閘，但是低電壓動作時之開關速度降低與互補型MOSFET相比較，則發明人等發現在旁通電晶體上會有顯著的問題點。因此，如本實施例所示，混合有互補型MOSFET和旁通電晶體而使用的半導體積體電路中，藉由以低臨限值電壓構成旁通電晶體，就可解決上述問題，且在混合有互補型MOSFET和旁通電晶體之半導體裝置中，無須降低旁通電晶體之動作速度，即可進行低電壓、高速動作之作業。

其次，說明本發明中實現臨限值電壓不同之MOSFET之手段的實施例。藉由臨限值電壓不同之MOSFET以構成半導體積體電路的第一手段，係在於改變前述MOSFET之閘極氧化膜下之半導體基板的雜質濃度。

圖15所示者，係使用上述方法以布局圖12之電路的實施例。圖15中，已省略了正反器f121、f122。正反器f121之輸出接腳，係與term121相連接。term121，係與第一閘極

五、發明說明 (24)

gate121相連接。閘極gate121，係藉由通過於p^+源・汲極darea121上而形成有第一p通道MOSFETpm1，藉由通過n^+源・汲極derea122上而形成有第一n通道MOSFETnm1。p^+源・汲極derea121係形成於n井區域nw121上，n^+源・汲極derea122係形成於p井區域pw121上。

p通道MOSFETpm1之源極，係與第一動作電位供給線Vdd121相連接，而汲極，係連接在n通道MOSFETnm1之汲極及端子term122上。又，n通道MOSFETnm1之源極，係連接在第二動作電位供給線Vss121上。圖中塗黑之正方形，係顯示進行不同的金屬配線層及半導體基板之連接的貫穿孔。在n井區域nw121上，通過貫穿孔TH121由Vdd121供電，在p井區域pw121上，通過貫穿孔TH122由Vss121供電。

藉此可構成圖2之反相器邏輯閘inv1。藉由第一p通道MOSFETpm1及第一n通道MOSFETnm1，可構成第一反相器邏輯閘inv1。同樣地，藉由第二閘極gate122及p^+源・汲極darea123及n^+源・汲極darea124，可形成第二p通道MOSFETpm2及第二n通道MOSFETnm2，藉由該等就可構成第二反相器邏輯閘inv2。且連接有作為inv1之輸出端子的term122和作為inv2之輸入端子的term123，以構成圖12所示之反相器的二段電路。

inv2之輸出端子term124，係連接在第二正反器f122之輸入接腳上。在此，係顯示在第一閘極gate121之下施行影線法(hatching)的區域area121及area122。在半導體積

五、發明說明 (25)

體電路之製造過程中，分別在p井區域pwl21、nwl21上分布薄層雜質之後，只選擇性地在區域area121、區域area122上，藉由進行再度追加分布雜質的步驟，以提高該等區域之雜質濃度，且只使MOSFETpml及nml變成高臨限值電壓。

如圖5所示，若依據本方法，則可自由改變構成半導體積體電路之任意場所之邏輯閘之MOSFET的臨限值電壓。圖5中，係全部以典型的矩形顯示半導體積體電路LS150之邏輯閘。顯示施行網線之例如g51矩形係以低臨限值電壓之MOSFET構成的邏輯閘、及鏤空之例如g52矩形例以高臨限值電壓之MOSFET構成的邏輯閘。圖中係顯示圖2之f11至f12之路徑以作為path51、圖2之f13至f14之路徑以作為path52。

但是，採用該方法，在半導體積體電路之製造過程中，使雜質分布於基板上的步驟，例如離子植入步驟，有必要使用複數種MOSFET。

圖25所示者，係在使用本方法的情況，有關圖12之高低二種臨限值之MOSFET之二個反相器例的裝置剖面構造例。圖12之例由於係使用互補型MOSFET，所以在p型基板表面層的局部上採取形成有n井的雙層井構造。在p基板的表面層，形成有n^+型之源・汲極區域diff2501、diff2504、閘極氧化膜ox2501、ox2504及閘極gate2501、gate2504以構成n通道MOSFETnm2501、nm2504。在n井區域表面層上形成有由p^+型之源・汲極區域diff2502、diff2503、閘極氧化

五、發明說明（26）

膜ox2502、ox2503及閘極gate2502、gate2503以構成p通道MOSFETpm2502、pm2503。再者，在p通道MOSFET之源極及n井上連接有Vdd，而於n通道MOSFET之源極及p基板上連接有Vss。

在此，藉由nm2501和pm2502，且藉由圖12之反相器inv1、nm2504和pm2503，就可構成圖12的反相器inv2。Inv1由於係以高臨限值之MOSFET所構成，所以可提高nm2501和pm2502之閘極氧化膜下之半導體基板的雜質（圖之雜質濃度1），而inv2由於係以低臨限值之MOSFET所構成，所以可降低nm2504和pm2503之閘極氧化膜下之半導體基板的雜質（圖之雜質濃度2）。

又，由臨限值電壓不同之MOSFET構成半導體積體電路的第三裝置，係在於改變前述MOSFET之閘極氧化膜膜厚尺寸。即使使用該裝置，亦可自由改變和圖5所示構成半導體積體電路之任意場所之邏輯閘之MOSFET的臨限值電壓。但是，採用該方法，即使在半導體積體電路之製造過程中，形成閘極氧化膜之步驟例，例如熱氧化步驟，亦有必要使用複數種MOSFET。

圖26為其他裝置的剖面構造，係顯示在使用上述之方法時，有關圖12之高低二種臨限值之MOSFET之二個反相器之例。

與圖25相同，在p型基板表面層的局部上採取形成有n井的雙層井構造。在p基板表面層，形成有n^+型之源・汲極區域diff2601、diff2604、閘極氧化膜ox2601、ox2604及

五、發明說明 (27)

閘極gate2601、gate2604以構成n通道MOSFETnm2601、nm2604。在n井區域表面層上形成有由p^+型之源・汲極區域diff2602、diff2603、閘極氧化膜ox2602、ox2603及閘極gate2602、gate2603以構成p通道MOSFETpm2602、pm2603。

再者，在p通道MOSFET之源極及n井上連接有Vdd，而於n通道MOSFET之源極及p基板上連接有Vdd。在此，藉由nm2601和pm2602，且藉由圖12之反相器inv1、nm2604和pm2603，就可構成圖12的反相器inv2。Inv1由於係以高臨限值之MOSFET所構成，所以可增厚nm2601和pm2602之閘極氧化膜的厚度(圖之厚度t1)，而inv2由於係以低臨限值之MOSFET所構成，所以可減薄nm2604和pm2603之閘極氧化膜下的厚度(圖之厚度t2)。

又，由臨限值電壓不同之MOSFET構成半導體積體電路的第四裝置，係在於改變前述MOSFET之閘極氧化膜厚長度。即使使用該裝置，亦可自由改變如圖5所示構成半導體積體電路之任意場所之邏輯閘之MOSFET的臨限值電壓。

圖6係顯示閘極長度和臨限值電壓之關係例。例如，藉由選擇圖6之圖表所示之二點，稍微改變閘極長度，就可形成臨限值電壓不同之二種類的MOSFET。

圖27係顯示在使用該方法時，有關圖12之高低二種臨界值之MOSFET之二個反相器例之例的裝置剖面構造。與圖25相同，在p型基板表面層的局部上採取形成有n井的雙層井構造。在p基板的表面層，形成有n^+型之源・汲極區域

五、發明說明 (28)

diff2701、diff2704、閘極氧化膜ox2701、ox2704及閘極gate2701、gat2704以構成n通道MOSFETnm2701、nm2704。在n井區域表面層上形成有由p^+型之源・汲極區域diff2702、diff2703、閘極氧化膜ox2702、ox2703及閘極gate2702、gate2703以構成p通道MOSFETpm2702、pm2703。再者，在p通道MOSFET之源極及n井上連接有Vdd，而於n通道MOSFET之源極及p基板上連接有Vss。

在此，藉由nm2701和pm2702，且藉由圖12之反相器inv1、nm2704和pm2703，就可構成圖12的反相器inv2。Inv1由於係以高臨限值之MOSFET所構成，所以可增大nm2701和pm2702之閘極長度(圖之長度Lg1)，而inv2由於係以低臨限值之MOSFET所構成，所以可縮小nm2704和pm2703之閘極長度(圖之長度Lg2)。

使用圖7說明本發明中用以實現臨限值電壓不同之MOSFET之第二裝置的實施例。藉由臨限值電壓不同之MOSFET以構成半導體積體電路的第二裝置，係在於改變供給至前述MOSFET之基板上的偏壓值。因此，與上述第三裝置不同，為了要在臨限值電壓不同之MOSFET上，供給不同的基板間偏壓，而有產生分離井區域之必要。

又，變成有需要供給至各自的井區域之基板偏壓動作電位供給線。因此，如圖5所示自由改變任意場所之邏輯閘之MOSFET的臨限值電壓，要大幅增加面積是非現實的。

因此，如圖7所示，同一臨限值電壓的MOSFET會儘量進行歸納構成於同一井區域上的布局。但是，在使用該裝置

五、發明說明 (29)

的情況時，具不需要用以形成複數個臨限值電壓之MOSFET的附加製造步驟之優點。

圖7為在半導體積體電路LS170上構成井71至井75之井區域的例子。在此，井71至井74係為低臨限值電壓MOSFET用的井區域，井75係為高臨限值電壓MOSFET的井區域。在該情況時，由於在依MOSFET之臨限值電壓可配置邏輯閘的場所會產生限制，所以在布局邏輯閘之際，有進行遵守該限制之配置的必要。

圖7為以1：3之比例構成低臨限值電壓之MOSFET的邏輯閘和高臨限值電壓之MOSFET的邏輯閘之面積比的例子。該比例，係依作為目標之動作頻率及作為目標之洩漏電流值及其搭載之邏輯電路而決定。又，在將本發明使用於閘極陣列之際，可預估低臨限值電壓之MOSFET的邏輯閘和高臨限值電壓之MOSFET的邏輯閘之使用比率的概略值，以形成到達擴散層之基底。又，如圖7所示，在使用二種類之臨限值的MOSFET之際，有需要二種類之基板偏壓供給用之動作電位供給線。

圖7雖係單獨構成n通道MOSFET或p通道MOSFET之任一方的例子，但是卻是使用n通道MOSFET和p通道MOSFET之雙方說明由互補型MOSFET構成半導體積體電路的實施例。在為互補型MOSFET的情況，則需要構成n通道MOSFET用的n井區域和構成p通道MOSFET用的p井區域，且為了可改變各自的偏壓值，而使用三層井構造。

圖8係顯示有關圖12之高低二種臨限值之MOSFET之二個

五、發明說明 (30)

反相器例之例的裝置剖面構造。與圖25相同，在n型基板表面層的局部上，形成有被絕緣之二個p井p-井1及p-井2，再者，採取在p-井1之表面層的局部上形成有n井n-井1，在p-井2之表面層的局部上形成有n井n-井2的三層井構造。在p井之表面層，形成有n^+型之源・汲極區域diff801、diff804、閘極氧化膜ox801、ox804及閘極gate801、gate804以構成n通道MOSFETnm801、nm804。在n井區域表面層上形成有由p^+型之源・汲極區域diff802、diff803、閘極氧化膜ox802、ox803及閘極gate802、gate803以構成p通道MOSFETpm802、pm803。

在p通道MOSFET之源極上連接有Vdd，而於n通道MOSFET之源極上連接有Vss。在p通道MOSFETpm802之n井上連接有Vbp1，在n通道MOSFETnm801之p井上連接有Vbn1。再者，在p通道MOSFETpm803之n井上連接有Vbp2，n通道MOSFETnm804之p井上連接有Vbn2。在此，藉由nm801和pm802，且藉由圖12之反相器inv1、nm804和pm803，就可構成圖12的反相器inv2。

inv1由於係以高臨限值之MOSFET所構成，而inv2係以低臨限值之MOSFET所構成，所以可將Vbp1設在高於Vbp2的電壓上，將Vbp1設在低於Vbn2的電壓上。各自的電壓值，例如設定成Vdd=1.5V，Vss=0V，Vpb1=2.0V，Vbn1=-0.5V，Vbp2=1.5V，Vbn2=0V等。

圖16係顯示圖8構造之裝置之圖12電路之布局平面圖。圖16與圖15不同之點，係在於由第一閘極gate121和p^+

五、發明說明 (31)

源・汲極darea121所構成的第一p通道MOSFETpm1；以及由第二閘極gate122和p^+源・汲極darea123所構成的第二p通道MOSFETpm2，係各自形成於另一n井區域nw151及nw152上。同樣地，由第一閘極gate121和n^+源・汲極darea122所構成的第一n通道MOSFETnm1；以及由第二閘極gate122和n^+源・汲極darea124所構成的第二n通道MOSFETnm2，係各自形成於另一p井區域pw151及pw152上。

此係為了利用低臨限值MOSFET和高臨限值改變供給至井區域的電位，而需要分離井區域所致。nw151，係通過貫穿孔TH151，由第三動作電位供給線Vbp151供給偏壓，nw152，係通過貫孔TH153，由第四動作電位供給線Vbp152供給偏壓，pw151，係通過貫穿孔TH152，由第五動作電位供給線Vbn151供給偏壓，pw152，係通過貫穿孔TH154，由第六動作電位供給線Vbn152供給偏壓。若依據改變供給至MOSFET之基板的偏壓值之方法，則如圖16所示，雖然從需要新的動作電位供給線或必要產生井區域之分離等理由中布局面積會變大，但是如圖15之情況所示，具有無須在半導體積體電路之製造過程中進行新的步驟就可使MOSFET之臨限值電壓變化之優點。

圖9係顯示由圖8所示之互補型MOSFET構成之本發明半導體積體電路裝置的實施例。圖9(a)係藉由在半導體積體電路LSI90上，橫向配置邏輯閘成一列，並將複數個列row91至row98排列成縱方向，以二維配置邏輯閘之例。在本實施例中，雖係以矩形顯示邏輯閘，且已省略了內部圖型，

五、發明說明 (32)

但是p通道MOSFET和n通道MOSFET係配置成上下。在此，row91及row96上之邏輯閘，係由低臨限值電壓之MOSFET所構成，此外之列的邏輯閘係全部以高臨限值電壓之MOSFET構成。

此情況，就有需要pw91至pw94之被絕緣的四個p井區域。鄰接著的列row92、row93、row94、row95，因係由同一臨限值電壓之MOSFET所構成，所以可共有p井區域pw92。同樣地，row97和row98共有p井區域pw94。又，變成需要nw91和nw95之五個n井區域。有關n井，鄰接著的列row92和row93可共有一個n井區域nw92，row93和row94共有n井區域nw93，而row97和row98共有n井區域nw95。

又，圖9(b)係顯示進行(a)之配置時之供給基板偏壓電源用的動作電位供給線。圖9(b)中為了避免繁雜已省略了井區域。Wire91至wire94，係平行配線成列。又，顯示在列之左右直角方向施行補強用配線之例。Wire91係在高臨限值MOSFET之p井上供給偏壓電源，wire92係在高臨限值電壓MOSFET之n井上供給偏壓電源，wire91係在低臨限值MOSFET之p井上供給偏壓電源。藉由如此布局，則可減少井之分離，並使用改變供給至基板之偏壓值的裝置，可將由臨限值電壓不同的MOSFET構成半導體積體電路時的面積之增加最小限。

其次，顯示使用SOI(矽在絕緣層上)裝置構造以實施本發明中用以實現臨限值電壓不同之MOSFET的第二裝置之例。在SOI構造中，沒有必要分離各個MOSFET之井區域。

五、發明說明 (33)

因此，沒有必要將上述之臨限值相同的MOSFET歸納構成於同一井區域上。此情況，如圖5所示，在半導體積體電路上之任意場所上可配置任意臨限值電壓的MOSFET。但是，由於用以實現臨限值電壓不同之MOSFET的第二裝置有需要改變基板偏壓電源的電壓值，所以為此需要動作電位供給線。

圖22顯示其實施例。半導體積體電路LSI220，係將由SOI構造之互補型MOSFET所構成的邏輯閘配置成列狀之例。圖中係以矩形顯示邏輯閘，例如g221、g222。如g221所示，網線的矩形，係以低臨限值電壓之MOSFET構成的邏輯閘，如g222所示，白色的矩形，係以高臨限值電壓之MOSFET構成的邏輯閘。

又，低臨限值電壓之p通道MOSFET的基板偏壓電位供給線Vbp221、高臨限值電壓之p通道MOSFET的基板偏壓電位供給線Vbp222、低臨限值電壓之n通道MOSFET的基板偏壓電位供給線Vbn221、低臨限值電壓之n通道MOSFET的基板偏壓電位供給線Vbn221係分別平行配線於列上。

另外，在本圖中，MOSFET之源極電極的電位供給線已省略。藉由貫穿孔TH221、TH222等連接有電位供給線和基板，且供給有構成各閘之MOSFET的基板偏壓電源。在此，如圖所示，係預先將與列平行之偏壓電位供給線配線臨限值之種類數(但是，為互補型MOSFET之情況，各自需要p通道MOSFET用與n通道MOSFET用之電位供給線)，且依MOSFET之臨限值電壓，並藉由打穿貫穿孔，就可將不同臨限值電

五、發明說明 (34)

壓的MOSFET配置在任意場所內。

換句話說，本發明中使用依改變基板偏壓電源而改變MOSFET之臨限值電壓的裝置時，由於面積之增加會減少，所以更佳者為使用SOI裝置構造。

其次，說明用以設計以上所述之本發明半導體積體電路所需要之記憶有零件庫之記憶媒體的實施例。在說明實施例之前，首先將單元及零件庫之簡單說明敘述如下。通常，在設計半導體積體電路之際，使用具有被稱為預先設計之單元小規模邏輯功能的零件。單元，係預先設計內部之電路要素和其連接之布局圖型等，再將形狀、與外部連接用之端子位置、邏輯功能、延遲特性、消耗電力特性等資訊當作零件庫予以預先登錄。藉由分配佈置記憶有零件庫之記憶媒體，就可將已設計且動作有保證的零件使用於很多的半導體積體電路之設計。

圖10係顯示本發明之記憶有零件庫之記憶媒體的例子。圖10之例子，為記憶登錄有三種反相器單元之檔館的例子。作為關於單元之資訊，在本實施例中，有記錄單元之名稱、尺寸、閘極長度、接腳(pin)、延遲特性、洩漏電流、臨限值電壓及功能等。c101為標準的反相器單元，c102為MOSFET之雙倍閘極寬度W的單元。

在習知技術中，準備用以改變閘極寬度W及改變延遲特性的單元。c103雖持有與c102相同的閘極寬度W、相同的尺寸，但是其只有延遲特性及消耗電力特性為不同的單元。換句話說，c103為MOSFET之臨限值電壓低的MOSFET所

五、發明說明 (35)

構成的單元，即洩漏電流大而延遲小的單元。為了設計及製造上述本發明之半導體積體電路裝置，而需要圖10所示之檔館。例如，在本發明之半導體積體電路裝置之製造步驟中，使用臨限值電壓不同的MOSFET時，在選擇性地追加雜質的步驟或依場所改變閘極氧化膜之厚度的步驟中，需要特別光罩圖型已如上所述。

在製作該光罩圖型之際，有需要被設計之積體電路之單元及配線之布局資訊、單元之連接資訊、及可辨識哪一個單元係由哪一個臨限值之MOSFET所構成的資訊。關於各單元之MOSFET臨限值電壓的資訊，由於被儲存在本發明之記憶有零件庫之記憶媒體內，所以藉由使用該資訊，就可製作上述之光罩圖型。在該意思中，並非為記憶有零件庫之記憶媒體，而是在所謂單元及配線之連接關係之記憶有網路表格之記憶媒體中，持有可辨識臨限值電壓不同之MOSFET的資訊乙事亦可從本發明中容易類推思及，且被包含在本發明。

另外，在本實施例中，雖顯示反相器單元，但是以其他的AND、OR、NAND、NOR、選擇器、正反器等的單元亦可同樣實施，而實施本發明之單元種類，並非被特別限定。

其次，說明使用上述記憶有檔館之記憶媒體的設計方法之例。

圖23係顯示使用記憶有圖10之零件庫的記憶媒體，以進行邏輯設計的過程。圖中，矩形箱step230~step232係顯示處理，黑色箭號係顯示處理之流程，鏤空之箭號係顯示

五、發明說明 (36)

資料之流程。邏輯描述LOG230，係記錄有如VHDL等的上述邏輯描述語言者。讀入邏輯描述LOG230，且進行邏輯最適當化處理step230。

邏輯最適當化處理step230，係為不依存於技術邏輯之最適當化處理，例如以布耳(Boolean)式子表現邏輯且使布耳式子之項數最小化等的處理。此時以藉由延遲推定處理step231而推定之延遲為基礎，進行最適當化處理。之後，進行單元分配處理step232。此係讀入零件庫LIB230，並將未依存於技術邏輯的邏輯分配於實際之單元內的處理。

在此，反覆執行延遲計算處理step233及消耗電力計算處理setp234，並進行最適當的單元分配，以輸出網路表格net230。由於單元分配處理係為本發明之設計方法的特徵處理，所以於圖中顯示詳細例。此例，係顯示現在A至D之路徑之一部分處於分配單元之執行中。A至B、C至D之路徑的單元分配已完成，各自的延遲為3.22nses、1.70sec。當B至C之邏輯以C=not(B)來表現時，可知此布耳式子應被反相器分配。當A至D之路徑的目標延遲設為5nsec時，反相器的延遲就有必要為0.08以下。

此時，由於其為同一功能，即反相器單元，且臨限值電壓不同，所以存在有延遲值不同的單元c102及c103，可知此為已讀入單元當館LIB230的結果。在此，計算使用各自的單元之情況的延遲與省電力，結果，可選擇低臨限值電壓之單元c103。

五、發明說明 (37)

使用圖24說明使用上述記憶有檔館之記憶媒體之另一設計方法之例。圖24係顯示使用圖10之記憶有零件庫之記憶媒體，以進行邏輯設計的過程。與圖23相同矩形箱step240~step244係顯示處理步驟，黑箭號係顯示處理之流程，鏤空之箭號係顯示資料之流程。讀入邏輯描述LOG240，以進行邏輯最適當化處理step240。此與圖23中之step230相同。之後，進行只使用高臨限值單元之單元分配處理step241。

與圖23之實施例相同，反覆執行延遲及消耗電力計算處理step242，在只使用高臨限值單元之限定下進行最適當的單元分配。之後，進行配置配線處理step243。進而，將配置配線後之實際的配線長度納入考慮，而在進行延遲及消耗電力計算處理step242的結果，就可獲得精度更高的計算結果。結果，在存在有延遲非法路徑時，進行以同一功能將非法路徑上的單元置換成低臨限值MOSFET之單元的處理step244，以輸出附加有布局資訊之網路表格net240。藉此，有不用變更周圍的布局就可解消非法的優點。

又，與24之實施例相反，只使用低臨限值之MOSFET進行單元分配和配置配線，之後在進行延遲計算的結果，於存在有延遲餘裕的情況時，亦可考慮將延遲上有餘裕之路徑上的單元置換成高臨限值之MOSFET之單元的方法。

其次，說明在由約8000個單元所構成的半導體積體電路上實施本發明之例。本實施例中，係以Vdd=1.6V、Vss=0V

五、發明說明 (38)

使閘極長度0.25μm之互補型MOSFET動作之例。

圖18係於橫軸採取週期時間(最大路徑延遲)，於縱軸採取其延遲值之路徑所包的單元數之圖表。在單元被包含於複數個路徑內時，就當作被包含於最大的延遲值之路徑內。實線(1)係顯示一律使用高臨限值電壓(0.15V)之MOSFET的情況，而粗的實線(2)係顯示以實施本發明之結果，在設為高臨限值電壓(0.15V)、低臨限值電壓(-0.05V)的情況時，薄的實線(3)，係顯示一律使用低臨限值電壓(-0.05V)之MOSFET的情況。實線(1)雖存在有最大為5nsec之路徑，但是在(2)、(3)中，最大卻為3.95nsec，且雙方皆可高速化。

但是，如(3)所示在一律降低臨限值時，延遲值小的區域亦可高速化，且將(1)之分布形成向左方平行移動之形式。此顯示即使使用高臨限值電壓之MOSFET收納在目標延遲以內的路徑之單元亦可高速化，且會徒增消耗電力。

另一方面，作為本發明之實施結果的(2)，在延遲小的區域中，幾乎不會變化成(1)之分布，而只會成為將3.95nsec~5nsec之範圍壓縮於左方的形式。換句話說，係顯示未徒增消耗電力就可高速化。

圖17係於橫軸取週期時間(最大路徑延遲)，於縱軸取洩漏電流之消耗電力之圖表。本電路係在一律使用高臨限值電壓(0.15V)之MOSFET的情況，會以週間5nsec(200MHz)動作的電路。消耗電力之值，係以一律使用高臨限值電壓(0.15V)之MOSFET構成時的消耗電力為1，且規格化。

五、發明說明（39）

圖中，三角符號所示者，係以一律降低臨限值電壓時的結果，而以圓圈符號所示者係依本發明以實施二種臨限值電壓之MOSFET之使用的結果。在各繪圖點之橫軸上顯示臨限值電壓。例如，本發明將低臨限值電壓設為-0.05V，將高臨限值電壓設為0.15V，並使用二種臨限值電壓之MOSFET時，週期時間可高速化至3.95nsec（253MHz），而消耗電力會變成約20。

另一方面，在一律將臨限值電壓設為-0.05V時，週期時間雖同樣變成3.95nsec，但是消耗電力卻是在60以上。又，例如，以將洩漏電流之消耗電力抑制在10以內的條件，一律改變臨限值電壓時週期時間雖為4.33nsec（231MHz），但是若依據本發明，則可知其可高速動作至週期時間為4.07nsec（246MHz）為止。

又，圖17中，低臨限值電壓之MOSFET的比率，係於低臨限值電壓為0.1V時比率為6%，於低臨限值電壓為0.05V時比率為15%，於低臨限值電壓為0.0V時比率為23%，於低臨限值電壓為-0.05V時比率為30%。在降低臨限值電壓時的MOSFET之洩漏電流由於會指數函數地增加，所以降低臨限值之MOSFET的比率以在30%程度以內者為較佳。而為了抑制於適當的消耗電力內，更佳者係抑制在10%以內。若依據本發明，則可將低臨限值電壓之MOSFET設在最小限，而低臨限值電壓之MOSFET對整體的MOSFET之比率為30%以內，此亦為本發明之特徵。

從上述實施例中，可明白藉由實施本發明，則即使在使

五、發明說明（40）

之高速動作之有源動作時，在將MOSFET之洩漏電流的消耗電力之增加抑制在最小限之後，就可獲得動作速度高的半導體積體電路裝置。

圖28係顯示將本發明之半導體積體電路適用於微處理機之例。圖28係顯示微處理機之主要的構成方塊，典型地以矩形表示其內部之單元的配置。

圖28之例中，構成方塊係為CPU（中央運算裝置）、FPU（浮動小數點運算單元）、快取記憶體（內藏式記憶體）、BSC（匯流排控制）、DMA（直接記憶體存取）、CPG（時鐘控制）、INT（中斷控制）等。寫入方塊內之單元之中實施網線者係為低臨限值的單元，鏤空者為高臨限值的單元。例如，可知存在有很多定時臨限值（timing critical）的路徑之CPU、FPU、快取記憶體等有很多低臨限值之單元的數量。又在時間有餘裕之方塊INT等，低臨限值之單元的比例很少。如此若依據本發明，則並非只在每一方塊上改變臨限值電壓，而是即使在同一方塊中，亦可按照需要適當分開使用低臨限值電壓之MOSFET和高臨限值電壓之MOSFET，而且可將低臨限值電壓之MOSFET之使用抑制在最小限，並可同時實現高速動作和低消耗電力。

又，本發明雖為用以實現活性動作時之高速動作和低洩漏電流，但是藉由待機時控制基板偏壓電源，亦可組合降降低臨限值之公知技術。

在以上所說明的實施例中，雖主要是說明使用臨限值電壓不同之二種類的MOSFET之情況，但是亦可容易實施混合

五、發明說明 (41)

有三種類以上之臨限值電壓的MOSFET，且包含在本發明中。

以下，整理本案圖面中所使用的元件符號。

g11~g222為邏輯閘。gg191、gg192、gg201、gg202為邏輯閘群。f11~f14、f121~f143、f191~f203為正反器。LS150、LS170、LS190為半導體積體電路。井71~井74為井區域。darea121~darea124、diff801~diff2704為源・汲極區域。ox801~ox2704為閘極氧化膜。gate121~gate2704為閘極。row91~row98為邏輯閘列。pw91~pw94、pw121、pw151、pw152、802為p井區域。nw91~nw95、nw121、nw151、nw152、803為n井區域。wire91~ wire94、Vdd、Vss、Vdd121、Vdd131、Vdd141、Vss121、Vss131、Vss141、Vbp1~Vbp222、Vbn1~Vbn222為動作電位供給線。c101~c103為單元。nd1、nd2、nd131~nd141~nd143、nd211~nd212為節點。pm1~pm2703為p通道MOSFET。nm1~nm2704為n通道MOSFET。inv1、inv2、inv131、inv211為反相器邏輯閘。NAND131、NAND141~NAND143為NAND邏輯閘。term121~term124為端子。TH121、TH122、TH151~TH154、TH221、TH222為貫穿孔。c131、c132、c141、c142、c191、c201為邏輯閘電路。step230~step232、step240~step244為處理步驟。LOG230、LOG240為邏輯描述。LIB230、LIB240為零件庫。net230、net240為網路表格。

產業之可利用性

五、發明說明 (42)

如以上說明，若依據本發明，則藉由以某一定的動作狀態為同一功能方塊，並適當選擇臨限值電壓不同的MOSFET，以構成半導體積體電路裝置，且在活性動作時抑制MOSFET之洩漏電流之消耗電力的增加之後，就可獲得可高速動作之半導體積體電路裝置。

圖式簡單說明

四、中文發明摘要 （發明之名稱：半導體積體電路及其設計方法）

一種由MOSFET（金氧半場效電晶體）構成的半導體積體電路裝置，其目的在於提供謀求因MOSFET之洩漏電流而造成消耗電力之增加與動作速度之調節得以合適的半導體積體電路裝置，關於半導體積體電路裝置中之複數個信號路徑，係鑒於沿著信號路徑以傳輸信號的延遲，而在延遲有餘裕的路徑中，由高臨限值電壓的MOSFET所構成，反之，在延遲沒有餘裕的路徑中，由洩漏電流大而動作速度快的低臨限值電壓之MOSFET所構成。

英文發明摘要 （發明之名稱：SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DESIGNING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE）

Disclosed is a semiconductor integrated circuit device constructed of MOSFETs in which there is attained a harmony between increase in consumption power due to a leakage current and operating speed of the MOSFETs in a suitable manner, and among a plurality of signal paths in the semiconductor integrated circuit device, a path which has a margin in delay is constructed with MOSFETs each with a high threshold voltage, while a path which has no margin in delay is constructed with MOSFETs

案號 90114045 年 月 日 修正

四、中文發明摘要 （發明之名稱：半導體積體電路及其設計方法）

英文發明摘要 （發明之名稱：SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DESIGNING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE）

each with a low threshold voltage which has a large leakage current but a high operating speed, in light of a delay with which a signal is transmitted along a signal path.

六、申請專利範圍

1. 一種記憶有零件庫之記憶媒體，就具有預先設計特定邏輯功能之邏輯電路零件，即單元，描述上述每一單元之功能、形狀、延遲、消耗電力等，其特徵在於：

具有同一功能和同一外形尺寸，且藉由因閘絕緣膜厚相異而使臨限值電壓相異之開關元件所構成，以記憶登錄有延遲及消耗電力相異之至少二種類以上之單元之零件庫。

2. 如申請專利範圍第1項之記憶媒體，其中上述臨限值電壓相異之開關元件之閘寬係相等。

3. 如申請專利範圍第1或2項之記憶媒體，其中含於零件庫內之單元係矩形形狀。

4. 如申請專利範圍第1或2項之記憶媒體，其中

上述2種以上之單元包含第1單元及第2單元；

上述第1單元之漏電流比上述第2單元小；

上述第2單元之動作速度比上述第1單元快；

藉由選擇性使用上述第1單元及第2單元作為構成半導體積體電路之路徑之單元，以改善上述半導體積體電路之路徑的消耗電力特性或動作速度特性。

5. 一種零件庫，描述有單元之功能、形狀、延遲、消耗電力等，其特徵在於：

含有同一功能和同一外狀尺寸，而延遲及消耗電力相異之第一單元之資料及第二單元之資訊；

上述第一單元係由含第一臨限值電壓之第一開關元件而構成；上述第二單元係由含第二開關元件而構成，其係

六、申請專利範圍

閘絕緣膜之厚度比上述第一開關元件之閘絕緣膜之厚度薄，而使得臨限值電壓比上述第1臨限值電壓為低者。

6. 如申請專利範圍第5項之零件庫，其中上述第一開關元件之閘寬與上述第二開關元件之閘寬係相等。

7. 如申請專利範圍第5項之零件庫，其中含於零件庫內之單元係矩形形狀。

8. 如申請專利範圍第5或6項之零件庫，其中

上述第1單元之漏電流比第2單元小；

上述第2單元之動作速度比第1單元快；

藉由選擇性使用上述第1單元及第2單元作為構成半導體積體電路之路徑的單元，以改善上述半導體積體電路之路徑的消耗電力特性或動作速度特性。

圖式

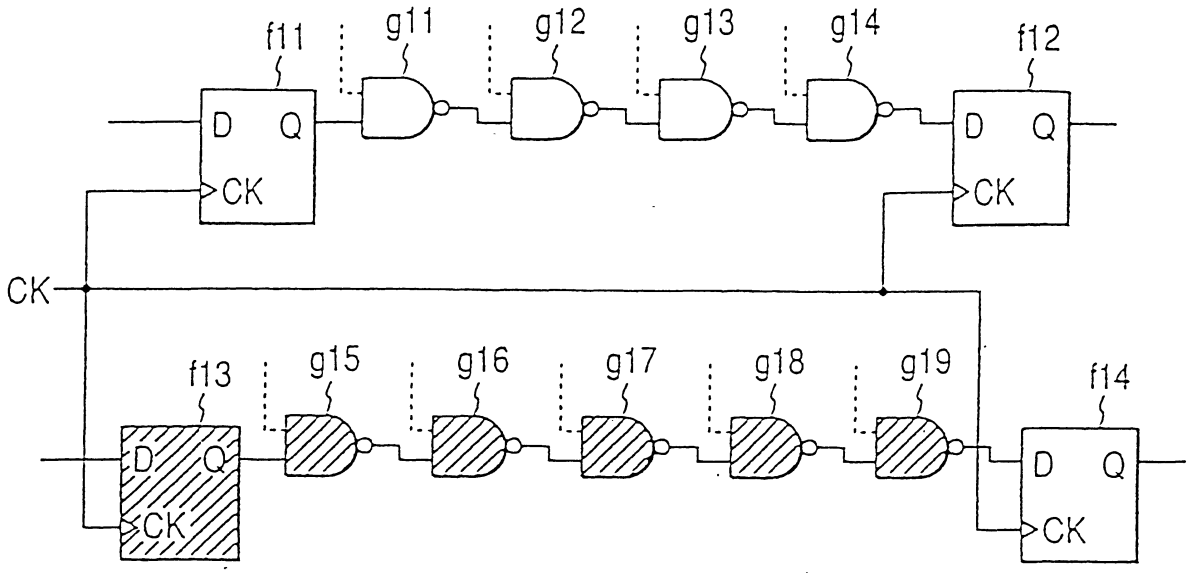
f11
g11
g12
g13
g14
f12
D Q
CK
CK
f13
g15
g16
g17
g18
g19
f14

圖 1

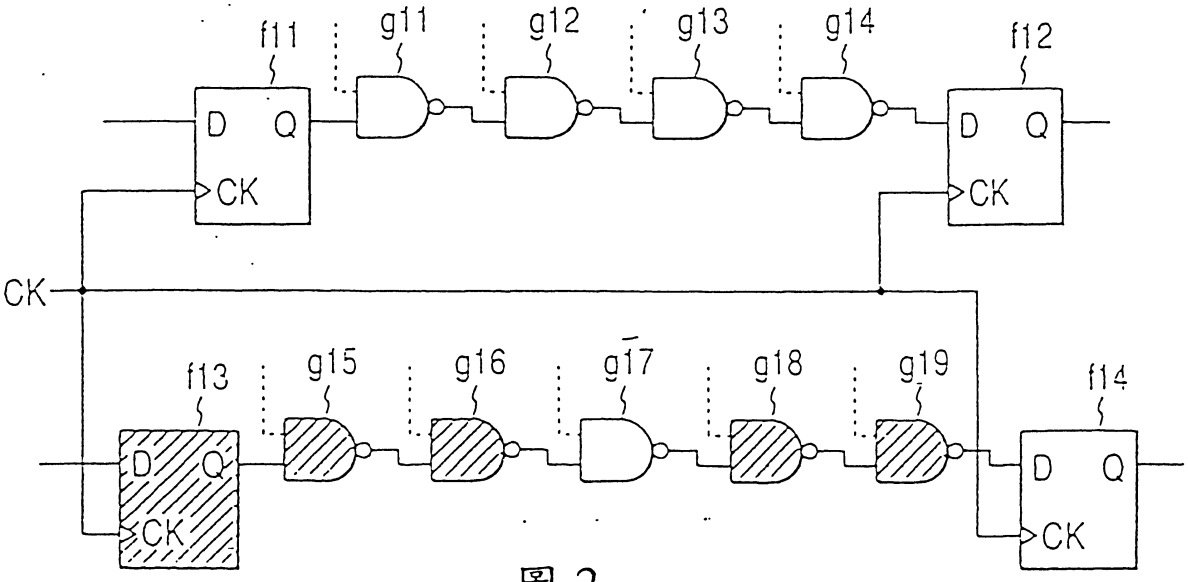
f11
g11
g12
g13
g14
f12
D Q
CK
CK
f13
g15
g16
g17
g18
g19
f14

圖 2

圖式

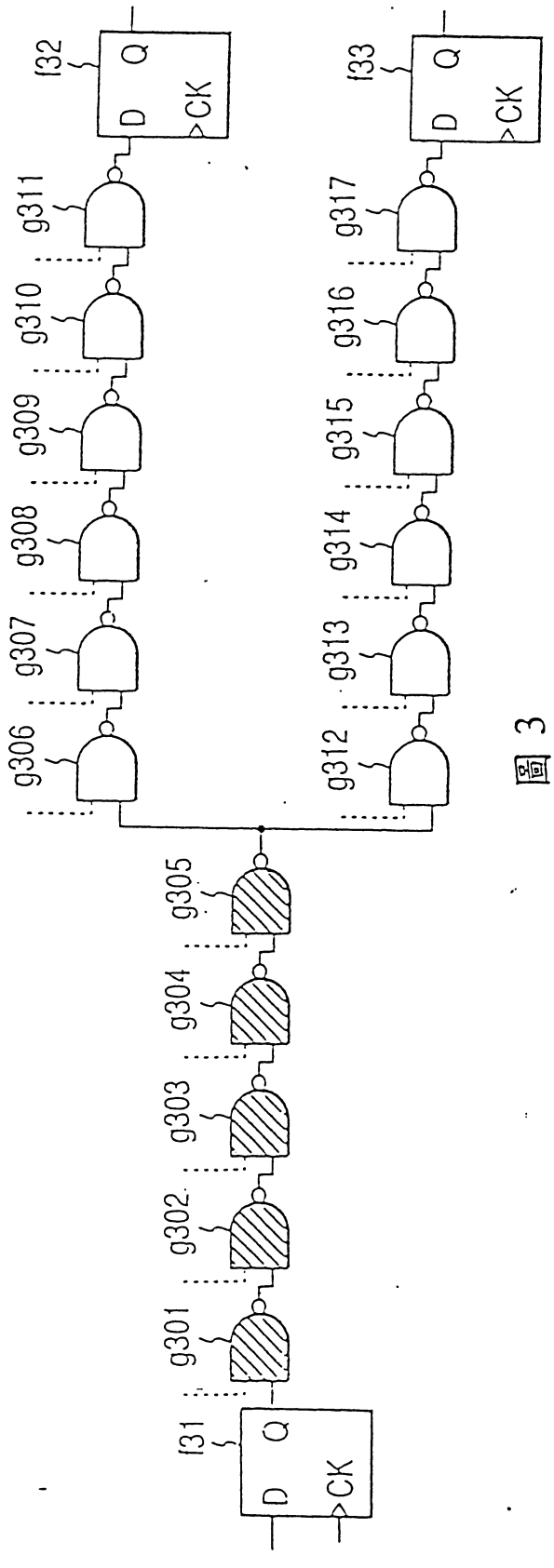
f31
f32
f33
g301
g302
g303
g304
g305
g306
g307
g308
g309
g310
g311
g312
g313
g314
g315
g316
g317
D
Q
CK

圖 3

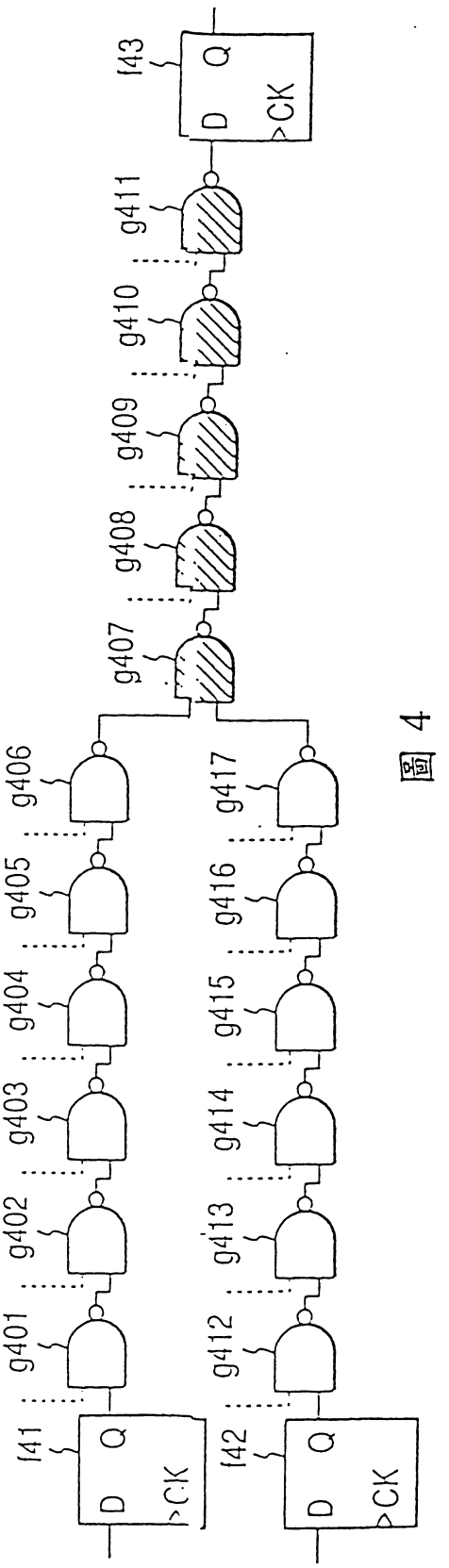
f41
f42
f43
g401
g402
g403
g404
g405
g406
g407
g408
g409
g410
g411
g412
g413
g414
g415
g416
g417
D
Q
CK

圖 4

圖式

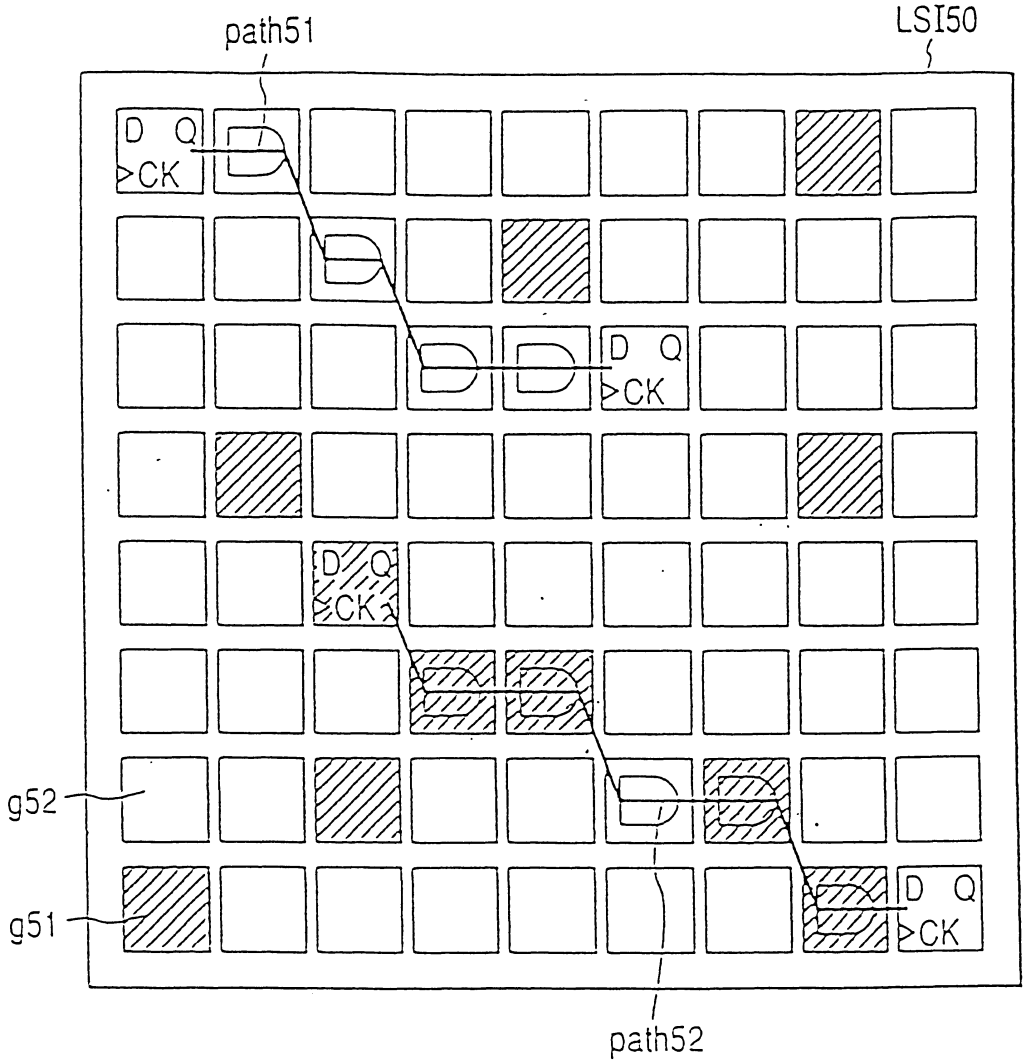

圖 5

圖式

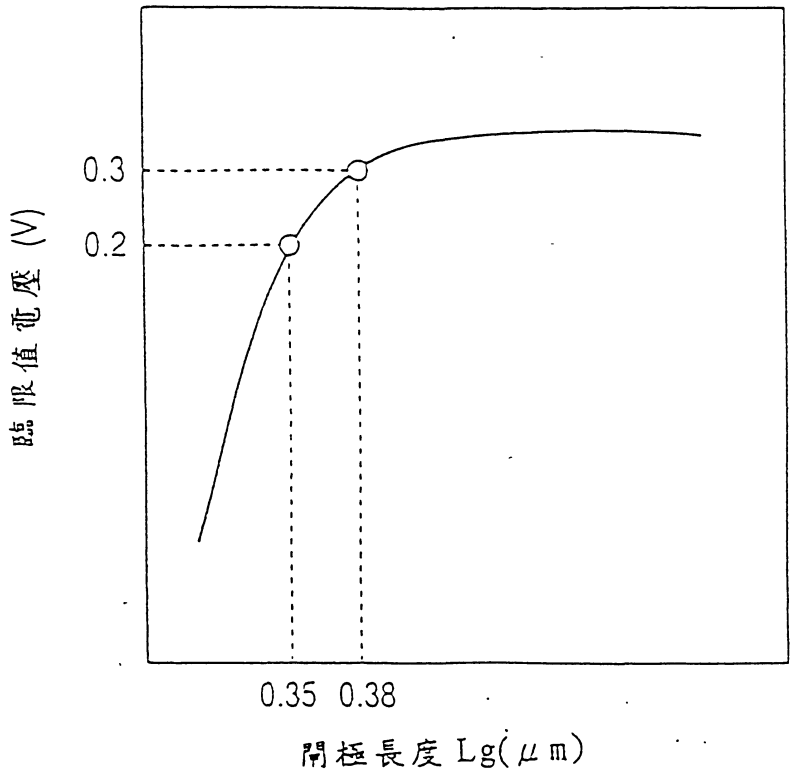

圖 6

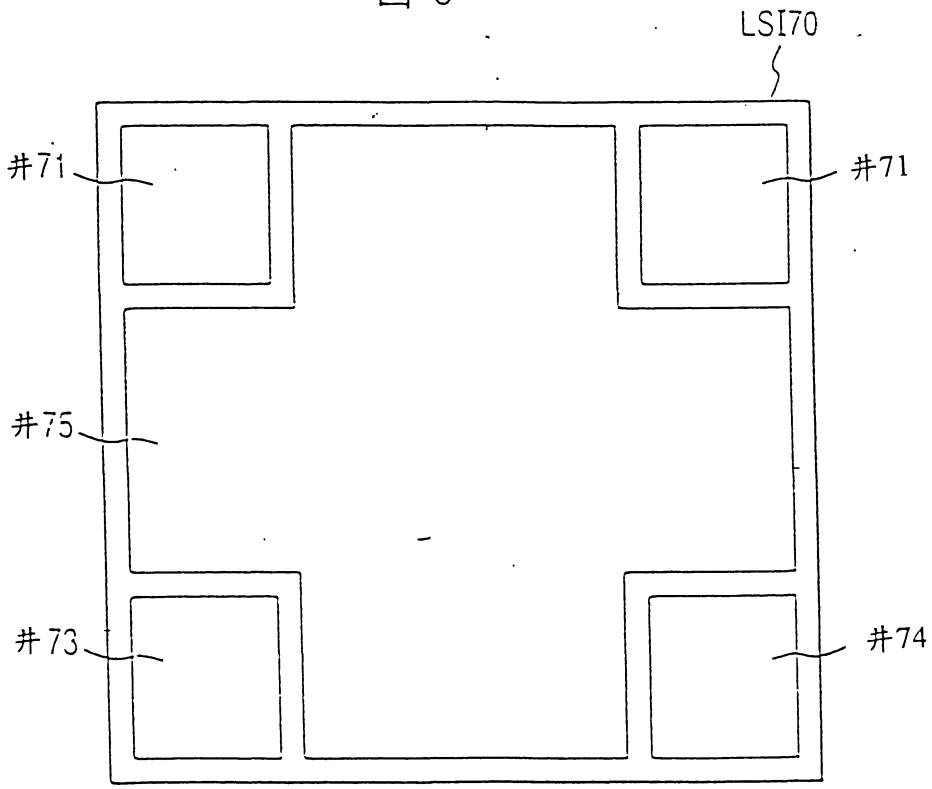

圖 7

圖式

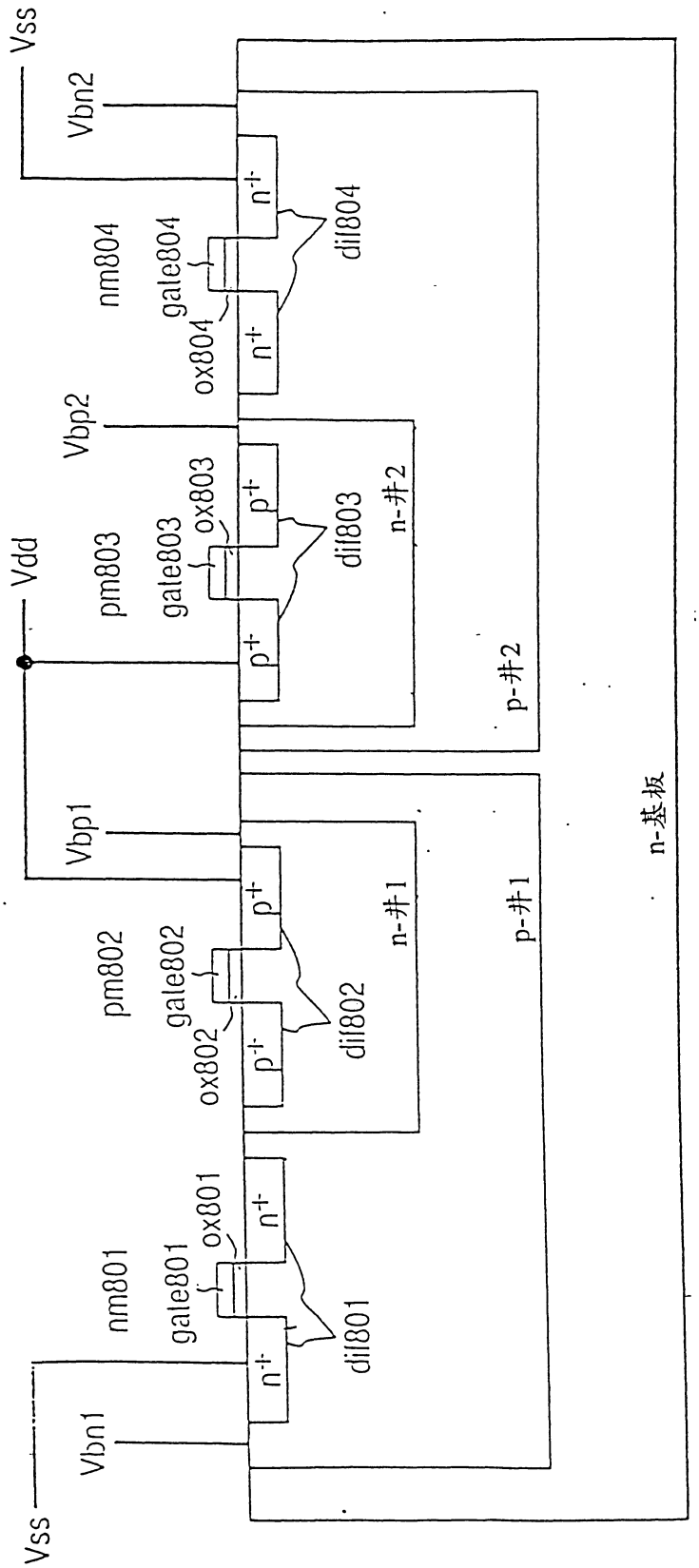
Vss
Vbn2
nm804
gate804
ox804
dif804
n+
Vbp2
pm803
gate803
ox803
dif803
n-井2
p+
Vdd
p-井2
Vbp1
pm802
gate802
ox802
dif802
n-井1
p-井1
n-基板
nm801
gate801
ox801
dif801
Vbn1
Vss

圖 8

圖式

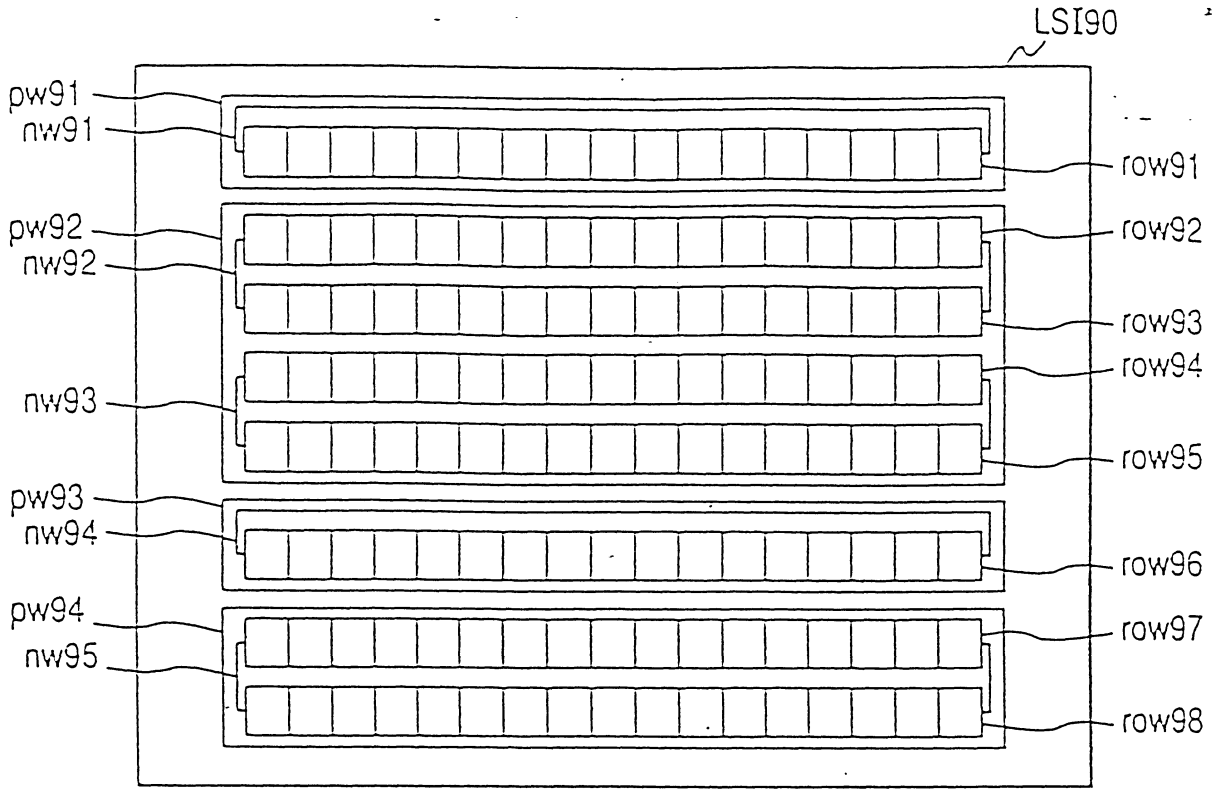
LSI90
pw91
nw91
row91
pw92
nw92
row92
row93
row94
nw93
row95
pw93
nw94
row96
pw94
nw95
row97
row98

圖 9(a)

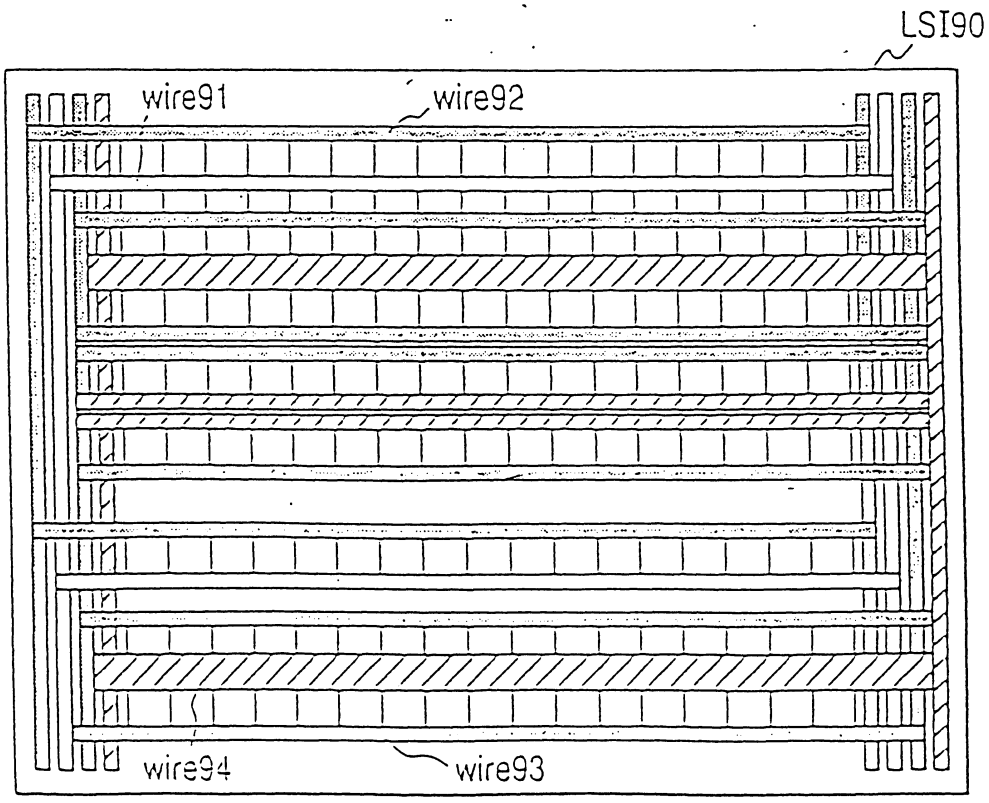
LSI90
wire91
wire92
wire94
wire93

圖 9(b)

圖式

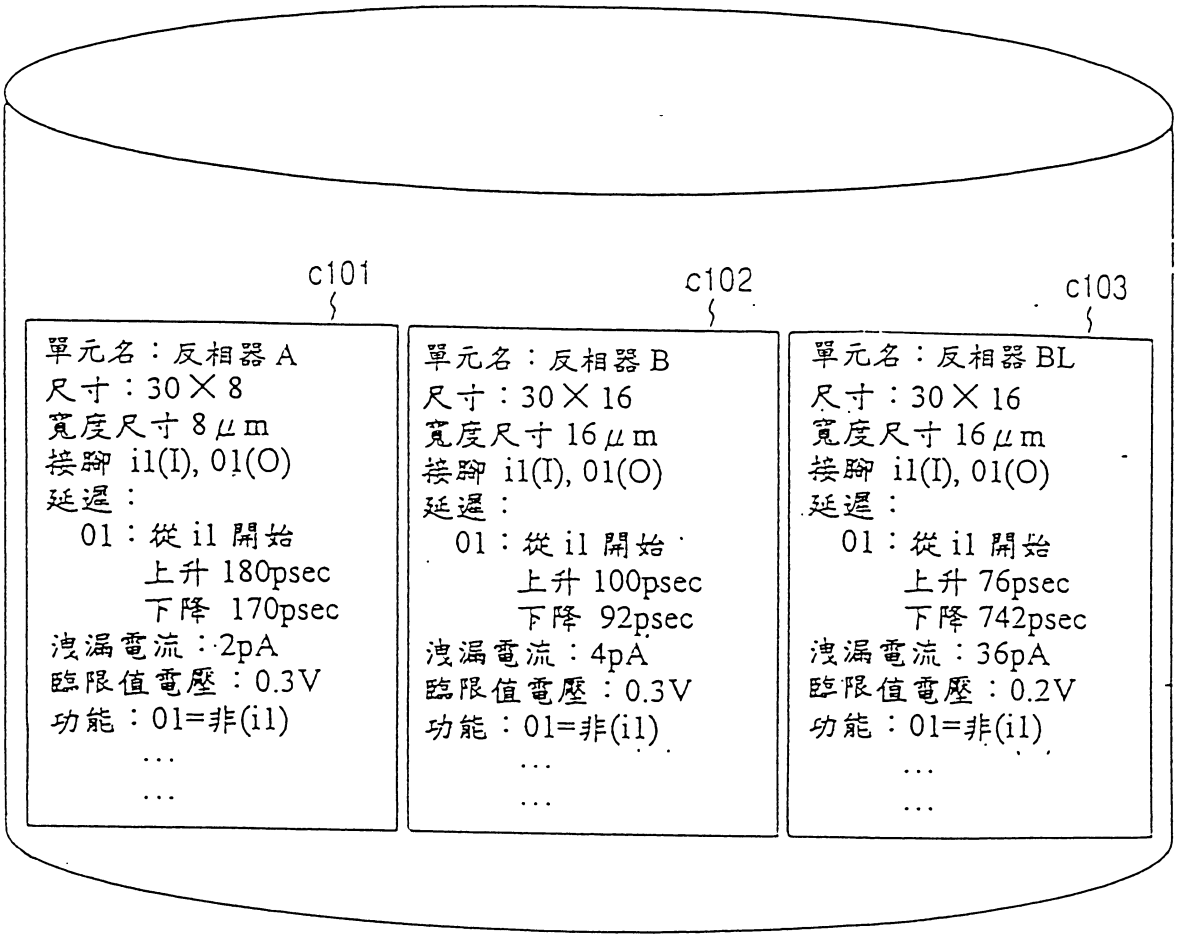
c101
單元名：反相器A
尺寸：30×8
寬度尺寸 8μm
接腳 i1(I), 01(O)
延遲：
01：從 i1 開始
上升 180psec
下降 170psec
洩漏電流：2pA
臨限值電壓：0.3V
功能：01=非(i1)
…
…
c102
單元名：反相器B
尺寸：30×16
寬度尺寸 16μm
接腳 i1(I), 01(O)
延遲：
01：從 i1 開始
上升 100psec
下降 92psec
洩漏電流：4pA
臨限值電壓：0.3V
功能：01=非(i1)
…
…
c103
單元名：反相器BL
尺寸：30×16
寬度尺寸 16μm
接腳 i1(I), 01(O)
延遲：
01：從 i1 開始
上升 76psec
下降 742psec
洩漏電流：36pA
臨限值電壓：0.2V
功能：01=非(i1)
…
…

圖 10

圖式

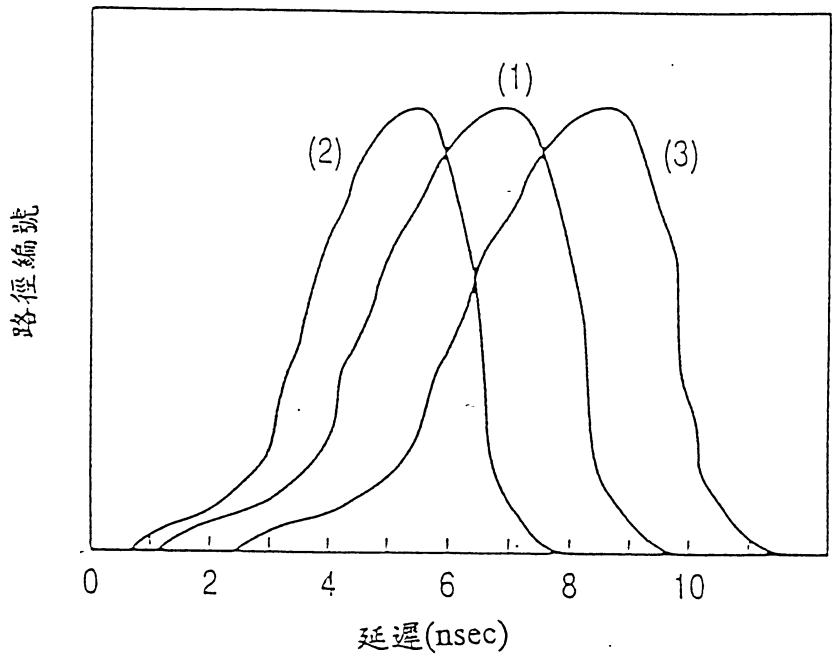
(1)
(2)
(3)
路徑編號
0
2
4
6
8
10
延遲(nsec)

圖 11

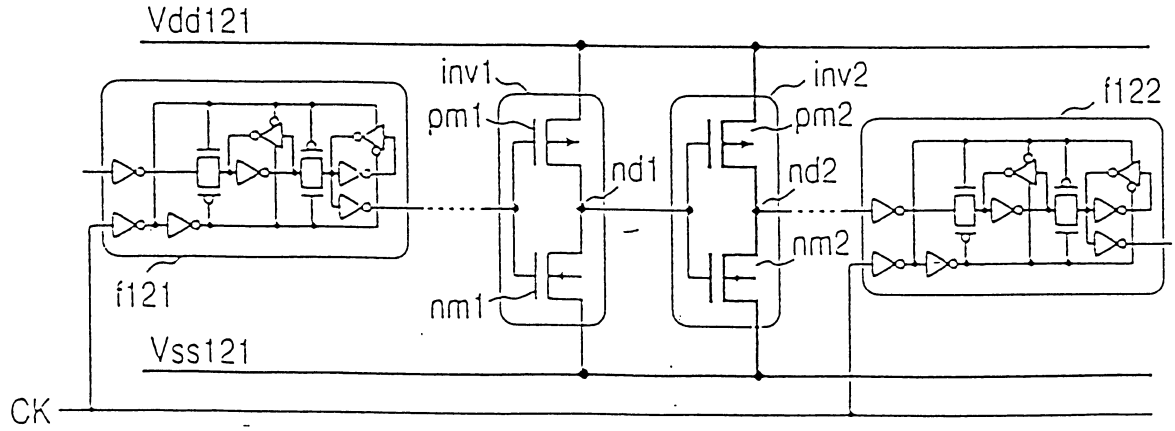
Vdd121
inv1
pm1
nd1
inv2
pm2
nd2
nm2
f122
f121
nm1
Vss121
CK

圖 12

圖式

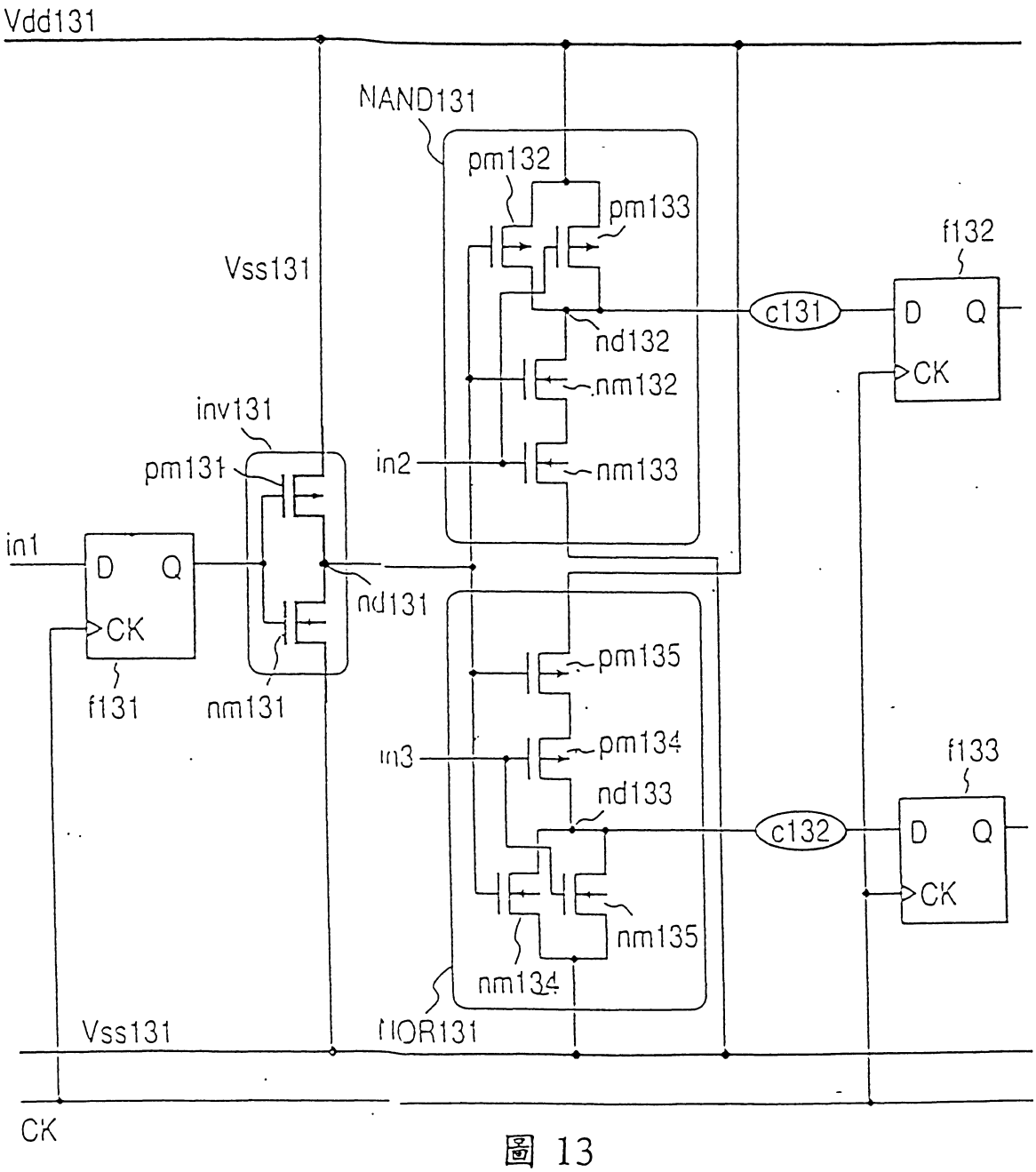
Vdd131
NAND131
pm132
pm133
f132
Vss131
c131
D
Q
CK
nd132
nm132
inv131
pm131
in2
nm133
in1
D
Q
CK
nd131
f131
nm131
pm135
pm134
in3
f133
nd133
c132
D
Q
CK
nm135
nm134
Vss131
NOR131
CK

圖 13

圖式

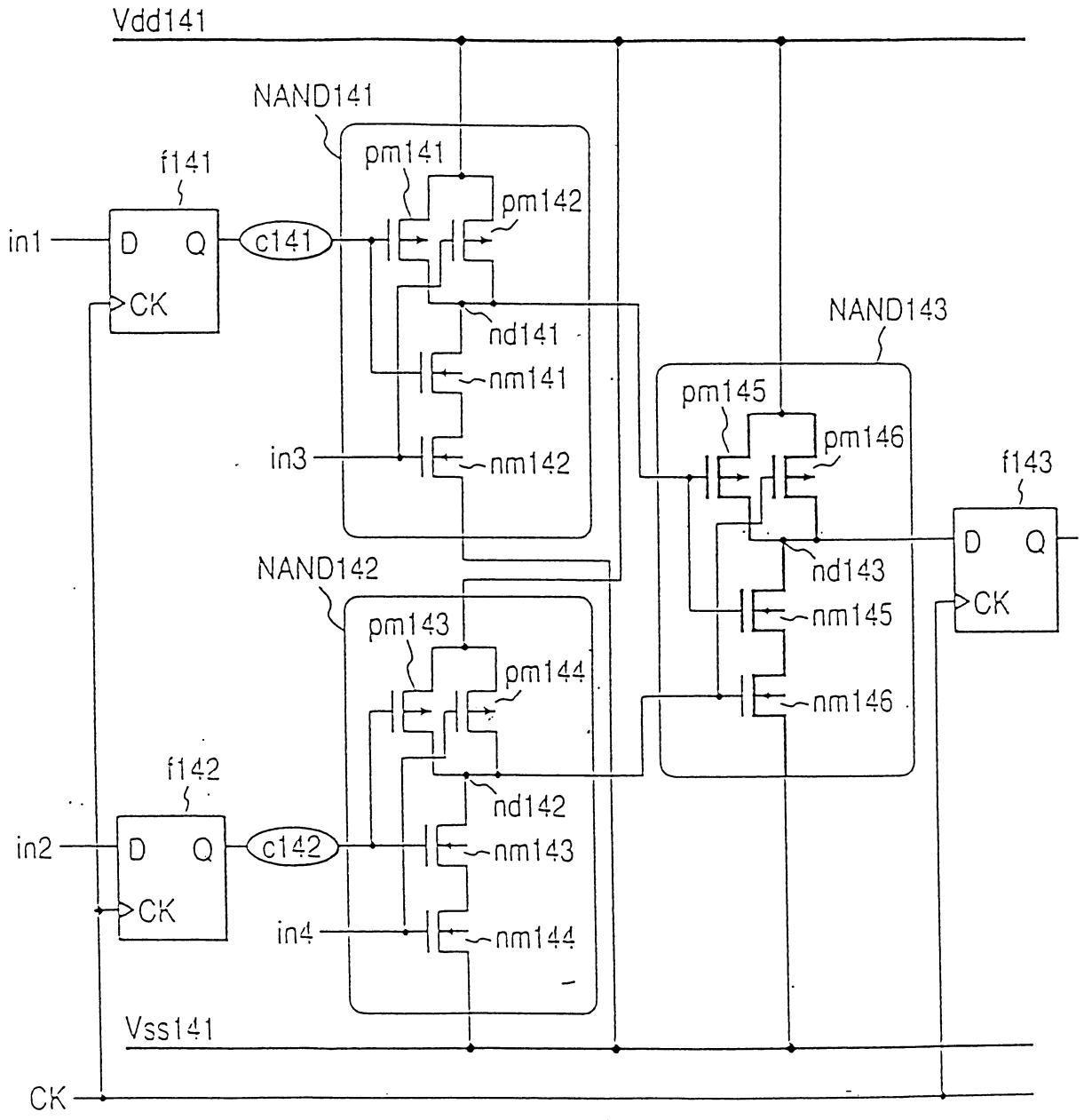
Vdd141
NAND141
pm141
pm142
f141
in1
D
Q
c141
CK
nd141
nm141
in3
nm142
NAND143
pm145
pm146
f143
D
Q
CK
nd143
nm145
NAND142
pm143
pm144
nm146
f142
nd142
in2
D
Q
c142
CK
nm143
in4
nm144
Vss141
CK

圖 14

圖式

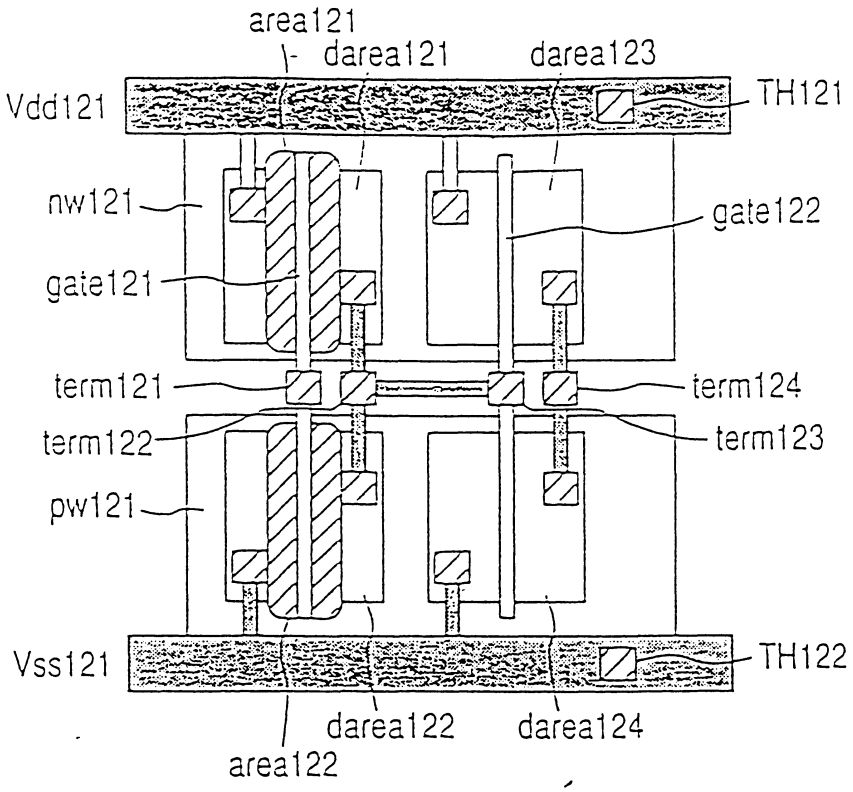
area121
darea121
darea123
Vdd121
TH121
nw121
gate122
gate121
term121
term124
term122
term123
pw121
Vss121
TH122
darea122
darea124
area122

圖 15

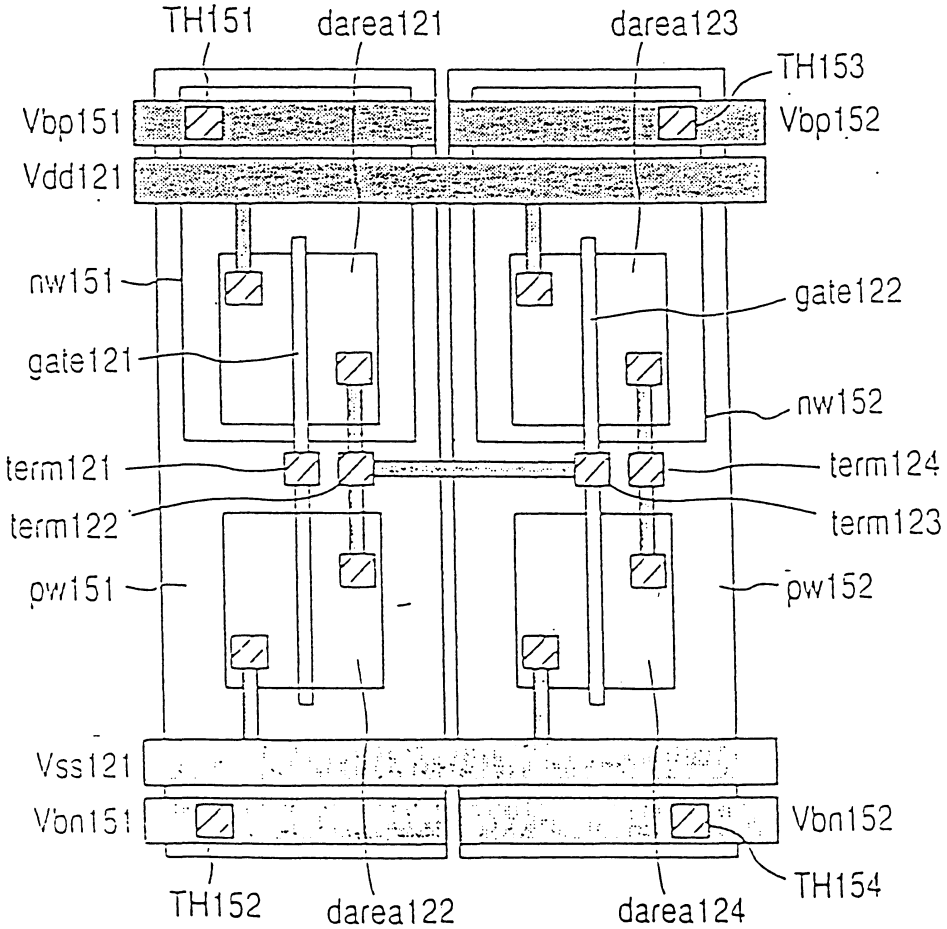
TH151
darea121
darea123
TH153
Vbp151
Vbp152
Vdd121
nw151
gate122
gate121
nw152
term121
term124
term122
term123
pw151
pw152
Vss121
Vbn151
Vbn152
TH154
TH152
darea122
darea124

圖 16

圖式

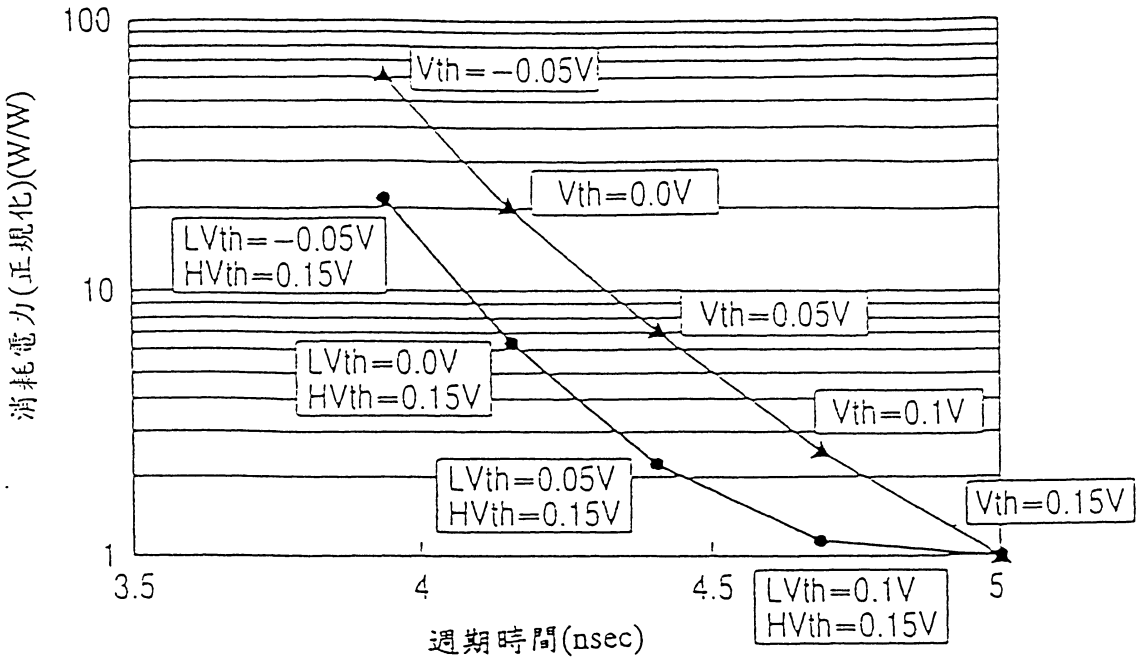
100
10
1
消耗電力(正規化)(W/W)
Vth=−0.05V
Vth=0.0V
Vth=0.05V
Vth=0.1V
Vth=0.15V
LVth=−0.05V
HVth=0.15V
LVth=0.0V
HVth=0.15V
LVth=0.05V
HVth=0.15V
LVth=0.1V
HVth=0.15V
3.5
4
4.5
5
週期時間(nsec)

圖 17

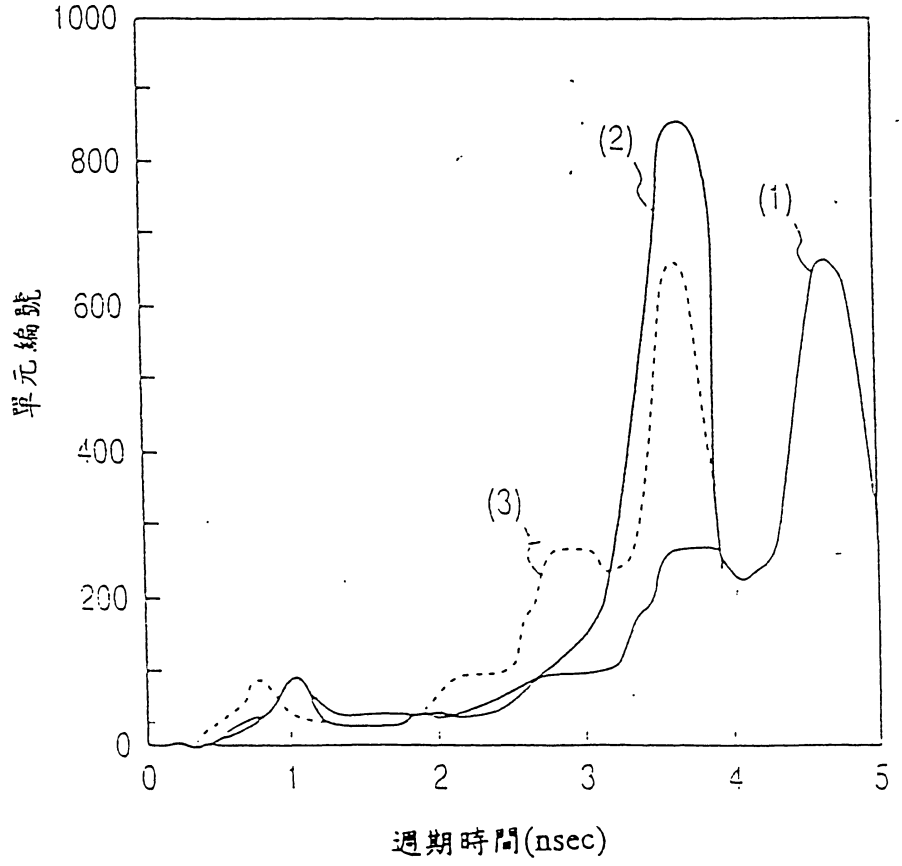
1000
800
600
400
200
0
單元編號
(1)
(2)
(3)
0
1
2
3
4
5
週期時間(nsec)

圖 18

圖式

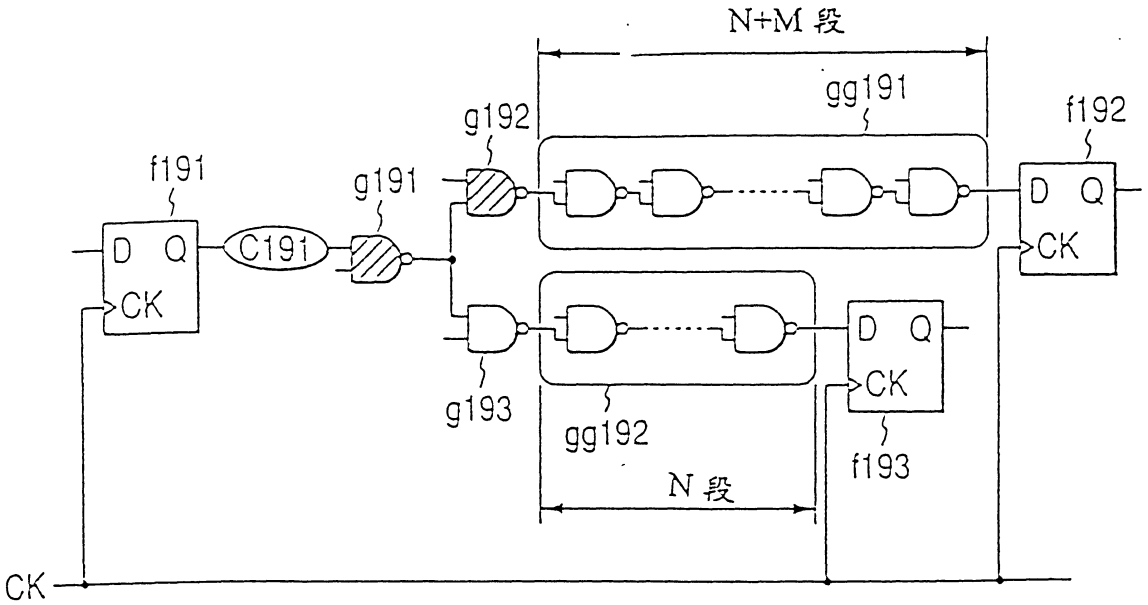
N+M 段
gg191
g192
f192
f191
g191
D Q
C191
CK
g193
gg192
f193
N 段
CK

圖 19

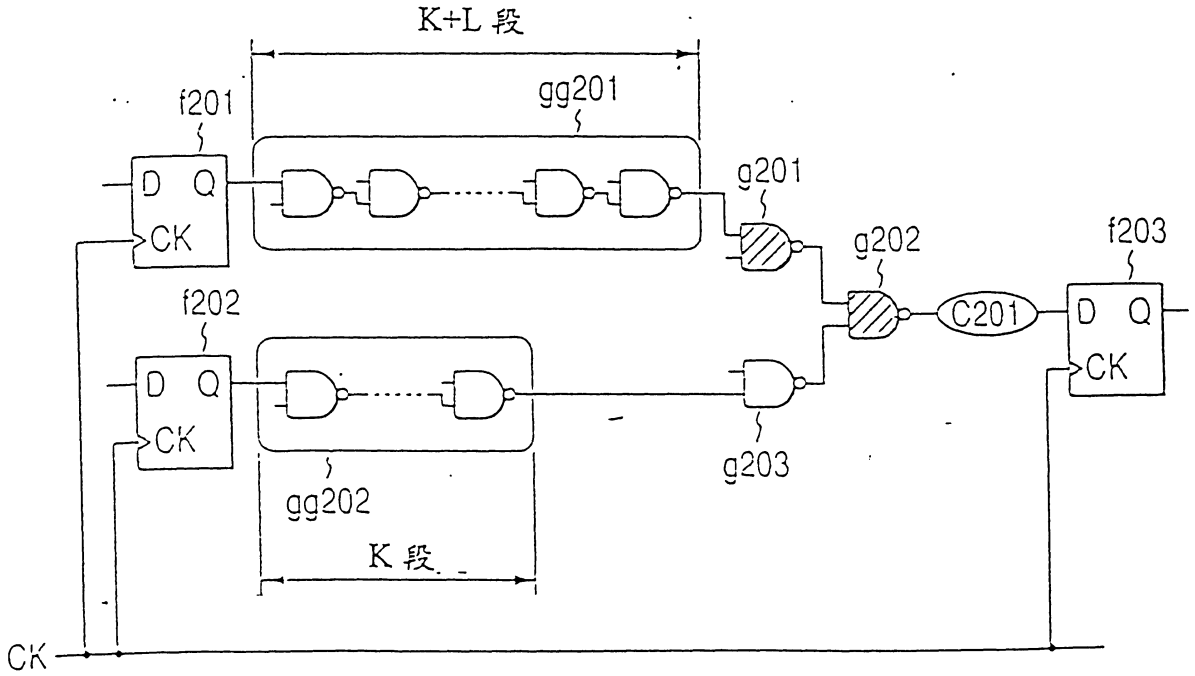
K+L 段
f201
gg201
g201
g202
f203
f202
C201
D Q
CK
gg202
g203
K 段
CK

圖 20

圖式

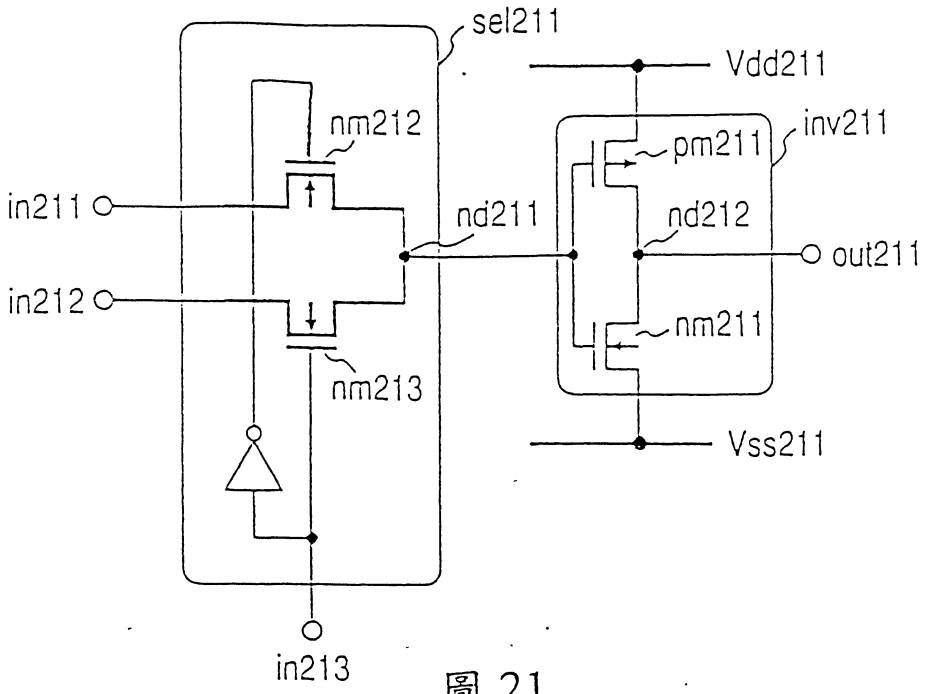
sel211
Vdd211
nm212
pm211
inv211
in211
nd211
nd212
out211
in212
nm211
nm213
Vss211
in213

圖 21

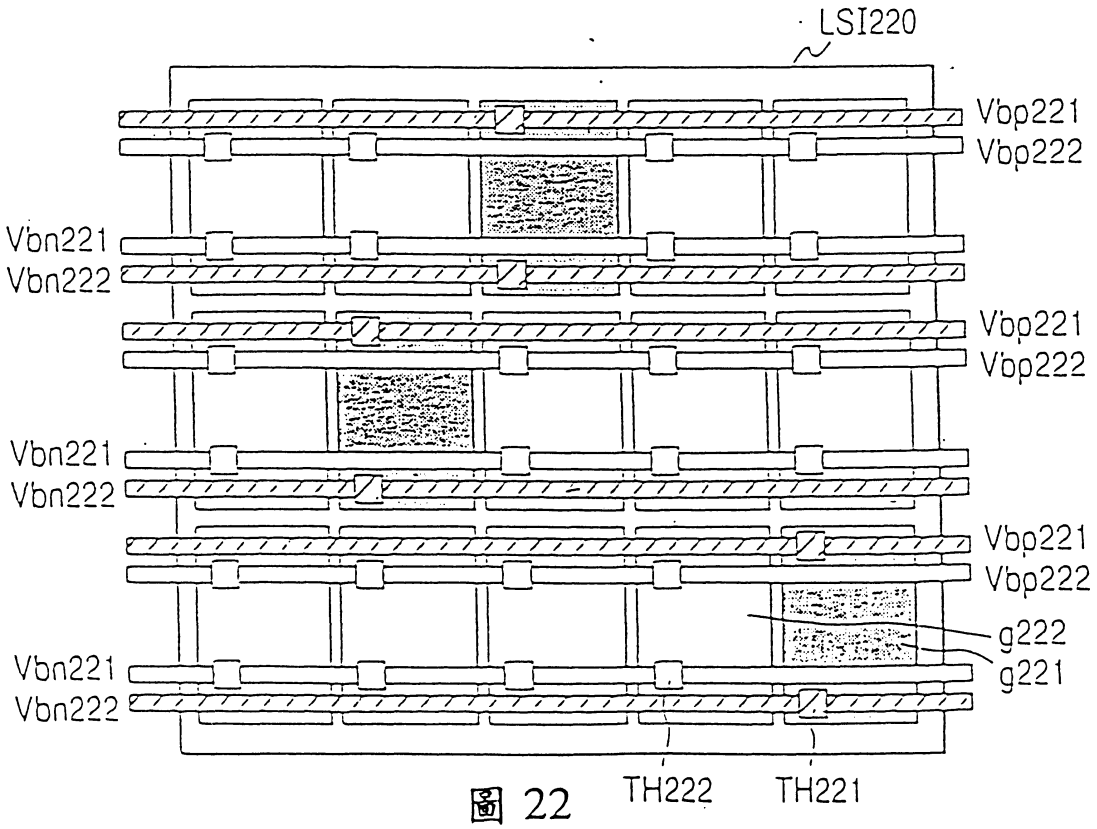
LSI220
Vbp221
Vbp222
Vbn221
Vbn222
Vbp221
Vbp222
Vbn221
Vbn222
Vbp221
Vbp222
g222
g221
Vbn221
Vbn222
TH222
TH221

圖 22

圖式

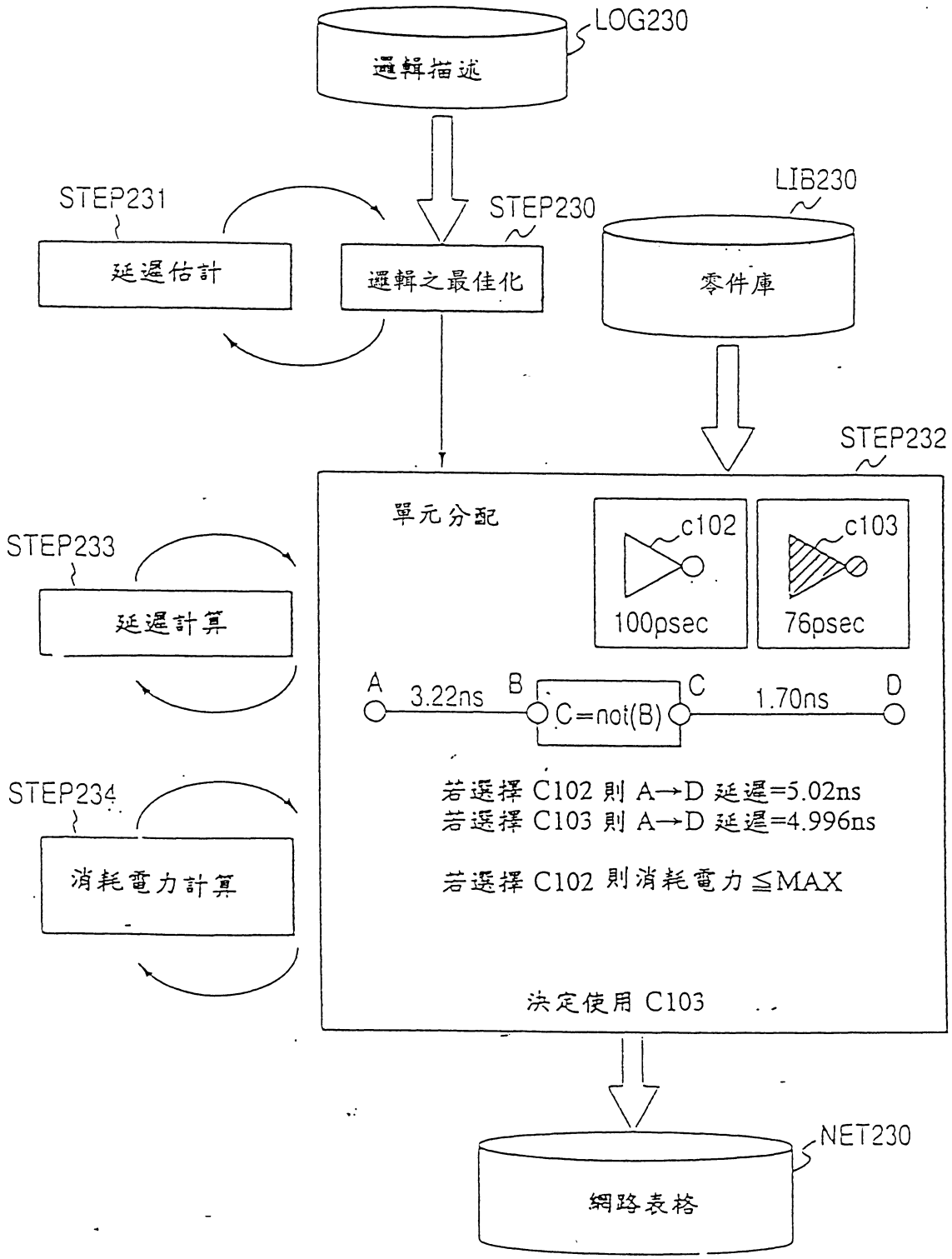
LOG230
邏輯描述
STEP231
延遲估計
STEP230
邏輯之最佳化
LIB230
零件庫
STEP232
單元分配
c102
100psec
c103
76psec
STEP233
延遲計算
A
3.22ns
B
C=not(B)
C
1.70ns
D
STEP234
消耗電力計算
若選擇 C102 則 A→D 延遲=5.02ns
若選擇 C103 則 A→D 延遲=4.996ns
若選擇 C102 則消耗電力≦MAX
決定使用 C103
NET230
網路表格

圖 23

圖式

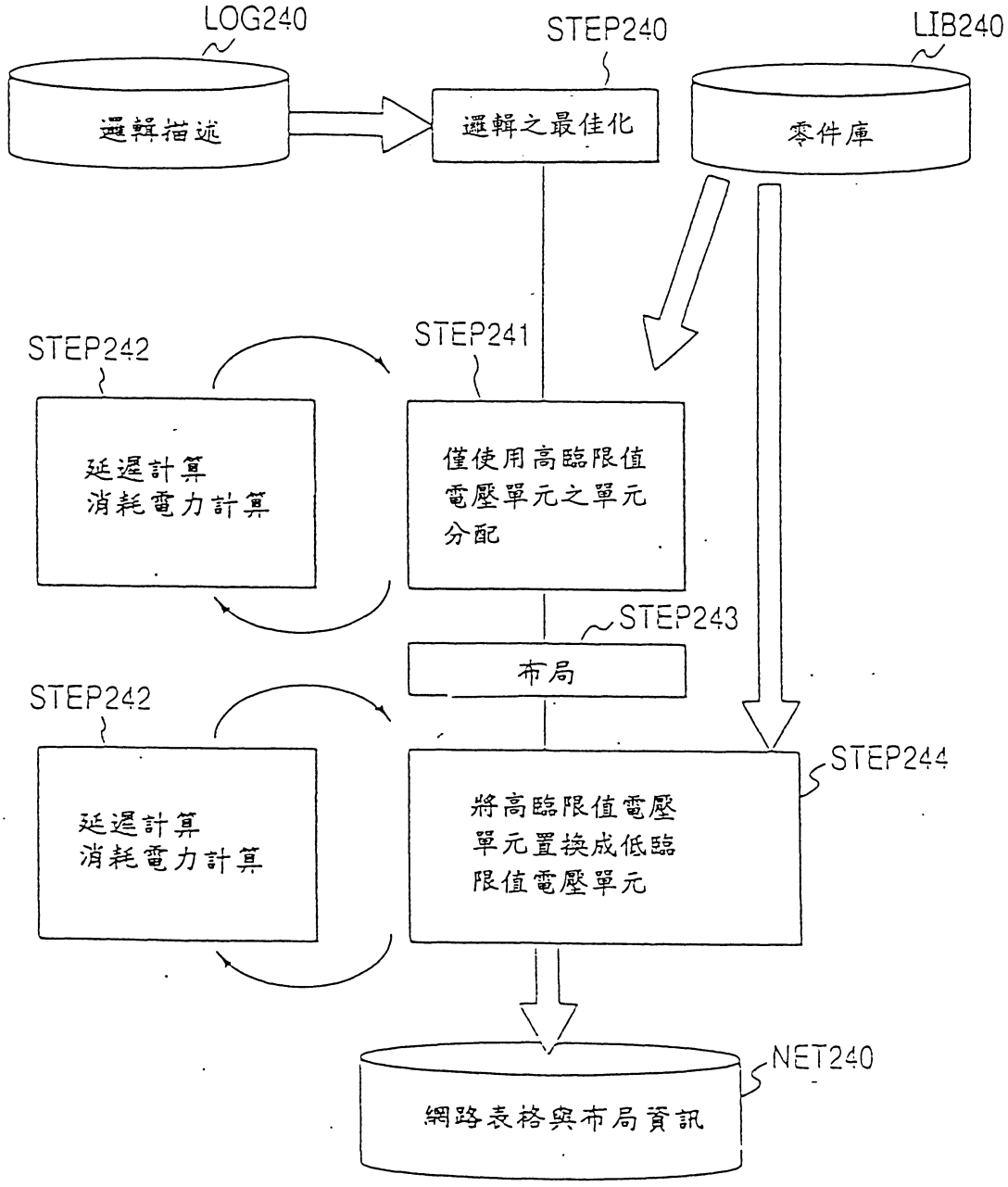
LOG240
STEP240
LIB240
邏輯描述
邏輯之最佳化
零件庫
STEP242
STEP241
延遲計算
消耗電力計算
僅使用高臨限值
電壓單元之單元
分配
STEP243
布局
STEP242
STEP244
延遲計算
消耗電力計算
將高臨限值電壓
單元置換成低臨
限值電壓單元
NET240
網路表格與布局資訊

圖 24

圖式

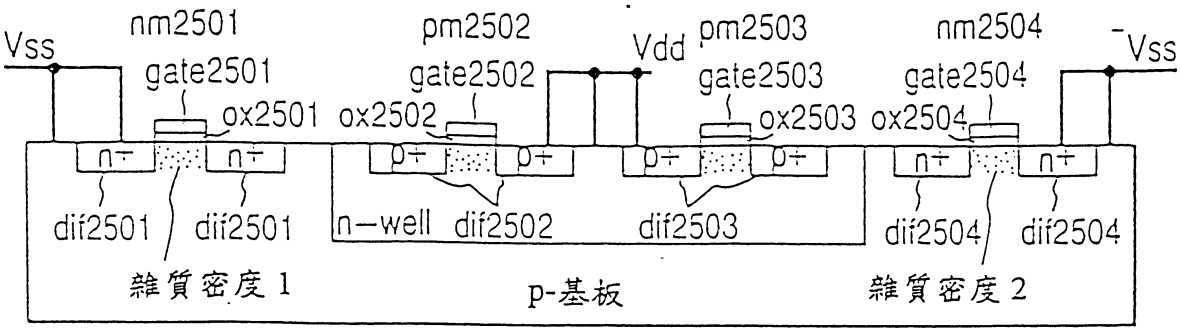

圖 25

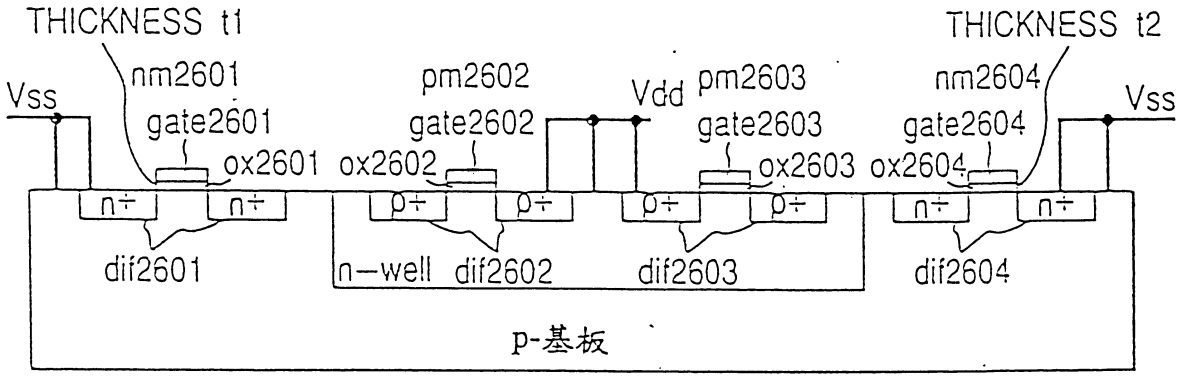

圖 26

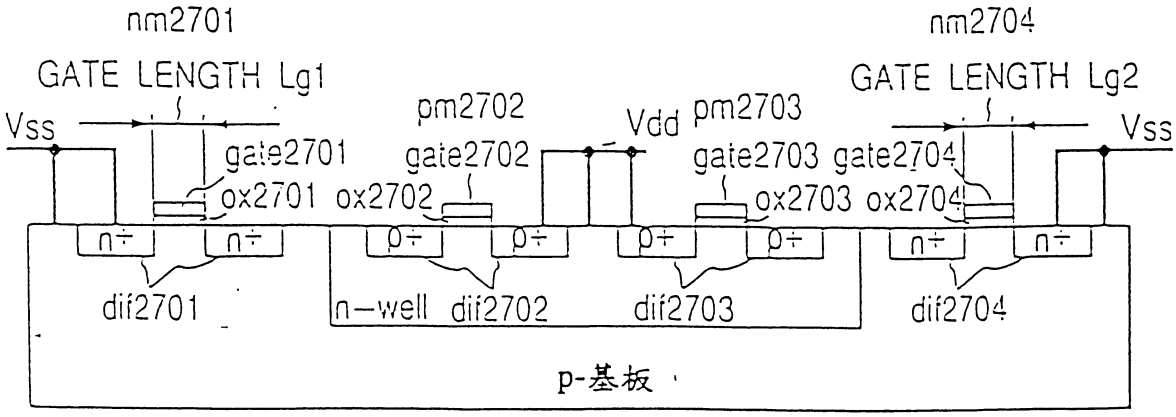

圖 27

圖式

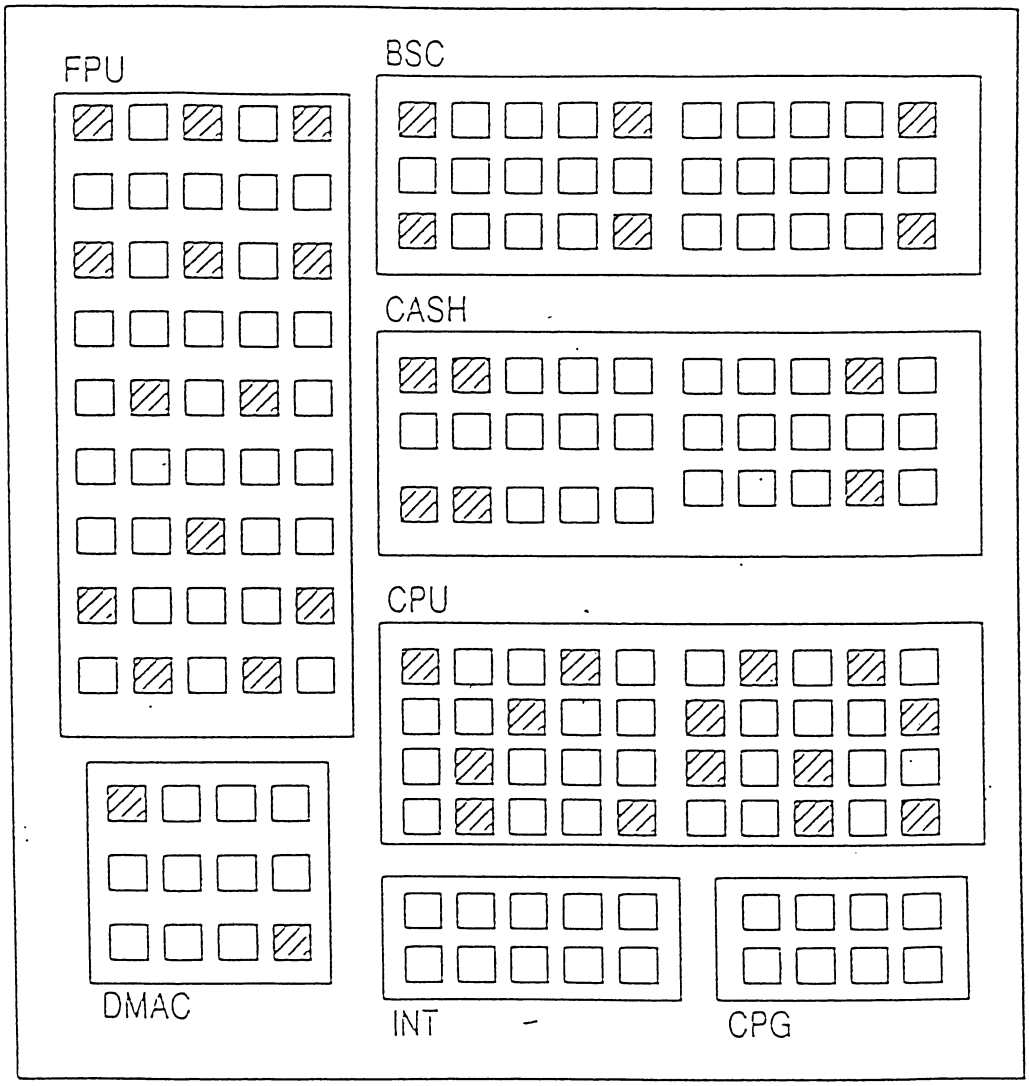

圖 28

公告本

91年10月3日 修正本

申請日期：87.12、10	案號：90114045
類別：H01L 27/00	

（以上各欄由本局填註）

發明專利說明書 529156

一、發明名稱	中文	半導體積體電路及其設計方法
	英文	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND DESIGNING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE
二、發明人	姓名（中文）	1.加藤 直樹 2.矢野 和男 3.秋田 庸平 4.平木 充
	姓名（英文）	1.NAOKI KATOH 2.KAZUO YANO 3.YOHEI AKITA 4.MITSURU HIRAKI
	國籍	1.日本 2.日本 3.日本 4.日本
	住、居所	1.日本國東京都小平市上水本町5-17-7-5 2.日本國東京都日野市多摩平6-6-6 3.日本國東京都國分寺市西戀窪3-8-1-25 4.日本國東京都小平市津田町2-12-4-1
三、申請人	姓名（名稱）（中文）	1.日商日立製作所股份有限公司
	姓名（名稱）（英文）	1.HITACHI, LTD.
	國籍	1.日本
	住、居所（事務所）	1.日本國東京都千代田區神田駿河台四丁目6番地
	代表人姓名（中文）	1.金井務
	代表人姓名（英文）	1.