

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3871486号
(P3871486)

(45) 発行日 平成19年1月24日(2007.1.24)

(24) 登録日 平成18年10月27日(2006.10.27)

(51) Int.C1.

F 1

H O 1 L 23/48

(2006.01)

H O 1 L 23/48

K

請求項の数 4 (全 26 頁)

(21) 出願番号 特願平11-372510
 (22) 出願日 平成11年12月28日(1999.12.28)
 (65) 公開番号 特開2000-307017(P2000-307017A)
 (43) 公開日 平成12年11月2日(2000.11.2)
 審査請求日 平成16年2月23日(2004.2.23)
 (31) 優先権主張番号 特願平11-38124
 (32) 優先日 平成11年2月17日(1999.2.17)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100085637
 弁理士 梶原 辰也
 (72) 発明者 平島 利宣
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体グループ内
 (72) 発明者 岸本 宗久
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所 半導体グループ内
 (72) 発明者 波多 俊幸
 群馬県高崎市西横手町1番地1 日立東部
 セミコンダクタ株式会社内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項1】

- (a) M O S F E T が形成された半導体基板と、
 (b) 前記半導体基板の第1主面上に形成された前記M O S F E T のソース電極およびゲート電極と、
 (c) 前記半導体基板の第1主面と対向する第2主面上に形成された前記M O S F E T のドレイン電極と、
 (d) それぞれ前記ソース電極およびゲート電極上に形成されたソース用バンプ電極およびゲート用バンプ電極と、
 (e) 前記第1主面の上方に設けられ、前記ソース用バンプ電極を介し前記ソース電極と電気的に接続されたソース用リードと、
 (f) 前記第1主面の上方に設けられ、前記ゲート用バンプ電極を介し前記ゲート電極と電気的に接続されたゲート用リードと、
 (g) 前記第2主面の下方に設けられ、前記ドレイン電極と電気的に接続されたドレイン用リードと、
 (h) 前記ソース用リード、ゲート用リード、ドレイン用リードの一部および前記半導体基板を覆う封止体を有する半導体装置であつて、
 (i) 前記ドレイン用リードの底面は前記封止体から露出し、
 (j) 前記ソース用リードおよびゲート用リードは前記封止体の内部に位置するインナリード部と外部に位置するアウタリード部からなり、

- (k) 前記ソース用リードは複数の前記アウタリード部を有し、
 (l) 前記ソース用リードおよびゲート用リードのアウタリード部は、前記インナリード部から前記封止体の外へ向かう第1方向に沿って設けられ、
 (m) 前記ソース用リードのインナリードのうち前記ソース用バンプ電極と接続される部分の前記第1方向と直交する第2方向の幅は、複数の前記アウタリード部の前記第2方向の幅の合計よりも広く、
 (n) 前記ソース用リードおよびゲート用リードのアウタリード部の先端部が前記ドレン用リードと同一平面に位置するように、前記ソース用リードおよびゲート用リードのアウタリード部に屈曲部が設けられていることを特徴とする半導体装置。

【請求項2】

10

請求項1記載の半導体装置であって、前記ソース用バンプ電極およびゲート用バンプ電極は金を含むことを特徴とする半導体装置。

【請求項3】

請求項1記載の半導体装置であって、前記封止体は樹脂からなることを特徴とする半導体装置。

【請求項4】

請求項1記載の半導体装置であって、前記封止体は四角形の平面形状を有し、
 前記ソース用リードおよびゲート用リードは前記封止体の一辺から突出し、
 前記ドレン用リードは前記封止体の他の一辺から突出し、
 前記ソース用リードおよびゲート用リードが突出する前記封止体の一辺と前記ドレン用リードが突出する前記封止体の他の一辺は対向していることを特徴とする半導体装置。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体製造技術に関し、特に、高出力のMOSFET（金属酸化膜半導体電界効果トランジスタ）に適用して有効な技術に関する。

【0002】

【従来の技術】

発明者が検討したところによれば、高出力で高発熱の半導体装置の一例として、MOSFETと呼ばれるトランジスタがあり、このMOSFETは、電池駆動装置の電源やスイッチ、自動車電気品、モータ駆動用制御装置等の電子機器や電気機器のあらゆる分野に使用されている。このような高出力で高発熱のMOSFETを述べてある例として、特開平8-64634号公報がある。このMOSFETは、電界効果トランジスタ（MOSFET要素）が形成され、かつ、小形の平板形状に形成された半導体ペレットと、この半導体ペレットの表面電極と電気的に接続され、かつ、MOSFET要素を電気的に外部に引き出すための複数のインナリードと、放熱性能を高めるためのヘッダと、半導体ペレット、インナリード群およびヘッダの一部を樹脂封止して形成された樹脂封止体とを備えており、半導体ペレットの回路形成面である主面には各インナリードが突起状端子を介して機械的かつ電気的に接続されるとともに、この半導体ペレットの主面と反対側の面である裏面にはヘッダが接合されている。 40

【0003】

このMOSFETにおいては、各インナリードが半導体ペレットの表面電極に突起状端子を介して電気的に接続されているため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減させることができる。また、ヘッダはインナリード群とは別体になっているため、インナリードの材質に無関係に放熱性能の良好な材質を用いてヘッダを形成することができ、それによってヘッダの放熱性能を高めることができる。

【0004】

【発明が解決しようとする課題】

ところで、前記MOSFETにおいては、ボンディングワイヤの電気抵抗分および半導体ペレットのアルミニウム配線の電気抵抗分（以下、外部抵抗分という。）と、半導体ペレ

50

ット内部の抵抗分（以下、内部抵抗分という。）との合計がMOSFET全体のオン抵抗になる。ここで、内部抵抗分が大きい段階においては外部抵抗分が問題になることは殆どなかった。ところが、技術革新が進展し、内部抵抗分が小さくなるように改善されて外部抵抗分の大きさが全体の50%程度を越える段階になると、外部抵抗分を無視することができない状況になる。

【0005】

前記MOSFETにおいては各インナリードが半導体ペレットの表面電極に突起状端子を介して電気的に接続されているため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減させることができるが、インナリードのそれぞれに接続されたアウタリードが長くなるため、その分、外部抵抗分の低減効果が減少することが問題とされる。

10

【0006】

本発明の目的は、外部抵抗分を大幅に低減させることができる半導体装置およびその製造方法を提供することにある。

【0007】

本発明のその他の目的は、低熱抵抗化および実装高さの低減化を図る半導体装置およびその製造方法を提供することにある。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

20

【課題を解決するための手段】

本発明の半導体装置は、主面に電界効果トランジスタ要素が作り込まれて小形の平板形状に形成された半導体ペレットと、

前記電界効果トランジスタ要素を電気的に外部に引き出すための複数のインナリードと、前記インナリードにそれぞれ接続された各アウタリードと、

放熱性能を高めるためのヘッダと、

前記インナリード群および前記ヘッダの一部を樹脂封止した樹脂封止体とを有し、

前記半導体ペレットの前記主面には前記インナリードのそれぞれが突起状端子から形成された接続部によって機械的および電気的に接続され、前記半導体ペレットの前記主面と反対側の面には前記樹脂封止体から露出した前記ヘッダが機械的および電気的に接続されており、前記アウタリードのそれぞれがガル・ウイング形状に屈曲されているものである。

30

【0010】

これにより、各インナリードを支持するインナリード連結部が各接続部によって半導体ペレットに直接的に接続されているため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減することができる。また、ガル・ウイング状に形成されたアウタリードと、半導体ペレットに機械的かつ電気的に接続されたヘッダとをプリント配線基板に表面実装することができるため、外部抵抗分をさらに低減することができる。

【0011】

なお、ヘッダはインナリード群とは別体になっているため、インナリードの材質に無関係に放熱性能の良好な材質を用いてヘッダを形成することにより、ヘッダの放熱性能を高めることができる。さらに、ヘッダをプリント配線基板に表面実装することにより、半導体ペレットからの熱を熱伝導によってプリント配線基板に効果的に放出することができ、その結果、放熱性能をより一層高めることができる。

40

【0012】

また、本発明の半導体装置は、主面に電界効果トランジスタが形成された半導体ペレットの表面電極に電気的に接続された複数のインナリードと、前記半導体ペレットの前記表面電極と前記インナリードとを電気的に接続する接続部と、前記半導体ペレットおよび前記インナリードを樹脂封止して形成された樹脂封止体と、前記インナリードに接続され、前記樹脂封止体の同一側面から並んで突出した複数のアウタリードと、前記半導体ペレットの前記主面と反対側の面に接合し、前記樹脂封止体の前記アウタリードの突出側の側面と

50

反対側の側面に突出するヘッダ突出部を備えたヘッダとを有し、前記ヘッダの前記半導体ペレットとの接合面と反対側の面が前記樹脂封止体から露出し、前記アウタリードが屈曲されているものである。

【0013】

これにより、ヘッダにヘッダ突出部が設けられたため、ヘッダの面積を大幅に増加させることができ、したがって、半導体ペレットから発生する熱をヘッダ突出部を有したヘッダから大幅に逃がすことが可能になる。その結果、半導体装置の低熱抵抗化をさらに図ることができる。

【0014】

また、本発明の半導体装置は、主面に電界効果トランジスタが形成された半導体ペレットの表面電極に電気的に接続された複数のインナリードと、前記半導体ペレットの前記表面電極と前記インナリードとを電気的に接続する接続部と、前記半導体ペレットおよび前記インナリードを樹脂封止して形成された樹脂封止体と、前記インナリードに接続され、前記樹脂封止体の同一側面から並んで突出した複数のアウタリードと、前記半導体ペレットの前記主面と反対側の面に接合し、前記樹脂封止体の前記アウタリードの突出側の側面と反対側の側面に突出するヘッダ突出部を備えたヘッダとを有し、前記ヘッダの前記半導体ペレットとの接合面と反対側の面が前記樹脂封止体から露出する露出面であり、前記アウタリードが屈曲され、前記ヘッダの前記露出面と前記アウタリードの被実装面とがほぼ同一の高さに設けられているものである。

【0015】

また、本発明の半導体装置の製造方法は、主面に電界効果トランジスタが作り込まれて小形の平板形状に形成された半導体ペレットを準備する工程と、複数のインナリードとこれらインナリードにそれぞれ接続された各アウタリードとが連結されているリードフレームを準備する工程と、導電性および熱伝導性の良好な材料を用いて平板形状に形成されたヘッダを準備する工程と、前記各インナリードを前記半導体ペレットにインナリード側または半導体ペレット側の突起状端子によって形成された接続部により機械的および電気的に接続する工程と、前記ヘッダに前記半導体ペレットの前記主面に対する反対側の面を機械的および電気的に接続する工程と、前記半導体ペレット、前記インナリード群および前記ヘッダの一部を樹脂封止して樹脂封止体を成形する工程と、複数の前記アウタリードをガル・ウイング形状に屈曲する工程とを有するものである。

【0016】

さらに、本発明の半導体装置の製造方法は、主面に電界効果トランジスタが形成された半導体ペレットを準備する工程と、複数のインナリードとこれらインナリードにそれぞれ電気的に接続された複数のアウタリードとが連結されてなるリードフレームを準備する工程と、平板形状に形成されたヘッダを準備する工程と、前記インナリードと前記半導体ペレットの表面電極とをインナリード側または半導体ペレット側の突起状端子によって形成された接続部を介して電気的に接続する工程と、前記ヘッダと前記半導体ペレットの前記主面に対する反対側の面とを接合する工程と、前記半導体ペレット、前記インナリード群および前記ヘッダの一部を樹脂封止して前記ヘッダの前記半導体ペレットとの接合面と反対側の面を露出させ、前記アウタリードの突出方向と反対の方向にヘッダ突出部を突出させて樹脂封止体を形成する工程と、複数の前記アウタリードを屈曲する工程とを有するものである。

【0017】

【発明の実施の形態】

以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。また、以下の実施の形態において、要素の数など（個数、数値、量、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定さ

10

20

30

40

50

れる場合などを除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよいものとする。

【0018】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

本発明の参考例を、図1のMOSFETの構造を示す図、図2～図8のMOSFETの製造方法を示す図を用いて説明する。

【0020】

図1に示す半導体装置は、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor)と呼ばれる電界効果トランジスタであり、前記MOSFET 1は、高出力で、かつ高発熱のパワーMOSトランジスタとも呼ばれるものである。

【0021】

図1に示すMOSFET 1の概略構成について説明する。MOSFET 1は、主面10aに電界効果トランジスタが作り込まれて小形の平板形状に形成された半導体ペレット10と、前記電界効果トランジスタ要素を電気的に外部に引き出すための複数のインナリード35、36と、2つのインナリード35を支持するゲート用接続部片35a (インナリード連結部)と、ゲート用接続部片35aと半導体ペレット10とを電気的に接続する突起状端子(バンプ)から形成されたゲート用接続部(接続部)25と、6つのインナリード36を支持するソース用接続部片36a (インナリード連結部)と、ソース用接続部片36aと半導体ペレット10とを電気的に接続する突起状端子(バンプ)から形成されたソース用接続部(接続部)26と、インナリード35、36にそれぞれ接続された各アウタリード37、38と、放熱性能を高めるためのヘッダ28と、前記インナリード群およびヘッダ28の一部を樹脂封止した樹脂封止体29とからなる。

【0022】

したがって、図1のMOSFET 1では、半導体ペレット10の主面10aには、インナリード35、36がそれぞれゲート用接続部片35a、ソース用接続部片36aを介してバンプから形成されたゲート用接続部25、ソース用接続部26によって機械的および電気的に接続されている。

【0023】

さらに、半導体ペレット10の主面10aと反対側の面(以降、この面を裏面10bと呼ぶ)には樹脂封止体29から露出するヘッダ28が機械的および電気的に接続され、一方、アウタリード37、38のそれぞれガル・ウイング形状に屈曲されている。

【0024】

なお、樹脂封止体29の内部において、半導体ペレット10の表面電極であるゲート用電極パッド19はゲート用のインナリード35にゲート用接続部25によって、半導体ペレット10の表面電極であるソース用電極パッド20はソース用のインナリード36にソース用接続部26によって、半導体ペレット10の裏面10b(下面)に形成されたドレン用電極パッド21はヘッダ28にドレン用接続部27によってそれぞれ機械的かつ電気的に接続されている。さらに、ヘッダ28の下面すなわち半導体ペレット10との接合面28aに対する反対側の面は、樹脂封止体29の下面において露出する露出面28bである。

【0025】

以上のMOSFETは、以下に述べるような製造方法によって製造されている。

【0026】

以下、MOSFETの製造方法を説明する。この説明によって前記MOSFETについての構成の詳細が明らかにされる。

【0027】

このMOSFETの製造方法においては、図2に示されている半導体ペレット10、図3

10

20

30

40

50

に示されている多連リードフレーム 30 および図 5 に示されているヘッダ 28 が、半導体ペレット準備工程、リードフレーム準備工程およびヘッダ準備工程においてそれぞれ準備される。

【 0028 】

図 2 に示されている半導体ペレット 10 は、MOSFET 1 の製造工程の所謂前工程においてウエハ状態にて MOSFET 要素を適宜作り込んだ後に、小さい正方形の薄板形状に分断（ダイシング）することにより製造したものである。この半導体ペレット 10 はサブストレート 11 を備えており、サブストレート 11 の上にはポリシリコンによってゲート 12 が下敷きシリコン酸化膜 13 を介して形成されている。サブストレート 11 におけるゲート 12 の外側に対応するサブストレート 11 の内部には半導体拡散層部としてのソース 14 が形成されており、サブストレート 11 の下部にはドレイン 15 が形成されている。
10

【 0029 】

サブストレート 11 の上には CVD 酸化膜等からなる絶縁膜 16 がゲート 12 およびソース 14 を被覆するように形成されており、この絶縁膜 16 におけるゲート 12 に対向する位置にはゲート用コンタクトホール 17 が一個、ゲート 12 に貫通するように開設されている。絶縁膜 16 におけるソース 14 に対向する領域にはソース用コンタクトホール 18 が複数個、ゲート用コンタクトホール 17 の片脇においてソース 14 にそれぞれ貫通するように開設されている。
20

【 0030 】

さらに、ゲート用コンタクトホール 17 の内部にはゲート用電極パッド 19 が形成され、各ソース用コンタクトホール 18 の内部にはソース用電極パッド 20 がそれぞれ形成されている。これら電極パッド 19、20 はアルミニウム系材料（アルミニウムまたはその合金）がスパッタリング蒸着等の手段により絶縁膜 16 の上に被着された後に、写真食刻法によってパターンニングされて形成されたものである。

すなわち、絶縁膜 16 の上に被着されたアルミニウム系材料は各コンタクトホール 17、18 の内部にそれぞれ充填されるため、この充填部によってそれぞれ形成された電極パッド 19、20 はゲート 12 およびソース 14 とにそれぞれ電気的に接続された状態になっている。他方、サブストレート 11 の下面にはドレイン用電極パッド 21 がアルミニウム系材料を被着されて形成されている。
30

【 0031 】

ゲート用電極パッド 19 および複数個のソース用電極パッド 20 の上には、リンシリケートガラスやポリイミド系樹脂等の絶縁材料からなる保護膜 24 が被着されており、保護膜 24 のゲート用電極パッド 19 およびソース用電極パッド 20 にそれぞれ対向する位置にはゲート用バンプ 22 および各ソース用バンプ 23 がそれぞれ突設されている。これらバンプ 22、23 は金（Au）線が使用されたスタッドバンプボンディング（SBB）法によって形成されたものである。すなわち、ネイルヘッド（熱圧着）式ワイヤボンディング装置またはネイルヘッド超音波（熱圧着）式ワイヤボンディング装置によって、パッドの上にワイヤ先端のボールが圧着（第一ボンディング）された後に、ボールとワイヤとの接続部位においてワイヤが引き切られることによって形成されたバンプである。
40

【 0032 】

図 3 に示されている多連リードフレーム 30 は、鉄 - ニッケル合金や燐青銅またはヘッダ 28 と同じ材質の銅合金等の導電性が良好な材料からなる薄板が用いられて、打抜きプレス加工またはエッチング加工等の手段により一体成形されている。この多連リードフレーム 30 には複数の単位リードフレーム 31 が一方向に一列に並設されている。但し、図 3 では、一つの MOSFET 分（一単位分）のみを図示している。

【 0033 】

単位リードフレーム 31 は位置決め孔 32a が開設されている外枠 32 を一对備えており、両外枠 32、32 は所定の間隔で平行になるように配されて一連にそれぞれ延設されている。隣合う単位リードフレーム 31、31 間には一対のセクション枠 33、33 が両外
50

枠 3 2、3 2 の間に互いに平行に配されて一体的に架設されている。これら外枠、セクション枠によって形成される略長方形の枠体（フレーム）内に単位リードフレーム 3 1 が構成されている。

【 0 0 3 4 】

単位リードフレーム 3 1 において、両セクション枠 3 3、3 3 の間には一对のダム部材 3 4、3 4 が互いに離間されてセクション枠 3 3 に直交するように一体的に架設されている。両ダム部材 3 4、3 4 の内側端辺における一端部にはゲート用インナリード 3 5 が一对、それぞれダム部材 3 4 と直角に一体的に突設されており、両ゲート用インナリード 3 5、3 5 間には矩形の平板形状のゲート用接続部片 3 5 a が一体的に形成されている。両ダム部材 3 4、3 4 の内側端辺における残りの部分にはソース用インナリード 3 6 が複数本（図示例では六本）、同数本（同じく三本）ずつ分配されて長さ方向に等ピッチをもってそれぞれ突設されており、対向するソース用インナリード 3 6 群間には長方形平板形状のソース用接続部片 3 6 a が一体的に形成されている。図示しないが、ゲート用接続部片 3 5 a とソース用接続部片 3 6 a の一主面の表面には錫（Sn）や金（Au）等を用いたメッキ処理が、半導体ペレット 1 0 に突設されたバンプ 2 2、2 3 による機械的かつ電気的接続作用が適正に実施されるように被着されている。10

【 0 0 3 5 】

両ダム部材 3 4、3 4 の外側端辺における両ゲート用インナリード 3 5、3 5 と対向する位置には、一对のゲート用アウタリード 3 7、3 7 が両ゲート用インナリード 3 5、3 5 の延長になるように突設されている。両ダム部材 3 4、3 4 の外側端辺における各ソース用インナリード 3 6 と対向する位置のそれには、各ソース用アウタリード 3 8 が各ソース用インナリード 3 6 の延長になるようにそれぞれ突設されている。そして、隣合うアウタリード同士および両セクション枠 3 3、3 3 との間には、後述する樹脂封止体 2 9 の成形に際して図 6 に示すレジン（モールド用樹脂）6 0 の流れを堰き止めるためのダム 3 4 a がそれぞれ形成されている。20

【 0 0 3 6 】

以上のように構成されたリードフレームには半導体ペレット 1 0 が、インナリードボンディング工程において図 4 に示されているようにボンディングされる。この際、多連リードフレーム 3 0 はボンディング装置（図示せず）によって一方向に歩進送りされる。そして、歩進送りされる多連リードフレーム 3 0 の途中に配設されているインナリードボンディングステージにおいて、半導体ペレット 1 0 は単位リードフレーム 3 1 に下方から対向されるとともに、各バンプ 2 2 および 2 3 が各インナリード 3 5 および 3 6 の接続部片 3 5 a、3 6 a にそれぞれ整合されてボンディング工具により熱圧着されることにより、多連リードフレーム 3 0 に組み付けられる。30

【 0 0 3 7 】

すなわち、各バンプ 2 2、2 3 が各接続部片 3 5 a、3 6 a に加熱下で押接されると、バンプ 2 2、2 3 が各接続部片 3 5 a、3 6 a に熱圧着によって接続する。そして、半導体ペレット 1 0 のゲート用電極パッド 1 9 および各ソース用電極パッド 2 0 と、ゲート用インナリード 3 5 のゲート用接続部片 3 5 a およびソース用インナリード 3 6 のソース用接続部片 3 6 a との間には、ゲート用接続部 2 5 およびソース用接続部 2 6 がそれぞれ形成される。したがって、ゲート用接続部 2 5 によってゲート用電極パッド 1 9 とゲート用インナリード 3 5 とが機械的かつ電気的に接続され、一方、ソース用接続部 2 6 によってソース用電極パッド 2 0 とソース用インナリード 3 6 とが機械的かつ電気的に接続された状態になるとともに、これらの機械的接続によって半導体ペレット 1 0 が単位リードフレーム 3 1 に機械的に接続された状態すなわち固定的に組み付けられた状態になる。40

【 0 0 3 8 】

以上のようにして多連リードフレーム 3 0 にインナリードボンディングされた半導体ペレット 1 0 の反対側主面（以下、裏面 1 0 b という。）には、銅系材料（銅または銅合金）等の導電性および熱伝導性の良好な材料が用いられて図 5 に示されているように半導体ペレット 1 0 よりも若干大きめの長方形の平板形状に形成されたヘッダ 2 8 が機械的かつ電50

気的に接続される。すなわち、ヘッダ28の上面（半導体ペレット側の接合面28a）にAgペースト等の導電性および熱伝導性の良好な接着材が塗布された後に、半導体ペレット10の裏面10bが当接されて接着される。これにより、半導体ペレット10のドレン用電極パッド21とヘッダ28とを機械的かつ電気的に接続するドレン用接続部27が、この接着材層によって形成された状態になる。

【0039】

以上のようにして組み立てられたヘッダ付き半導体ペレット10と多連リードフレーム30との組立体には、樹脂封止体成形工程においてエポキシ樹脂等の絶縁性樹脂からなる樹脂封止体29が、図6に示されているトランスファ成形装置50を使用されて各単位リードフレーム31について同時成形される。

10

【0040】

図6に示されているトランスファ成形装置50は、シリンドラ装置等（図示せず）によって互いに型締めされる一対の上型51と下型52とを備えており、上型51と下型52との合わせ面61には上型キャビティー凹部53aと、下型キャビティー凹部53bとが互いに協働してキャビティー53を形成するように複数組（一組のみが図示されている。）没設されている。

【0041】

上型51の合わせ面61にはポット54が開設されており、ポット54にはシリンドラ装置（図示せず）により進退されるプランジャ55が成形材料としてのモールド樹脂すなわちレジン60を送給し得るように挿入されている。下型52の合わせ面61にはカル56がポット54との対向位置に配されて没設されている。カル56にはレジン60をキャビティー53に注入するためのゲート57の一端部が接続されており、ゲート57の他端部は下型キャビティー凹部53bに接続されている。下型キャビティー凹部53bのゲート57と対向する対辺にはスルーゲート58が接続されており、スルーゲート58は隣接した下型キャビティー凹部53bの対向辺に接続されている。スルーゲート58は上流側のキャビティー53に充填されたレジン60を流通（スルー）させて下流側のキャビティー53に充填して行くように構成されている。下型52の合わせ面61には逃げ凹所59が単位リードフレーム31の厚みを逃げ得るように、多連リードフレーム30の外形よりも若干大きめの長方形で、その厚さと略等しい寸法の一定深さに没設されている。

20

【0042】

以上のように構成されたトランスファ成形装置50による樹脂封止体29の成形作業に際して、前記構成にかかる組立体は下型52に没設された逃げ凹所59内に、半導体ペレット10が下型キャビティー凹部53b内にそれぞれ収容されるように配されてセットされる。

30

【0043】

続いて、上型51と下型52とが型締めされると、単位リードフレーム31における両セクション棒33、33および両ダム部材34、34が上型51と下型52との合わせ面61によって強く押さえられた状態になるため、図6に示されているように、ヘッダ28の下面（露出面28b）は下型キャビティー凹部53bの底面上に密着される。すなわち、両セクション棒33、33および両ダム部材34、34が押さえられることによって全周が保持された状態になるため、ヘッダ28の下面是インナリード35、36群の弾性力によって下型キャビティー凹部53bの底面に強く押接された状態になる。

40

【0044】

その後、ポット54からプランジャ55によってレジン60がゲート57およびスルーゲート58を通じて各キャビティー53に順次送給されて充填されて行く。この際、ヘッダ28の下面是下型キャビティー凹部53bの底面に密着された状態になっていることにより、レジン60がヘッダ28の下面に漏洩することが防止されるため、ヘッダ28の下面の外周縁に薄いレジンぱり（レジンフラッシュ）が発生するのを防止することができる。

【0045】

充填後、レジン60が熱硬化されて樹脂封止体29が成形されると、上型51および下型

50

52は型開きされるとともに、エジェクタ・ピン（図示せず）により樹脂封止体29が離型される。

【0046】

図7は樹脂封止体成形後の多連リードフレーム30と樹脂封止体29との組立体を示している。この組立体の樹脂封止体29の内部には、半導体ペレット10、インナリード35、36群と共に、半導体ペレット10の裏面10bに結合されたヘッダ28の一部（側面）も樹脂封止された状態になっている。この状態において、ヘッダ28はその半導体ペレット側の接合面28aと反対側の端面が樹脂封止体29の表面から露出した状態になっている。すなわち、ヘッダ28の半導体ペレット側の接合面28aと反対側には樹脂封止体29から露出した露出面28bが形成され、さらに、アウタリード37、38群は樹脂封止体29の長辺側の両側側面から直角に突出した状態になっている。

【0047】

以上のようにして樹脂封止体29を成形された組立体は、半田メッキ処理が施された後に、リードフレーム切断成形工程において、外枠32、セクション枠33、ダム34aを切り落とされるとともに、アウタリード37、38がガル・ウイング形状に屈曲される。これにより、図1に示されているMOSFET1が製造されることになる。

【0048】

すなわち、図1に示されているMOSFET1のパッケージ2は、半導体ペレット10と複数本のインナリード35、36とヘッダ28の一部を樹脂封止した樹脂封止体29および複数本のアウタリード37、38を備えており、樹脂封止体29は長方形の平盤形状に形成されている。アウタリード37、38は樹脂封止体29の長辺側の二つの側面に等間隔に並べられてガル・ウイング形状に屈曲されている。樹脂封止体29の内部において、半導体ペレット10のゲート用電極パッド19はゲート用インナリード35にゲート用接続部25によって、半導体ペレット10のソース用電極パッド20はソース用インナリード36にソース用接続部26によって、半導体ペレット10の裏面10bに形成されたドレン用電極パッド21はヘッダ28にドレン用接続部27によってそれぞれ機械的かつ電気的に接続されている。ヘッダ28の下面是樹脂封止体29の下面において露出した状態で露出面28bとなっており、ヘッダ28のこの露出面28bの外周縁にはレジンばかりは発生していない。

【0049】

以上のように製造され構成されたMOSFET1は、プリント配線基板3に図8に示されているように表面実装される。すなわち、MOSFET1のゲート用アウタリード37はプリント配線基板3の本体4に形成されたゲート用ランド5に、ソース用アウタリード38はソース用ランド6に、ドレン用電極パッド21が接続されたヘッダ28はドレン用ランド7にそれぞれ整合されてリフロー半田付けされる。このようにMOSFET1はプリント配線基板3に表面実装されるため、外部抵抗分は大幅に低減されることになる。また、ヘッダ28がプリント配線基板3のドレン用ランド7に半田付けされるため、外部抵抗分が大幅に低減されるばかりでなく、半導体ペレット10の発熱が熱伝導によってプリント配線基板3に放出されることにより、放熱性能が大幅に向上される。

【0050】

前記MOSFETによれば、次の効果が得られる。

【0051】

1) 各インナリード35、36を半導体ペレット10に各接続部25、26によって機械的かつ電気的に接続することにより、ボンディングワイヤによる電気的接続を廃止することができるため、ボンディングワイヤによる電気的接続に比べて外部抵抗分を低減することができ、その結果、MOSFET1の性能を高めることができる。

【0052】

2) また、ボンディングワイヤによる接続を廃止することにより、MOSFET1のパッケージ2を小形軽量化することができるため、前記外部抵抗分を低減する効果とあいまって、MOSFET1の性能を高めることができる。

10

20

30

40

50

【0053】

3) ヘッダ28がインナリード群とは別体になっているため、インナリード35、36の材質に無関係に放熱性能の良好な材質を用いてヘッダ28を形成することにより、ヘッダ28の放熱性能を高めることができる。また、インナリード35、36はヘッダ28の材質に無関係にインナリード特性に最適の材質を選定することができるため、MOSFET1の品質および信頼性をより一層高めることができる。

【0054】

4) ソース用電極パッド20およびソース用インナリード36のソース用接続部26を複数個設けることにより、ソースに大電流を流すことができるため、MOSFET1の性能をより一層高めることができる。

10

【0055】

5) ガル・ウイング形状に形成したアウタリード37、38および半導体ペレット10を機械的かつ電気的に接続したヘッダ28をプリント配線基板3に表面実装することにより、外部抵抗分をさらに低減することができるとともに、ヘッダ28の放熱性能をさらに向上することができる。

【0056】

6) アウタリード37、38を樹脂封止体29の対向する二つの側面に分配して配置することにより、樹脂封止体29のトランスファ成形に際してアウタリード37、38を成形型（上型51と下型52）の合わせ面61によって両持ちして樹脂モールドすることができ、これにより、ヘッダ28を成形型の底面に密着させることができますため、樹脂封止体29から露出したヘッダ28の露出面28bの外周縁にレジンばりが発生するのを防止することができる。

20

【0057】

また、ヘッダ28が曲げ加工されることなく平板形状に形成され、かつ、ヘッダ28の露出面28bとアウタリード37、38の被実装面37a、38aとがほぼ同一高さの面であることにより、MOSFET1の実装高さを低くすることができる。これにより、高い出力で、かつ、高発熱のMOSFET1においてその実装高さに制限がある場合などにおいても、実装高さを抑えることが可能になる。

【0058】

次に、本発明の実施の形態を、図9～図12のMOSFETの構造を示す図、図13～図22のMOSFETの製造方法を示す図、図23～図25のMOSFETによる作用効果を説明する図、図27の比較例のMOSFETのヘッダフレームとヘッダフレーム搭載図を用いて説明する。

30

【0059】

なお、図11(a)、図12、図23および図24(a)のそれぞれの平面図では、同一の部材を同一のハッチングによって示している。

【0060】

本実施の形態の半導体装置であるMOSFET70は、前記のMOSFET1と同様に、高出力かつ高発熱のパワーMOSトランジスタである。

【0061】

なお、MOSFET70は、樹脂封止体29の対向する二つの側面のうち、図9(b)に示すように、一方の側面からはガル・ウイング形状に屈曲された三つのソース用のアウタリード38と一つのゲート用のアウタリード37が突出し、かつ、この側面に対向する他方の側面からは、図9(a)に示すように平板形状の略四角形のヘッダ突出部28cが突出している。

40

【0062】

すなわち、本実施の形態のMOSFET70の図1のMOSFET1との外観構造の差は、図1のMOSFET1では樹脂封止体29の対向する両側面にガル・ウイング形状のアウタリード37、38を配置したのに対し、本実施の形態のMOSFET70では樹脂封止体29の片方の側面にはガル・ウイング形状のアウタリード37、38は配置せず、

50

その代わりとして、図10(a)、(b)に示すように、前記片方の側面に平板形状のヘッダ突出部28cを配置したことである。

【0063】

なお、MOSFET70においても、ヘッダ28の下面すなわちヘッダ28の半導体ペレット10に接合する面と反対側の面には、図10(c)に示すような樹脂封止体29から露出する露出面28bが形成されている。

【0064】

続いて、本実施の形態のMOSFET70の詳細構造について説明する。

【0065】

図9～図12に示すように、MOSFET70は主面10aに電界効果トランジスタが形成された半導体ペレット10の図2に示すゲート用電極パッド19(表面電極)に電気的に接続されたゲート用のインナリード35および図2に示すソース用電極パッド20(表面電極)に電気的に接続されたソース用のインナリード36と、半導体ペレット10のゲート用電極パッド19とインナリード35を支持するゲート用接続部片35aとを電気的に接続するバンプからなる突起状端子であるゲート用接続部25と、半導体ペレット10のソース用電極パッド20とインナリード36を支持するソース用接続部片36aとを電気的に接続するバンプからなる突起状端子であるソース用接続部26と、半導体ペレット10およびインナリード35、36を樹脂封止して形成された樹脂封止体29と、インナリード35に接続され、かつ樹脂封止体29の一方の側面から突出したアウタリード37と、インナリード36に接続され、かつ樹脂封止体29の前記側面と同一側面からアウタリード37と並んで突出したアウタリード38と、半導体ペレット10の主面10aと反対側の面(裏面10b)にヘッダ接合材である銀ペースト39(図1のMOSFET1では、ドレン用接続部27のこと)を介して接合し、かつ、樹脂封止体29のアウタリード37、38の突出側の側面と反対側の側面(他方の側面)に突出するヘッダ突出部28cを備えたヘッダ28とからなる。10 20

【0066】

つまり、本実施の形態のMOSFET70は、平板形状のヘッダ28にヘッダ突出部28cが設けられているため、ヘッダ28の面積を大幅に増加させることができ、これにより、半導体ペレット10から発生する熱をヘッダ突出部28cを有したヘッダ28から大幅に逃がすことが可能になる。その結果、MOSFET70の低熱抵抗化をさらに図ることができる。30

【0067】

なお、ヘッダ28の面積を大幅に増加させることができるために、電気的抵抗値を下げることができ、これにより、前記低熱抵抗化の効果と合わせてMOSFET70の電気的特性を向上できる。

【0068】

また、インナリード35、36のうち、ソース用のインナリード36は、半導体ペレット10の主面10aと対向して配置されたソース用の接続部片36a(インナリード連結部)から三本に分割されて設けられている。つまり、図11(a)に示すように、それぞれのインナリード35、36は、それぞれゲート用接続部片35a(インナリード連結部)、ソース用接続部片36a(インナリード連結部)に連結され、かつ支持されている。40

【0069】

これにより、モールド後、インナリード36に繋がったアウタリード38を切断・成形する際に、インナリード36が分割されているため、これらインナリード36を支持しているソース用接続部片36aに掛かる応力を分散させて緩和させることができる。その結果、インナリード連結部であるソース用接続部片36aから突起状端子であるソース用接続部26が剥がれて接続不良を引き起こすことを防げる。さらに、インナリード36が分割されて支持されていることにより、インナリード36と樹脂封止体29との接触面積が増え、これにより、パッケージ2の内部への吸湿もしにくくなり、その結果、MOSFET70の耐湿性を向上できる。50

【0070】

なお、ソース用のインナリード36が半導体ペレット10の正面10aと対向して配置されたソース用のソース用接続部片36a（インナリード連結部）から三つに分割されて設けられている場合であっても、前記分割による電気的抵抗増加値は僅かであり、この電気的抵抗増加値は前記電界効果トランジスタのオン抵抗値より小さいため、本実施の形態のMOSFET70のようにアウタリード38を複数（三本）に分割して配置できる。

【0071】

また、MOSFET70はヘッダ28の半導体ペレット10との接合面28aと反対側の面が樹脂封止体29から露出する露出面28bであり、かつ、アウタリード37、38が屈曲されるとともに、ヘッダ28の露出面28bとアウタリード37、38の被実装面37a、38aとがほぼ同一の高さ（アウタリード厚さ以下）に設けられた面実装形のものである。したがって、MOSFET70をプリント配線基板3（図8参照）等に実装する際には、アウタリード差し込み形の半導体装置とは異なり、MOSFET70を吸着保持等によって移し換えるだけであり、実装を容易にできる。

10

【0072】

また、本実施の形態のMOSFET70では複数のアウタリード37、38のうち、図24（a）に示すように、両端部に配置された二つのアウタリード37、38の外側側部間の距離（T）と、ヘッダ28におけるヘッダ突出部28cのアウタリード配列方向の幅（U）とがほぼ同じ長さで形成されている。これは、前記プリント配線基板3に形成されている従来のフットパターン（基板端子）との共有化を図るものであり、これにより、MOSFET70をプリント配線基板3上に実装する際に、従来のフットパターンを変えることなく、そのまま実装することができる。

20

【0073】

また、図24（a）、（b）に示すように、ヘッダ28およびヘッダ突出部28cの外周の一部（側面を含む少なくとも樹脂封止体29と接合する箇所）には、段差部28fが設けられている。これにより、樹脂封止体29とヘッダ28との接合面積を増加させることができ、その結果、両者の密着性を向上できる。したがって、樹脂封止体29へのクラックの形成を防止でき、これにより、MOSFET70の品質を向上することができる。

【0074】

また、本実施の形態のMOSFET70では、三本のソース用のインナリード36を支持するソース用接続部片36a（インナリード連結部）が半導体ペレット10の正面10aの上にこれに対向して配置され、かつ、それぞれのインナリード35、36の基端部35b、36bが半導体ペレット10の正面10aにおける内側領域上に配置されている。これは、MOSFET70の製造工程においてモールドを行う前の段階で、ヘッダ接合材である銀ペースト39の外観検査を行う際に、図23（a）に示すように、隣合ったインナリード間の隙間から銀ペースト39の有無を検査することを可能にするものである。

30

【0075】

さらに、それぞれのインナリード35、36の基端部35b、36bを半導体ペレット10の正面10aにおける内側領域上に配置することにより、図25に示すようにアウタリード37、38の長さ（W）を長く形成することができる。これにより、アウタリード37、38の曲げ成形時のストレスを緩和することができるとともに、MOSFET70の耐湿テストなどにおける水分の半導体ペレット10までの侵入到達時間を長くすることができ、その結果、MOSFET70の吸湿性を向上できる。

40

【0076】

本実施の形態の半導体装置（MOSFET70）のその他の構造と、MOSFET70によって得られるその他の作用効果については、前記MOSFET1で説明したものと同様であるため、その重複説明は省略する。

【0077】

次に、本実施の形態のMOSFET70の製造方法を、図13に示す製造プロセスフロー図にしたがって説明する。

50

【0078】

まず、それぞれの半導体ペレット領域に電界効果トランジスタが形成された半導体ウエハ(図示せず)を準備する。

【0079】

続いて、図13のステップS1により、スタッダードバンプ等のバンプ形成方法を用いて、ウエハ状態で各半導体ペレット10の図2に示すゲート用電極パッド19、ソース用電極パッド20にそれぞれゲート用バンプ22、ソース用バンプ23を形成する。なお、ゲート用バンプ22およびソース用バンプ23は、例えば、Auや半田等によって形成されるものである。

【0080】

その後、ステップS2に示すダイシングを行って前記半導体ウエハを切断・分離し、これにより、図14に示すようなバンプ付け済みの個々の半導体ペレット10を取得する。

【0081】

続いて、主面10aに電界効果トランジスタが形成された半導体ペレット10を準備する。

【0082】

また、複数のインナリード35、36とこれらインナリード35、36にそれぞれ電気的に接続された複数のアウタリード37、38とが連結されてなるリードフレームを準備する。

【0083】

なお、本実施の形態で用いる前記リードフレームは、単一の半導体装置用領域である単位リードフレーム31が複数連なって設けられた多連リードフレーム30であり、さらには、本実施の形態においては、前記多連リードフレーム30として、前記単一の半導体装置用領域が、図16に示すような2行×2列のマトリクス配置による群を一つの纏まりとするマトリクスフレーム40の場合を説明する。つまり、図16に示すマトリクスフレーム40は、4個分のMOSFET70を一つの群とするものである。ただし、マトリクスフレーム40における前記一つの群内のマトリクスの数は、2行×2列に限定されるものではなく、これ以外の数であってもよい。

【0084】

なお、図16に示すマトリクスフレーム40では、四個分のMOSFET70を一つの群としたため、区画窓40aの両側で半導体ペレット10の向きを変える必要があり、半導体ペレット10の向きをQ点で点対称となるような配置にしている。

【0085】

また、平板形状に形成されたヘッダ28を準備する。

【0086】

本実施の形態のMOSFET70の製造方法では、四個のMOSFET70を一つの群として製造するため、四個分のMOSFET70に対応する四つのヘッダ28が2行×2列配置で一体に設けられた図15に示すようなヘッダフレーム41を用い、これにより、各ヘッダ28を半導体ペレット10に接合する際には、一体となった四つのヘッダ28を四つの半導体ペレット10のそれぞれに一緒に接合する(図15では、E部に示すヘッダ28が一つのMOSFET70に使用されるヘッダ28である)。

【0087】

さらに、一つのヘッダフレーム41には、ヘッダ付け時のヘッダ付け装置(図示せず)のガイドとの位置決め用の丸孔28dが四つ設けられ、そのうち、2つの丸孔28dがスリット28eと連通している。

【0088】

なお、MOSFET70の製造手順によれば、マトリクスフレーム40上に半導体ペレット10が存在しないとヘッダ28を配置することはできず、さらに、ヘッダ28を配置できないと、モールド工程におけるモールド装置の上型51および下型52の構造上レジン漏れが発生し、モールドのショット毎に上型51および下型52のクリーニングが必要に

10

20

30

40

50

なる。

【0089】

したがって、単品構造のヘッダ28や二つのヘッダ28を一体とした構造等のものを用いてMOSFET70を製造するのは好ましくなく、本実施の形態のように四つのヘッダ28を一体としたヘッダフレーム41を用いてMOSFET70を製造する方が好ましい。さらに、四つのヘッダ28を一体としたヘッダフレーム41を用いることにより、単品構造のヘッダ28や二つのヘッダ28を一体とした構造のものを用いる場合と比べてスループットを向上できる。

【0090】

また、ヘッダフレーム41を、図27(a)の比較例のヘッダフレーム42のように一列に三つのヘッダ28を連結させた構造のフレームも考えられるが、この場合、半導体ペレットのサイズが小さくなると、ヘッダ28の重さにより、図27(b)に示すように、ヘッダ28が傾く可能性があるため、このような三つのヘッダ28を一列に配置したヘッダフレーム42も好ましくない。

【0091】

その後、ステップS3に示すフリップチップにより、半導体ペレット10とマトリクスフレーム40とを接合するペレットボンディングを行う。

【0092】

ここでは、図17(a)、(b)に示すように、四つの半導体ペレット10の裏面10bをそれぞれ上方に向か、四つの半導体ペレット10をマトリクスフレーム40のそれぞれの半導体装置領域のゲート用接続部片35aおよびソース用接続部片36a上に配置し、熱圧着によってペレットボンディングを行う。

【0093】

すなわち、インナリード35を支持するゲート用接続部片35aと半導体ペレット10のゲート用電極パッド19(図2参照)とを、ゲート用電極パッド19に取り付けられたゲート用バンプ22(突起状端子)を熱圧着してゲート用接続部25によって接合し、これにより、ゲート用バンプ22およびゲート用接続部片35aを介してゲート用電極パッド19とインナリード35とを電気的に接続する。

【0094】

同様に、インナリード36を支持するソース用接続部片36aは半導体ペレット10のソース用電極パッド20(図2参照)とを、ソース用電極パッド20に取り付けられたソース用バンプ23(突起状端子)を熱圧着してソース用接続部26によって接合し、これにより、ソース用バンプ23およびソース用接続部片36aを介してソース用電極パッド20とインナリード36とを電気的に接続する。

【0095】

なお、図17に示す状態は、熱圧着直前の構造を示すものであり、これを熱圧着すると図17に示すソース用バンプ23が図18(b)に示すソース用接続部26となる。

【0096】

その際、ゲート用バンプ22およびソース用バンプ23は、それぞれインナリード35、36に取り付けられていてもよい。また、フリップチップ実装後の半導体ペレット10の正面10aとゲート用接続部片35aおよびソース用接続部片36aとの位置関係は、図17(c)に示すものと同様になる。

【0097】

つまり、本実施の形態のMOSFET70では、3本のソース用のインナリード36を支持するソース用接続部片36a(インナリード連結部)が半導体ペレット10の正面10aの上にこれに対向して配置され、かつ、各インナリード36の基端部36bが半導体ペレット10の正面10aにおける内側領域上に配置されている。さらに、1本のゲート用のインナリード35を支持するゲート用接続部片35aも半導体ペレット10の正面10a上にソース用接続部片36aと絶縁されてかつ並んで配置され、インナリード35の基端部35bも半導体ペレット10の正面10aにおける内側領域上に配置されている。

10

20

30

40

50

【0098】

続いて、ヘッダ28の半導体ペレット10への取り付けであるヘッダ付けを行う（ステップS4）。

【0099】

ここで、図18(a)、(b)に示すように、まず、各半導体ペレット10の裏面10bに、ヘッダ接合材である銀ペースト39を塗布する。続いて、図19(a)、(b)に示すように、4つの半導体ペレット10の各裏面10bにヘッダフレーム41の各ヘッダ28を載置する。さらに、半導体ペレット10を加圧するとともに、スクラブなどを行って、これにより、各ヘッダ28と各半導体ペレット10の裏面10bとをそれぞれ銀ペースト39を介して接合する。

10

【0100】

その後、この段階で、図23(a)に示すように、隣あつたインナリード間の隙間から、およびソース用接続部片36aのインナリード配置側と反対の辺側からヘッダ接合材である銀ペースト39の有無を外観検査し、これにより、銀ペースト39の濡れ性を検査する。これは、図23(a)に示すソース用接続部片36aの幅寸法Sが、半導体ペレット10の前記幅Sと対応する幅より小さく形成されているため、銀ペースト39が半導体ペレット10よりはみ出ているかどうかを確認するものであり、はみ出している場合に合格とするものである。

【0101】

さらに、マトリクスフレーム40の表裏を反転させることにより、図23(b)に示すように、ヘッダ28のアウタリード配列方向と同方向の両側部から銀ペースト39を外観検査する。これにより、ヘッダ28の前記両側部から銀ペースト39を外観検査し、銀ペースト39が見える場合には、銀ペースト39の濡れ性を合格とする。これは、図23(b)に示すように、ヘッダ28において前記アウタリード配列方向と同方向の幅(V)が半導体ペレット10の同方向の長さより狭く形成されることにより、銀ペースト39がヘッダ28よりはみ出ているかどうかを確認するものである。

20

【0102】

なお、ソース用接続部片36aとゲート用接続部片35aとを半導体ペレット10より小さくすることにより、MOSFET70のプリント配線基板3(図8参照)へのリフロー実装時などに半導体ペレット10にかかる応力を緩和できる。

30

【0103】

その後、図13に示すステップS5のモールドを行う。ここでは、図20(a)、(b)、(c)に示すように、半導体ペレット10、インナリード群およびヘッダ28を上型51および下型52のキャビティー53に配置し、この状態で型締めを行った後、キャビティー53にレジン60を注入して樹脂封止(モールド)する。

【0104】

この際、ヘッダフレーム41がキャビティー53に対応して2×2配列であるため、フリップチップ実装後に脱落した半導体ペレット10があっても、キャビティー53からのレジン漏れの発生を防止できる。また、図21に示すように、ヘッダ28の露出面28bが上型51のキャビティー底面に密着した状態でレジン注入が行われるため、レジン硬化後に、ヘッダ28の半導体ペレット10との接合面28aと反対側の面すなわち露出面28bを樹脂封止体29から露出させることができ、さらに、アウタリード37、38の突出方向と反対の方向にヘッダ突出部28cを突出させて樹脂封止体29を形成できる。

40

【0105】

その後、図22(a)に示すように、複数のアウタリード37、38をマトリクスフレーム40から切断して屈曲する切断・成形を行う(ステップS6)。

【0106】

これと同時に、一体化されていたヘッダフレーム41を4つのそれぞれの丸孔28dで切断し、スリット28eを介して4つのヘッダ28に分離する。また、この切断・成形工程では、アウタリード37、38を図22(b)に示すように、ガル・ウイング形状に屈曲

50

する。

【0107】

なお、半導体ペレット10の正面10a上にソース用接続部片36aおよびゲート用接続部片35aが配置され、これらに支持されたインナリード35、36のそれぞれの基端部35b、36bも正面10a上に配置されていることにより、アウタリード曲げ成形の際にバンプ接合部であるゲート用接続部25およびソース用接続部26に掛かる応力を低減できる。

【0108】

さらに、図25に示すP部のように、ゲート用接続部片35aおよびソース用接続部片36aにそれぞれ細いリード25a、26aが設けられていることにより、アウタリード切断時に細リード25a、26aが伸びるため、前記バンプ接合部であるゲート用接続部25およびソース用接続部26に掛かる応力を緩和できる。10

【0109】

その結果、アウタリード切断・成形時に前記バンプ接合部にかかる曲げ応力を緩和できる。。

【0110】

これにより、MOSFET70の製造を終了する。なお、MOSFET70の製造工程において、ステップS3のフリップチップからステップS6の切断・成形までは、ヘッダ28の露出面28b側を上方に向けて工程間移動させる。

【0111】

ここで、本実施の形態の半導体装置（MOSFET70）の他の製造方法については、前記参考例のMOSFET1の製造方法と同様であり、その重複説明は省略する。20

【0112】

さらに、本実施の形態のMOSFET70の製造方法によって得られる他の作用効果については、前記参考例で説明したものと同様であるため、その重複説明は省略する。

【0113】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0114】

例えば、前記実施の形態では、ソース用のアウタリード38が複数に分離されてそれらがゲート用のアウタリード37とほぼ同様の幅で形成されている場合を説明したが、図26の変形例のMOSFET80のように、樹脂封止体29の両側に配置されるソース用のアウタリード38が一体となってゲート用のアウタリード37より幅広に形成されていてもよい。これにより、電気的抵抗値を低減（例えば、約0.1m程度）することができ、その結果、MOSFET80の電気的特性を向上できるとともに、放熱性も向上できる。30

【0115】

また、バンプ（ゲート用バンプ22やソース用バンプ23）は半導体ペレット側に配設するに限らず、インナリード側に配設してもよい。その際、前記バンプはSSB法によって形成するに限らず、メッキ法等によって形成してもよい。さらに、前記バンプは金によって形成するに限らず、半田等によって形成してもよい。40

【0116】

半導体ペレット10とヘッダ28とは、銀ペースト等の導電性接着材によって接続するに限らず、半田付けによって接続してもよいし、金-錫共晶層等によって接続してもよい。但し、半導体ペレット10のヘッダ28への導電性および放熱性を配慮して、導電性および熱伝導性の良好な材料を選定することが望ましい。

【0117】

ヘッダ28にはドレイン用電極パッド21を接続するに限らず、ソース用電極パッド20を接続してもよい。50

【0118】

ヘッダ28は半導体ペレット10にインナリードボンディング後に接続するに限らず、インナリードボンディング前またはインナリードボンディングと同時に半導体ペレット10に接続してもよい。

【0119】

ヘッダ28の形状、大きさ、構造等は、要求される放熱性能、半導体ペレット10の性能、大きさ、形状、構造等々の諸条件に対応して選定することが望ましい。

【0120】

また、ヘッダ28を形成する材料としては銅系材料を使用するに限らず、アルミニウム系等の熱伝導性の良好な他の金属材料を使用することができる。10

また、本発明は、IGBT(Insulating Gate Bipolar Transistor)や、高出力のバイポーラトランジスタのような3端子のトランジスタ用パッケージにも適用できる。

【図面の簡単な説明】

【図1】本発明の参考例であるMOSFETを示しており、(a)は一部切断平面図、(b)は一部切断正面図、(c)は一部切断側面図である。

【図2】そのMOSFETの製造方法に使用される半導体ペレットを示しており、(a)は平面図、(b)は(a)のb-b線に沿う拡大断面図である。

【図3】同じく多連リードフレームを示しており、(a)は一部省略平面図、(b)は正面断面図である。20

【図4】インナリードボンディング後を示しており、(a)は一部省略平面図、(b)は正面断面図である。

【図5】ペレットボンディング後を示しており、(a)は一部省略平面図、(b)は正面断面図である。

【図6】樹脂封止体成形工程を示しており、(a)は一部省略正面断面図、(b)は(a)のb-b線に沿う断面図である。

【図7】樹脂封止体成形後を示しており、(a)は一部省略平面図、(b)は正面断面図である。

【図8】図1に示すMOSFETの実装後を示しており、(a)は平面図、(b)は一部切断正面図である。

【図9】本発明の実施の形態の半導体装置であるMOSFETの構造の一例を示す図であり、(a)はヘッダ突出部側から眺めた外観斜視図、(b)はアウタリード側から眺めた外観斜視図である。30

【図10】図9に示すMOSFETの構造を示す図であり、(a)は平面図、(b)は正面図、(c)は底面図である。

【図11】図9に示すMOSFETの構造を示す図であり、(a)は樹脂封止体(パッケージ)を透過してその内部構造を示す平面図、(b)は(a)のC-C線に沿う断面図、(c)は(a)のD-D線に沿う断面図である。

【図12】図9に示すMOSFETの樹脂封止体(パッケージ)を透過してその内部構造を示す底面図である。

【図13】図9に示すMOSFET製造工程の一例を示すプロセスフロー図である。40

【図14】図9に示すMOSFETに用いられる半導体ペレットの構造の一例を示す平面図である。

【図15】図9に示すMOSFETの組み立てに用いられるヘッダフレームの構造の一例を示す平面図である。

【図16】図9に示すMOSFETの組み立てに用いられるマトリクスフレームの構造の一例を示す部分平面図である。

【図17】図9に示すMOSFETの製造工程におけるフリップチップ実装時の構造の一例を示す図であり、(a)は部分平面図、(b)は(a)のF-F線に沿う断面図、(c)は(a)のG部をリード側から眺めた部分底面図である。

【図18】図9に示すMOSFETの製造工程における銀ペースト付け時の構造の一例を50

示す図であり、(a)は部分平面図、(b)は(a)のH-H線に沿う断面図である。

【図19】図9に示すMOSFETの製造工程におけるヘッダ付け時の構造の一例を示す図であり、(a)は部分平面図、(b)は(a)のI-I線に沿う断面図である。

【図20】図9に示すMOSFETの製造工程におけるモールド時の構造の一例を示す図であり、(a)は成形金型内の状態を成形金型を透過して示す部分平面図、(b)は成形金型を型締めした際の(a)のJ-J線に沿う部分断面図、(c)は成形金型を型締めした際の(a)のK-K線に沿う部分断面図である。

【図21】成形金型を型締めした際の図20(a)のL-L線に沿う拡大部分断面図である。

【図22】図9に示すMOSFETの製造工程における切断・成形時の構造の一例を示す図であり、(a)は部分平面図、(b)は(a)のM-M線に沿う断面図である。 10

【図23】(a)、(b)は図9に示すMOSFETの製造工程における銀ペースト塗布の検査方法の一例を示す部分平面図である。

【図24】図9に示すMOSFETにおけるヘッダの段差部の構造の一例を示す図であり、(a)は樹脂封止体を透過して示す平面図、(b)は(a)のN-N線に沿う部分拡大断面図である。

【図25】図9に示すMOSFETに用いられるインナリードの細リードの構造の一例を示す平面図である。

【図26】本発明の図9MOSFETの変形例の構造を示す一部切断平面図である。

【図27】本発明の半導体装置であるMOSFETに対する比較例のMOSFETに用いられるヘッダフレームとそのヘッダ付け状態を示す図であり、(a)はヘッダフレームの平面図、(b)は(a)のヘッダフレームを用いてヘッダ付けを行った際の部分断面図である。 20

【符号の説明】

1...MOSFET、2...パッケージ、3...プリント配線基板、4...本体、5...ゲート用ランド、6...ソース用ランド、7...ドレイン用ランド、10...半導体ペレット、10a...正面、10b...裏面、11...サブストレート、12...ゲート、13...シリコン酸化膜、14...ソース、15...ドレイン、16...絶縁膜、17...ゲート用コンタクトホール、18...ソース用コンタクトホール、19...ゲート用電極パッド、20...ソース用電極パッド、21...ドレイン用電極パッド、22...ゲート用バンプ、23...ソース用バンプ、24...保護膜、25...ゲート用接続部、26...ソース用接続部、25a、26a...細リード、27...ドレイン用接続部、28...ヘッダ、28a...接合面、28b...露出面、28c...ヘッダ突出部、28d...丸孔、28e...スリット、28f...段差部、29...樹脂封止体、30...多連リードフレーム、31...単位リードフレーム、32...外枠、32a...位置決め孔、33...セクション枠、34...ダム部材、34a...ダム、35、36...インナリード、35a...ゲート用接続部片、36a...ソース用接続部片、35b、36b...基端部、37、38...アウタリード、37a、38a...被実装面、39...銀ペースト、40...マトリクスフレーム、40a...区画窓、41...ヘッダフレーム、42...ヘッダフレーム、50...トランスファ成形装置、51...上型、52...下型、53...キャビティ、53a...上型キャビティー、53b...下型キャビティー、54...ポット、55...プランジャー、56...カル、57...ゲート、58...スルーゲート、59...凹所、60...レジン、61...合わせ面、70...MOSFET、80...MOSFET。 30

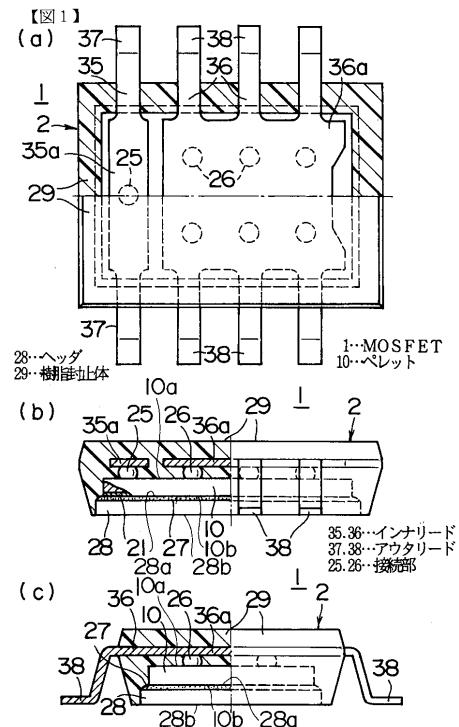
10

20

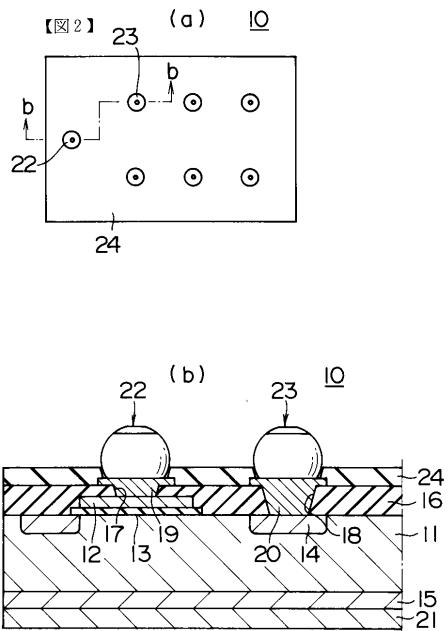
30

40

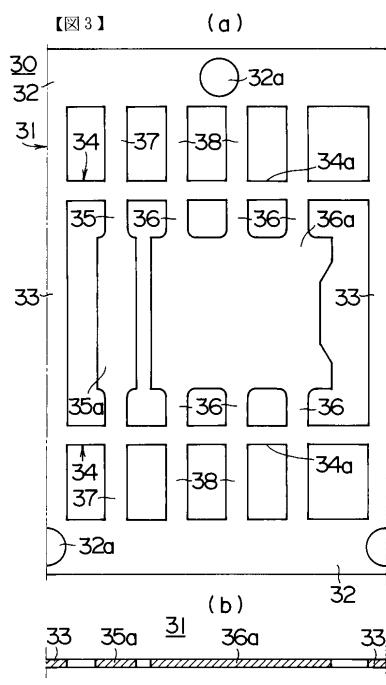
【 図 1 】



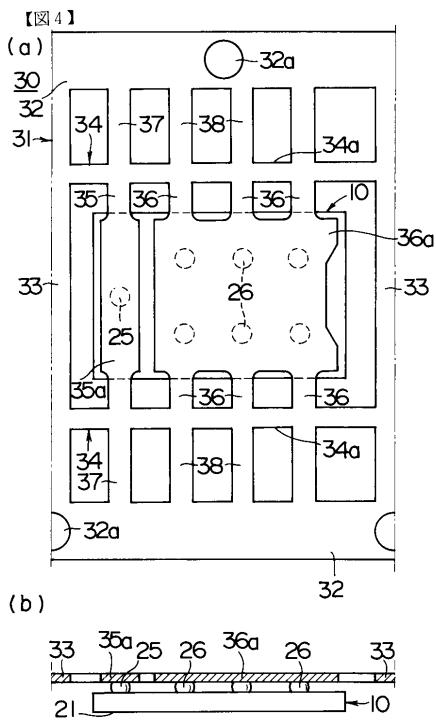
【 図 2 】



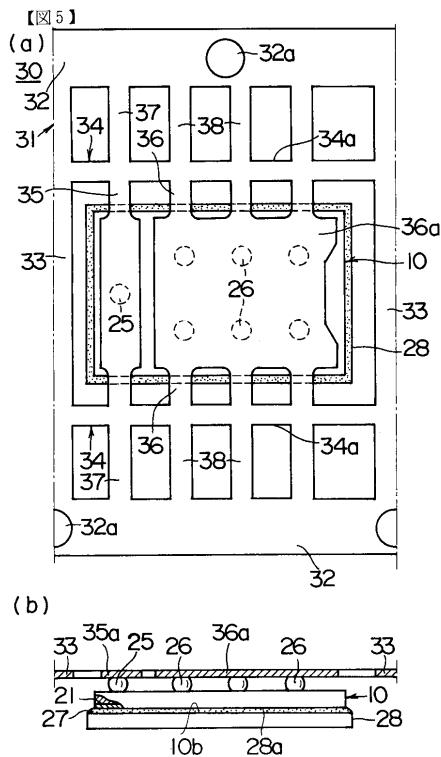
【図3】



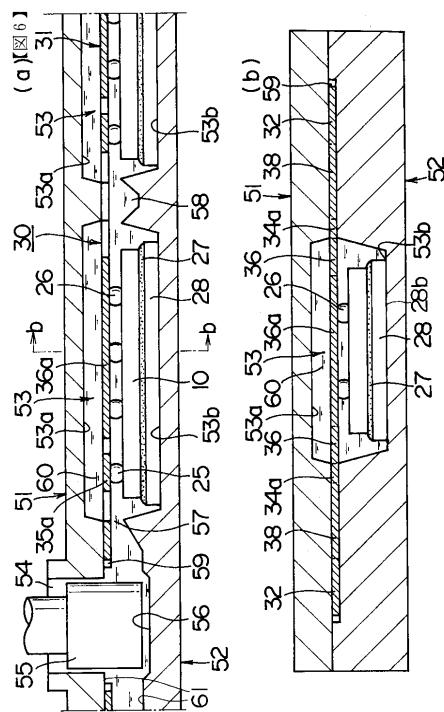
【 図 4 】



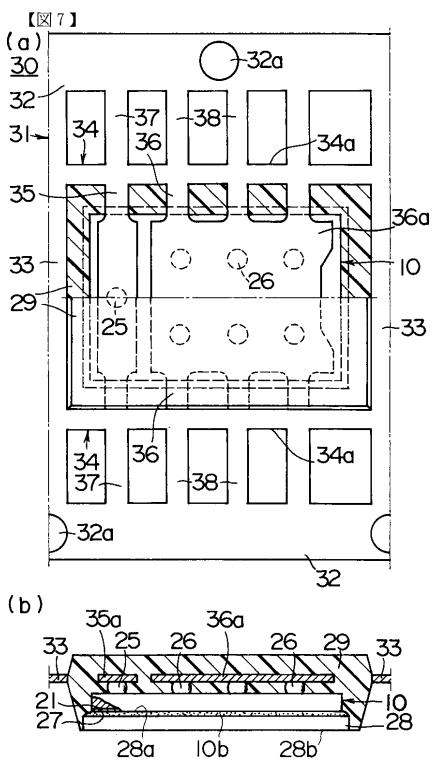
【図5】



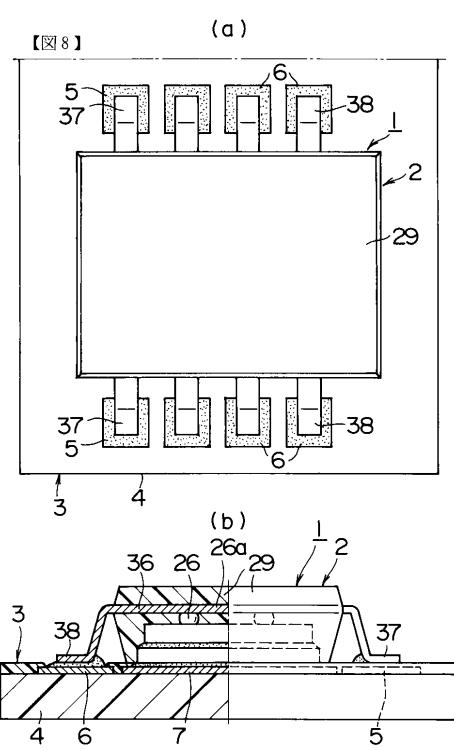
【図6】



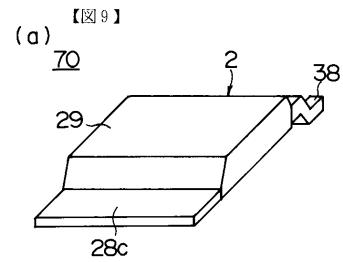
【図7】



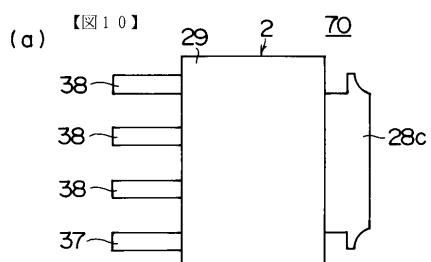
【図8】



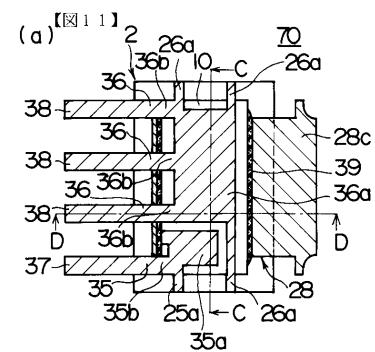
【 図 9 】



【 図 1 0 】

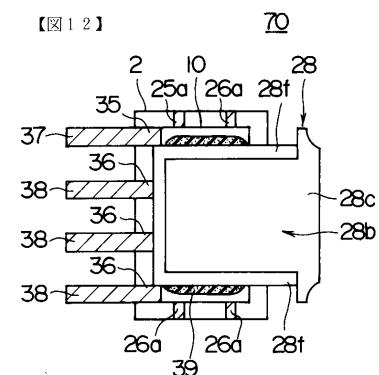


【 図 1 1 】

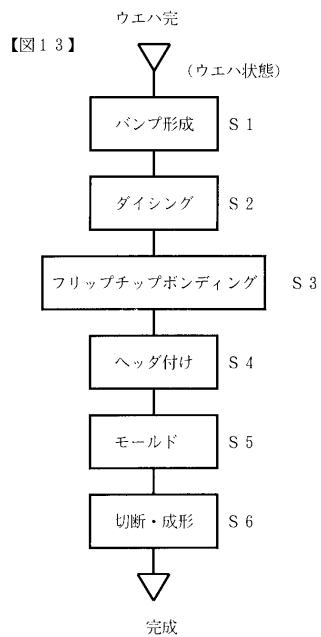


(b) A cross-sectional diagram showing the connection between the top metal layer and the substrate. The top metal layer features a contact hole 25 that connects to a via 36a. This via 36a is connected to a diffusion layer 10a, which is itself connected to a source/drain region 10. The contact hole 25 is also connected to a second via 26, which is connected to a third via 29. The third via 29 is connected to a fourth via 30, which is connected to a fifth via 28b. The fifth via 28b is connected to a sixth via 39, which is connected to a seventh via 28. The seventh via 28 is connected to a diffusion layer 10b, which is connected to a source/drain region 10.

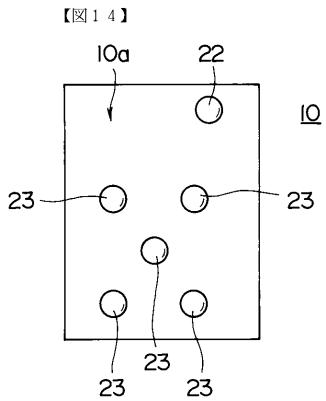
【 図 1 2 】



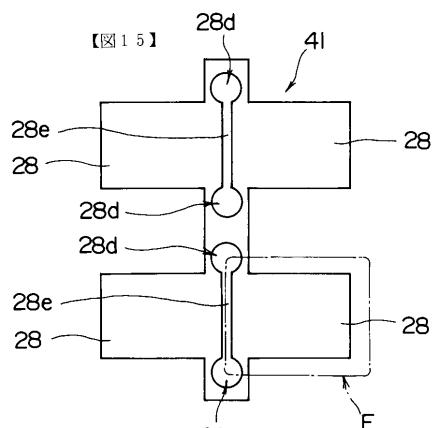
【図 1 3】



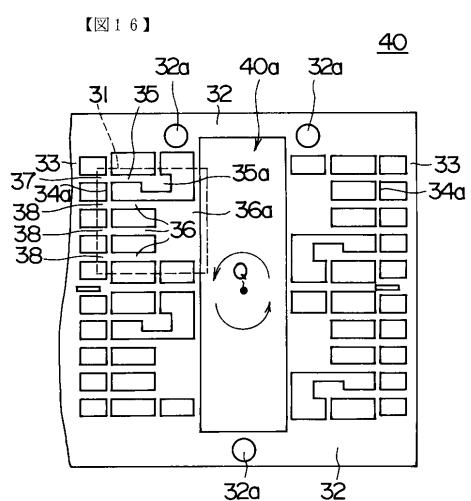
【図 1 4】



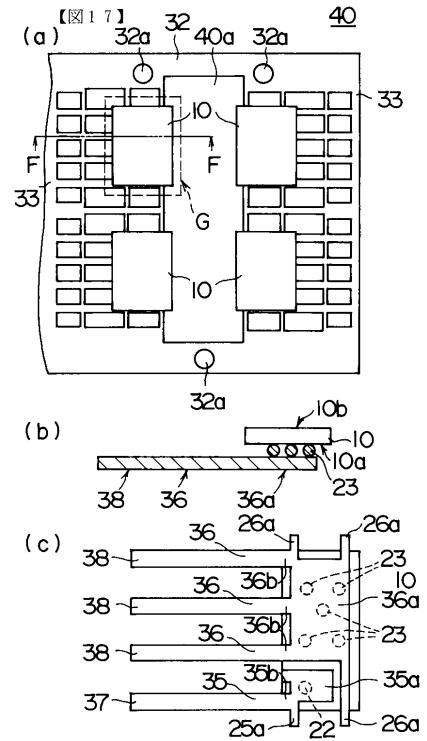
【図 1 5】



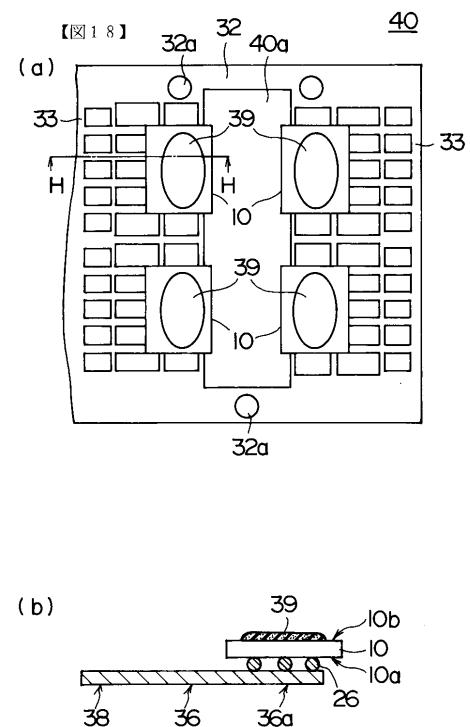
【図 1 6】



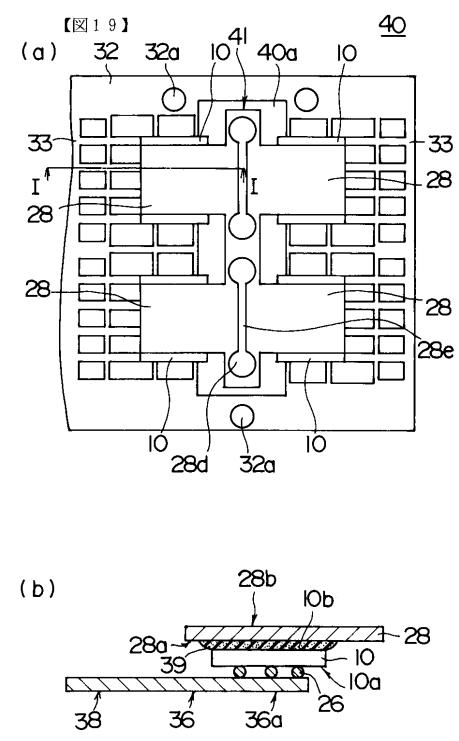
【図17】



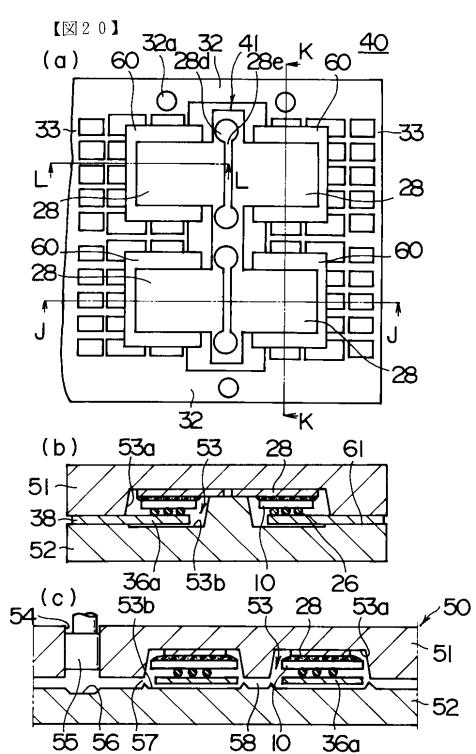
【 図 1 8 】



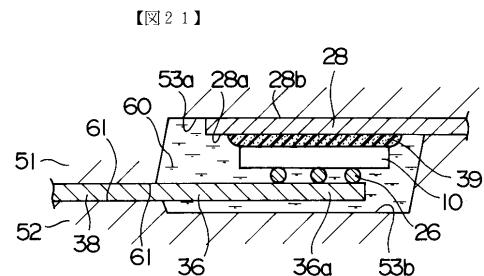
【 図 1 9 】



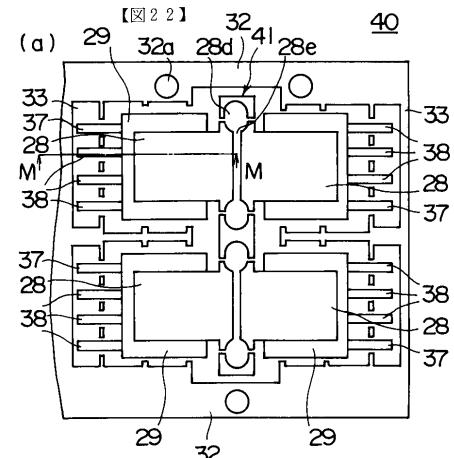
【 図 2 0 】



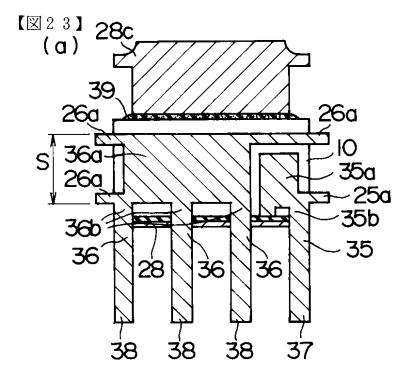
【 図 2 1 】



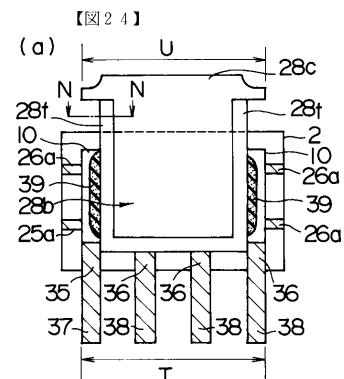
【 図 2 2 】



【図23】

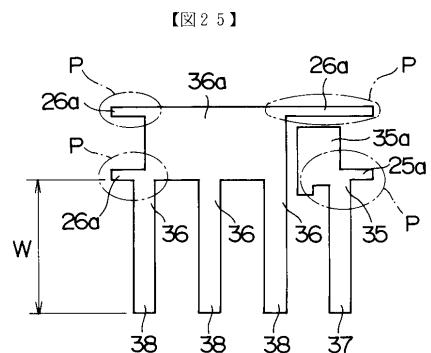


【 図 2 4 】

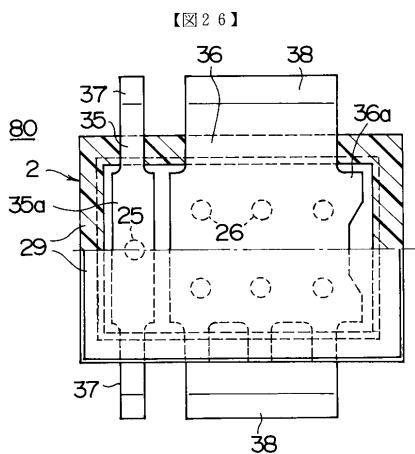


(b)

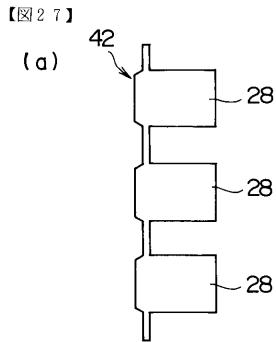
【図25】



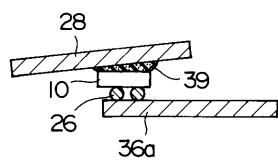
【図26】



【図27】



(b)



フロントページの続き

(72)発明者 高橋 靖司

東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

審査官 坂本 薫昭

(56)参考文献 特表平04-503283(JP,A)

特開平08-064634(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/48