

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021年2月25日 (25.02.2021)



(10) 国际公布号
WO 2021/031149 A1

- (51) 国际专利分类号:
G11C 29/08 (2006.01)
- (21) 国际申请号: PCT/CN2019/101781
- (22) 国际申请日: 2019年8月21日 (21.08.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 许团辉 (XU, Tuanhui); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: TEST CIRCUIT OF MEMORY AND DEVICE

(54) 发明名称: 一种存储器测试电路及装置

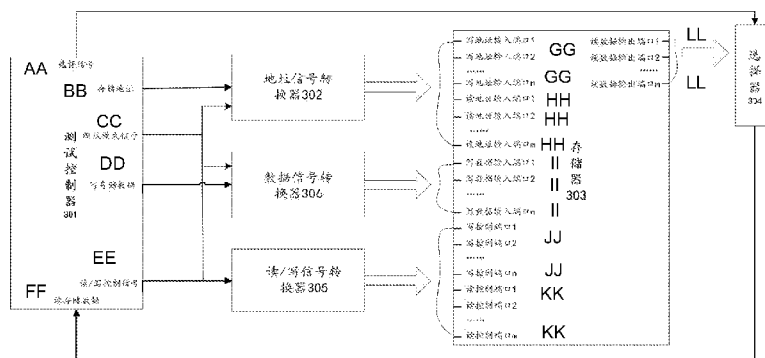


图 6

301	Test controller	DD	Write storage data
302	Address signal converter	EE	Read/write control signal
303	Memory	FF	Read storage data
304	Selector	GG	Write address input port
305	Read/write signal converter	HH	Read address input port
306	Data signal converter	JJ	Write data input port
AA	Select signal	JJ	Write control port
BB	Storage address	KK	Read control port
CC	Test mode signal	LL	Read data output port

(57) Abstract: A test circuit of a memory and a device, which relate to the technical field of chips, and solve the problems with testing in the prior art in which the overhead is too high for the area of a built-in self-test circuit of a memory and in which it is difficult to achieve simultaneous read and write operations on a plurality of ports. The test circuit comprises a test controller (301) and an address signal converter (302). The test controller (301) is used to generate a test address and write test data into a memory (303); the address signal converter (302) is used to receive the test address, convert the test address into a plurality of storage addresses of the test data in

WO 2021/031149 A1

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

the memory (303), and input the plurality of storage addresses into a plurality of address input ports of the memory (303); and the test controller (301) is further used to read data from the plurality of storage addresses, and generate a test result on the basis of the read data.

(57) 摘要: 一种存储器测试电路及装置, 涉及芯片技术领域, 解决了现有技术中存储器内建自我测试电路面积开销过大, 难以实现多个端口同时进行读写操作的测试问题。该测试电路包括测试控制器 (301) 和地址信号转换器 (302), 其中, 测试控制器 (301), 用于产生测试地址, 以及向存储器 (303) 写入测试数据; 地址信号转换器 (302), 用于接收测试地址, 并将测试地址转换为测试数据在存储器 (303) 中的多个存储地址, 将多个存储地址输入存储器 (303) 的多个地址输入端口; 该测试控制器 (301), 还用于从多个存储地址中读取数据, 并基于读取的数据生成测试结果。

一种存储器测试电路及装置

技术领域

本申请涉及芯片技术领域，尤其涉及一种存储器测试电路及装置。

5 背景技术

随着多处理器计算系统应用越来越广泛，当处理器需要同时发起多个读写操作时，多端口的静态随机存取存储器（Static Random-Access Memory, SRAM）起着非常重要的作用。由于芯片在生产制造中，可能由于制造工艺问题而导致部分芯片物理上存在缺陷，例如，读写控制电路的部分线路存在短接或断路等问题，因此，为了筛除存在缺陷的芯片，通常需要通过测试电路对芯片进行测试。对于 SRAM 而言，通常采用存储器内建自我测试（Memory build-in self-testing, MBIST）电路进行测试。

为了实现对 SRAM 的测试，一种方案中，可以通过一组共享总线（share bus）进行访问以实现 SRAM 的测试，该方案中需要添加一个 MBIST 测试电路。测试时，如果有多个 SRAM 都需要测试，可以通过 share bus 总线访问到每一个 SRAM 以完成测试。在对每个 SRAM 进行测试时，现有的 share bus 总线每次只能对一个 SRAM 的一组端口（port）进行读写访问，常用的 SRAM 不支持从多个端口（两个及以上写口）对一个地址同时进行写操作。如果通过扩充 share bus 总线以实现两个以上的多个地址的访问，会导致 MBIST 测试电路面积过大，电路生产工艺难以实现，同时，也会严重影响中央处理器（Central Processing Unit, CPU）的运算性能。而另一种方案，可以通过在存储器的输入端添加选择器，用于选择正常功能的输入信号和测试时的输入信号，测试时的输入信号来自于测试控制器，该方案每次能对存储器的一组端口进行读写测试，但如果要实现多端口同时读写的测试，需要添加多个测试控制器，从而导致测试电路的面积开销过大，物理实现困难。

发明内容

25 本申请提供一种存储器测试电路及装置，解决了现有技术中存储器内建自我测试电路面积开销过大，难以实现多个端口同时进行读写操作的测试问题。

为达到上述目的，本申请采用如下技术方案：

30 第一方面，提供一种用于存储器的测试电路，该测试电路包括测试控制器和地址信号转换器，其中，测试控制器用于产生测试地址，以及向存储器写入测试数据；地址信号转换器，用于接收测试地址，将测试地址转换为该测试数据在存储器中的多个存储地址，将多个存储地址输入存储器的多个地址输入端口；测试控制器，还用于从多个存储地址中读取数据，并基于读取的数据生成测试结果。

35 本申请实施例中，通过在存储器外围设置地址信号转换器，可以将测试控制器产生的测试地址转换为多个存储地址，输入存储器的多个地址输入端口，测试控制器根据存储器读取的数据判断测试结果。该测试电路可以为 MBIST 测试电路，从而实现一个 MBIST 测试电路，通过一组 share bus 总线对该存储器的多端口同时进行读/写操作的测试，不需要扩充 share bus 总线对多端口的存储器进行测试，也不需要添加多个测试控制器，解决了扩充 share bus 总线或者设置多个测试控制器产生的开销大的问题，

提高 MBIST 测试电路的测试效率。

在一种可能的设计方式中，将测试地址转换为测试数据在存储器中的多个存储地址，将多个存储地址输入存储器的多个地址输入端口，具体包括：将测试地址转换为多个写输入地址，和/或多个读输入地址，其中，多个写输入地址和多个读输入地址两两不相同；将多个写输入地址输入存储器的多个写地址输入端口，将多个读输入地址输入存储器的多个读地址输入端口。上述可能的实现方式中，地址信号转换器将测试地址转换为多个写输入地址和/或多个读输入地址，分别输入存储器的多个写地址输入端口和/或多个读地址输入端口，从而可以实现通过一组 share bus 总线对该存储器的多个端口进行同时读数据操作、同时进行写数据操作或同时进行读数据和写数据操作的测试，提高测试电路的测试效率。

在一种可能的设计方式中，测试电路还包括选择器；选择器，用于根据测试控制器输出的选择信号，对从存储器的多个存储地址读取的数据进行选择并输出。上述可能的实现方式中，通过选择器将存储器输出的存储数据进行选择并输出，可以对同时读取的数据进行依此输出到测试控制器，进行测试结果的判断，可以提高测试电路的测试效率。

在一种可能的设计方式中，测试控制器还用于产生读/写控制信号，测试电路还包括读/写信号转换器；读/写信号转换器，用于接收读/写控制信号，将读/写控制信号转换为多个读控制信号，和/或多个写控制信号；将多个写控制信号输入存储器的多个写控制端口，将多个读控制信号输入存储器的多个读控制端口。上述可能的实现方式中，读/写信号转换器将测试控制器生成的读/写控制信号，转换为多个读控制信号，和/或多个写控制信号，用于输入存储器，进行读/写数据的控制，从而实现对存储器的多端口进行同时读/写操作的测试，提高测试电路的测试效率。

在一种可能的设计方式中，测试控制器还用于产生测试数据，测试电路还包括数据信号转换器；数据信号转换器，用于接收测试数据，将测试数据转换为多个测试数据；将多个测试数据输入存储器的多个写数据输入端口；其中，多个测试数据中，至少两个测试数据不相同。上述可能的实现方式中，数据信号转换器将测试控制器生成的测试数据，转换为多个测试数据，用于输入存储器进行写数据的控制，从而实现对存储器的多端口进行同时写操作的测试，提高测试电路的测试效率。

在一种可能的设计方式中，测试控制器，还用于产生测试模式信号，测试模式信号包括多端口测试信号和单端口测试信号。上述可能的实现方式中，测试控制器产生的测试模式信号，可以用于选择测试电路进行单端口的测试还是进行多端口的测试，提高测试电路的灵活性。

在一种可能的设计方式中，读/写信号转换器，还用于：测试模式信号为多端口测试信号时，输出读/写信号转换器输出的多个读控制信号，和/或多个写控制信号；测试模式信号为单端口测试信号时，输出测试控制器产生的读/写控制信号。上述可能的实现方式中，读/写信号转换器根据测试控制器产生的测试模式信号，选择输出单个读/写控制信号或是多个读/写控制信号，从而用于选择测试电路进行单端口的测试还是进行多端口的测试，提高测试电路的灵活性。

在一种可能的设计方式中，地址信号转换器，还用于：测试模式信号为多端口测

试信号时，输出地址信号转换器输出的多个写输入地址，和/或多个读输入地址；测试模式信号为单端口测试信号时，输出测试控制器产生的测试地址。上述可能的实现方式中，地址信号转换器根据测试控制器产生的测试模式信号，选择输出单个测试地址或是多个测试地址，从而用于选择测试电路进行单端口的测试还是进行多端口的测试，
5 提高测试电路的灵活性。

在一种可能的设计方式中，数据信号转换器，还用于：测试模式信号为多端口测试信号时，输出数据信号转换器输出的多个测试数据；测试模式信号为单端口测试信号时，输出测试控制器产生的测试数据。上述可能的实现方式中，输出数据信号转换器根据测试控制器产生的测试模式信号，选择输出单个测试数据或是多个测试数据，
10 从而用于选择测试电路进行单端口的测试还是进行多端口的测试，提高测试电路的灵活性。

第二方面，提供一种存储器测试芯片，该存储器测试芯片包括上述第一方面的任一种可能的设计方式所述的测试电路。可以理解地，上述该存储器测试芯片其所能达到的有益效果可参考第一方面所提供的测试电路中的有益效果，此处不再赘述。

15 附图说明

图 1 为本申请实施例提供的一种存储器芯片的示意图；

图 2 为本申请实施例提供的一种存储器测试电路的结构示意图；

图 3 为本申请实施例提供的另一种存储器测试电路的结构示意图；

图 4 为本申请实施例提供的另一种存储器测试电路的结构示意图；

20 图 5 为本申请实施例提供的另一种存储器测试电路的结构示意图；

图 6 为本申请实施例提供的另一种存储器测试电路的结构示意图；

图 7 为本申请实施例提供的另一种地址信号转换器的逻辑电路图；

图 8 为本申请实施例提供的另一种数据信号转换器的逻辑电路图。

具体实施方式

25 以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在介绍本申请的实施例之前，首先对涉及到的技术做如下介绍：

30 静态随机存取存储器（Static Random-Access Memory, SRAM）：是随机存取存储器的一种。静态，是指这种存储器通电状态下，所储存的数据就可以恒常保持；与动态随机存取存储器（Dynamic Random Access Memory, DRAM）相比，不需要周期性刷新电路以保存它内部存储的数据。

随机存取存储器（Random Access Memory, RAM）：也叫主存，是与 CPU 直接
35 交换数据的内部存储器。可以随时读写（刷新时除外）数据，而且速度很快，通常作为操作系统或其他正在运行中的程序的临时数据存储介质。RAM 工作时可以随时从任何一个指定的地址写入（存入）或读出（取出）信息。根据存储单元的工作原理不同，RAM 分为 SRAM 和 DRAM。

存储器内建自我测试（Memory build-in self-testing, MBIST）：是在设计存储器芯

片时在电路中植入相关测试功能的电路，用于提供自我测试功能的技术，以此可以降低器件测试对自动测试设备的依赖程度。

存储器，是在电子计算机中用来存储数据和指令等的记忆器件，可以为一个独立的芯片，也可以和其他器件集成在一起。存储器的主要功能是存储程序和各种数据，并能在计算机运行过程中高速、自动地完成程序或数据的存取。存储器的种类可以包括：SRAM，RAM，DRAM，非易失性的磁性随机存储器(Magnetic Random Access Memory, MRAM)，闪存(Flash Memory)等。

逻辑门：是在集成电路上的基本组件，简单的逻辑门可由晶体管组成，使代表两种信号的高低电平在通过逻辑门之后产生高电平或者低电平的信号。高、低电平可以分别代表逻辑上的“真”与“假”或二进制当中的1和0，从而实现逻辑运算。常见的逻辑门包括与门、或门、非门和异或门等等。逻辑门可以组合使用实现复杂的逻辑运算。

本申请实施例提供一种存储器测试电路，通过在普通的存储器测试电路结构中添加逻辑电路，实现对存储器的多个端口进行同时读/写的操作，解决了现有技术中存储器内建自我测试电路面积开销过大，难以实现多个端口同时进行读/写操作的问题。

本申请的实施例可以在计算机设备中实现，该存储器测试电路可以具体应用于多处理器的计算系统，即需要多个处理器同时对存储器同时发起多个数据读/写操作的计算机系统。

首先对本申请涉及的存储器芯片的结构和原理作简要介绍。本申请的如下实施例仅以SRAM存储器作为示例进行详细说明，其并不对本申请造成一定的限制。

如图1所示，多端口的SRAM存储器芯片最多可以同时进行n个端口写数据操作和m个端口读数据操作的存储器芯片。该存储器芯片包括多个写地址输入端口、多个读地址输入端口、多个写数据输入端口、多个写控制端口、多个读控制端口和多个读数据输出端口。

具体可以为，如图1所示，包括：写地址输入端口1、写地址输入端口2……写地址输入端口n、读地址输入端口1、读地址输入端口2……读地址输入端口m、写数据输入端口1、写数据输入端口2……写数据输入端口n、写控制端口1、写控制端口2……写控制端口n、读控制端口1、读控制端口2……读控制端口m、读数据输出端口1、读数据输出端口2……读数据输出端口m。

其中，写地址输入端口1、写地址输入端口2……写地址输入端口n可以用于输入需要进行写操作的写入存储器芯片的存储地址，也可以称为写入地址，其写入地址的位宽可以由存储器芯片的存储单元的位宽决定。

读地址输入端口1、读地址输入端口2……读地址输入端口m可以用于输入需要进行读操作的数据在存储器芯片中的存储地址，也可以称为读地址，其读地址的位宽可以由存储器芯片的存储单元的位宽决定。

写数据输入端口1、写数据输入端口2……写数据输入端口n可以用于向存储器芯片的存储单元中输入需要进行写操作的存储数据，也可以称为写入数据。

写控制端口1、写控制端口2……写控制端口n可以用于输入需要进行写操作的写控制信号，也可以称为写使能信号。写控制端口输入的写控制信号可以用来控制对存储器写数据输入端口的数据存储操作。

读控制端口 1、读控制端口 2.....读控制端口 m 可以用于输入需要进行读操作的读控制信号，也可以称为读使能信号。读控制端口输入的读控制信号可以用来控制对存储器读数据输出端口的操作。

5 读数据输出端口 1、读数据输出端口 2.....读数据输出端口 m 可以用于输出需要进行读操作的、上述读地址对应的存储单元中的存储数据，也可以称为读出数据，其读出数据由之前写入该存储单元中的存储数据决定。

进一步的，多端口 SRAM 存储器可以同时读操作和写操作，是因为存储器芯片内部采用了多套读写电路来同时控制对存储单元的读操作和写操作。例如，写地址输入端口 1、写数据输入端口 1 和写控制端口 1 与存储器芯片内部的一套写控制电路
10 电气连接，通过选通电路可以用于执行写数据操作；读地址输入端口 2、读数据输出端口 2 和读控制端口 2 与存储器芯片内部的一套读控制电路电气连接，通过选通电路可以用于执行读数据操作。

在本申请实施例中，为保证不对同一个存储地址写入多个不同的存储数据，导致存储器芯片工作异常，可以将存储器芯片设计为多端口同时进行写操作的时候，多个
15 端口的写入地址是互不相同的。

在本申请实施例中，多端口 SRAM 存储器同时进行读操作和写操作时，多个端口的写入地址与多个端口的读地址是互不相同的，以免发生同时对一个存储地址同时进行读操作和写操作，导致存储器芯片工作异常的情况。

也就是说，一般的端口 SRAM 存储器是不支持多个端口同时对同一个写入地址进行写操作的；也不支持多个端口同时对同一个地址进行写操作和读操作。因此，本申请的实施例中，对多端口 SRAM 存储器进行测试，会避免上述的两种异常情况的发生。

图 1 结合下表 1 所示，多端口 SRAM 存储器芯片的内部电路结构可以为如下的对称结构，包括：存储数据的位单元阵列和外围逻辑电路，其中，外围逻辑电路可以包括灵敏放大器、行/列译码器、输入/输出锁存器和读/写电路等。

25 表 1

存储单元阵列	行地址译码器	存储单元阵列
灵敏放大器	时序控制电路	灵敏放大器
列地址译码器		列地址译码器
读/写控制电路		读/写控制电路
输入/输出锁存器		输入/输出锁存器

其中，存储单元阵列 (Bit Cell Array) 由大量的存储单元组成，通常存储单元排列成 N 行×M 列矩阵形式，每个存储单元能存放 1 位二值数据 (0, 1)。例如，某 SRAM 包括 128×8×16 的存储单元阵列：即为该存储器包括深度为 128，位宽为 8×16 的位单元阵列，有 128×128 个存储单元。

30 时序控制电路(Control and Clock Tree)：通过时钟信号的驱动，对存储器芯片上的逻辑电路进行输入和输出信号的控制。

灵敏放大器 (Sense Amplifier)，用于比较两个输入信号的差值，并将差值放大。由于该对称结构的 SRAM 芯片是差分电路结构实现的，即用两个信号的差值来代表该信号的输出值为 0 或者为 1，通过灵敏放大器可以将差值较小的输入信号进行放大处

理，确定输出信号。

行/列地址译码器 (Row/Column Decoder)：用于将输入地址定位到具体的位单元阵列中，具体为行地址译码器输出行选择信号，列地址译码器输出列地址选择信号，行选择线和列选择线交叉处即为选中的存储单元阵列。

5 读/写控制电路 (Read and Write Circuit)：通过对中央处理器输出的读命令或是写命令进行处理，并结合行/列地址译码器输出的行/列选择信号，生成相应的读控制信号 (读使能信号) 或者写控制信号 (写使能信号)，用来确定该行/列选择信号定位的存储单元阵列是进行读操作还是写操作，其中，读使能信号有效的时候表示该存储单元阵列是进行读操作的，写使能信号有效的时候表示该存储单元阵列是进行写操作的。

10 输入/输出锁存器 (Input Output Latch)：锁存器就是维持某种电平状态以把信号暂存，用于将输入或者输出的信号进行暂存。

存储器芯片的读写操作原理具体为：存储阵列中的每个存储单元都与其它单元在行和列上共享电学连接。通过对输入的地址进行行/列地址译码，可选择特定的行选择线和列选择线，行选择线和列选择线的交叉处就是被选中的存储单元，每一个存储单元都是按这种方法被唯一选中，然后再根据读控制信号或者写控制信号对其选中的存储单元进行读操作或者写操作。有的存储器设计成多位数据如 4 位或 8 位等同时输入和输出，这样的话，就会同时有 4 个或 8 个存储单元按上述方法被选中，进行多个端口的同时读写操作。

20 基于上述的存储器芯片，MBIST 测试电路用于对其多个端口的同时读写的存储功能进行电路故障测试，以发现存储器芯片在生产制造过程中可能造成的短路故障、断路故障或者其他可能的并发耦合故障等。通常，该 MBIST 测试电路可以为基于原存储器芯片的设计，通过构建外围逻辑电路来实现对存储器 203 的测试，如图 2，该 MBIST 测试电路可以包括测试控制器 201、选择器 202。

25 其中，选择器 202 用于根据系统的选择信号，选择系统输入的正常功能的存储信号，控制存储器 203 进行数据存储，还是从测试控制器 201 输入的测试信号，控制存储器 203 进行功能测试。

测试控制器 201 用于输出测试控制信号，接收测试返回数据，并完成对存储器 203 的功能测试，输出测试结果。如下表 2 所示，测试控制器 201 的测试控制信号可以包括：

30

表 2

信号类型	信号名称	信号作用
输出信号	模式控制信号	用于控制电路进入正常功能模式，或是进入测试模式。
	存储地址分组	表示同一个模块的存储器被分为一个分组。同一个分组的存储器物理位置靠近。
	测试地址	存储器的存储地址索引。
	读-测试地址	用于表示读端口的读操作地址。
	测试数据	写操作的写入数据值，建议输入数据的宽度不小

		于存储器的位宽。
	读控制信号	使能进行读数据操作。
	写控制信号	使能进行写数据操作。
	位掩码(Bit mask)	设置存储器输入地址的某一位不进行写操作。
	复位信号	该信号有效时, 可以复位存储器内部带复位的寄存器。
输入信号	测试返回数据	用于进行读操作时, 输出读存储地址中存储的数据。

进一步的, 该测试控制器 201 用于输出上述的测试控制信号, 经过存储器 203 的读/写数据操作, 根据接收存储器 203 的测试返回数据与预期值进行对比, 判断并输出测试结果。

如图 2 所示, 该测试控制器 201 的内部结构可以包括地址生成器 2011、数据生成器 2012、算法控制器 2013 和比较器 2014。

其中, 地址生成器 2011, 用于生成不同的测试地址, 用于对存储器 203 的不同存储单元进行测试。数据生成器 2012, 用于生成写入测试地址的测试数据。算法控制器 2013, 用于生成控制读/写操作的读/写控制信号。比较器 2014 用于将存储器 203 的测试返回信号与测试控制器 201 生成的期望数据进行比较, 根据比较结果判断该条测试数据是否通过测试, 例如, 测试通过可以输出信号 1, 测试不通过可以输出信号 0。

本申请实施例提供一种存储器测试电路, 基于上述的 MBIST 测试电路结构, 通过在存储器芯片外围添加信号转换电路, 实现多端口同时读写操作, 即可以实现同时对多个端口的不同存储地址同时进行写操作测试、同时对多个端口的不同存储地址同时进行读操作测试和同时对多个端口的不同存储地址同时进行读操作和写操作测试, 从而可以覆盖 SRAM 进行多端口同时读写操作时可能的物理缺陷, 且解决了现有技术 MBIST 测试电路面积开销过大的问题。

如图 3 所示, 该存储器测试电路可以包括: 测试控制器 301 和地址信号转换器 302, 用于对存储器 303 进行测试。该存储器测试电路的连接关系可以为: 测试控制器 301 的多个输出端口连接地址信号转换器 302 的多个输入端口, 地址信号转换器 302 的多个输出端口连接存储器 303 的多个输入端口, 存储器 303 的输出端口返回测试信号, 连接到测试控制器 301 的输入端口。

其中, 地址信号转换器 302 用于接收测试控制器 301 输出的测试地址, 将测试地址转换为测试数据在存储器中的多个存储地址, 将多个存储地址输入存储器 303 的多个地址输入端口。

进一步的, 地址信号转换器 302 用于将一个测试地址经过译码处理, 转换为多个写输入地址和多个读输入地址, 其中, 所述多个写输入地址和多个读输入地址中两两不相同。例如, 该存储器 303 设计有 7 个写地址输入端口, 12 个读地址输入端口, 则地址信号转换器可以将输入的测试地址 (Adress_in), 经过地址译码转换处理, 生成不同的 7 个进行写操作的存储地址, 12 个进行读操作的存储地址。

在实际的电路设计中, 该地址信号转换器可以由与门、或门、非门、异或门等逻辑门器件组合设计来实现。只要能实现将一个输入地址, 生成不同的多个存储地址的逻辑电路,

即可以实现该地址译码功能，本申请实施例对此地址信号转换器的逻辑电路的具体设计不做限定。

示例性的，当测试控制器输出写控制信号，并输出进行写操作测试的测试地址为0000000，地址信号转换器可以设计为将输入的测试地址0000000，经过逻辑电路转换，输出多个不同的存储地址1~存储地址19。可以将该存储地址1~存储地址7分别输入存储器303的写地址输入端口1~写地址输入端口7；该实施例中，前提是该存储器303的写地址输入端口的数量n是大于等于7的。可以将该存储地址8~存储地址19分别输入存储器303的读地址输入端口1~读地址输入端口19。该实施例中，前提是该存储器303的读地址输入端口的数量m是大于等于12的。

10 其中，输入写地址输入端口的7个存储地址可以为：

写地址输入端口1输入的存储地址1为：0000000；

写地址输入端口2输入的存储地址2为：0000001；

写地址输入端口3输入的存储地址3为：0000010；

写地址输入端口4输入的存储地址4为：0000011；

15 写地址输入端口5输入的存储地址5为：0000100；

写地址输入端口6输入的存储地址6为：0000101；

写地址输入端口7输入的存储地址7为：0000110。

输入读地址输入端口的12个存储地址可以为：

读地址输入端口1输入的存储地址8为：1000000；

20 读地址输入端口2输入的存储地址9为：1000001；

读地址输入端口3输入的存储地址10为：1000010；

读地址输入端口4输入的存储地址11为：1000011；

读地址输入端口5输入的存储地址12为：1000100；

读地址输入端口6输入的存储地址13为：1000101；

25 读地址输入端口7输入的存储地址14为：1000110；

读地址输入端口8输入的存储地址15为：1000111；

读地址输入端口9输入的存储地址16为：1001000；

读地址输入端口10输入的存储地址17为：1001001；

读地址输入端口11输入的存储地址18为：1001010；

30 读地址输入端口12输入的存储地址19为：1001011。

进一步的，当测试控制器输出读控制信号，并输出进行读操作测试的测试地址为0000000，地址信号转换器可以设计为将输入的测试地址0000000，经过电路转换，输出多个不同的存储地址1~存储地址19。可以将该存储地址1~存储地址12分别输入存储器303的读地址输入端口1~读地址输入端口12；可以将该存储地址13~存储地址19分别输入存储器303的写地址输入端口1~写地址输入端口7。该实施例中，前提是该存储器303的写地址输入端口的数量n是大于等于7的，读地址输入端口的数量m是大于等于12的。

其中，输入读地址输入端口的12个存储地址可以为：

读地址输入端口1输入的存储地址1为：0000000；

读地址输入端口2输入的存储地址2为：0000001；

读地址输入端口 3 输入的存储地址 3 为：0000010；
读地址输入端口 4 输入的存储地址 4 为：0000011；
读地址输入端口 5 输入的存储地址 5 为：0000100；
读地址输入端口 6 输入的存储地址 6 为：0000101；
5 读地址输入端口 7 输入的存储地址 7 为：0000110；
读地址输入端口 8 输入的存储地址 8 为：0000111；
读地址输入端口 9 输入的存储地址 9 为：0001000；
读地址输入端口 10 输入的存储地址 10 为：0001001；
读地址输入端口 12 输入的存储地址 11 为：0001010；
10 读地址输入端口 12 输入的存储地址 12 为：0001011。

输入写地址输入端口的 7 个存储地址可以为：

写地址输入端口 1 输入的存储地址 13 为：1000000；
写地址输入端口 2 输入的存储地址 14 为：1000001；
写地址输入端口 3 输入的存储地址 15 为：1000010；
15 写地址输入端口 4 输入的存储地址 16 为：1000011；
写地址输入端口 5 输入的存储地址 17 为：1000100；
写地址输入端口 6 输入的存储地址 18 为：1000101；
写地址输入端口 7 输入的存储地址 19 为：1000110。

上述实施例仅示例性地提供了一种较容易实现的地址信号转换器 302 的地址转换
20 方式，还可以有其他的设计方式，使得将测试控制器输出的测试地址转换为多个不相同
的存储地址，均能实现本申请实施例的上述技术方案。

通过上述的实施方式可以实现在 MBIST 测试时，可以使用单端口的测试控制电路实
现对存储器的多端口同时进行读写操作的测试，从而检测存储器内部逻辑电路是否存在故
障，节约测试电路开销；同时，该实施方式不会对同一个存储地址同时进行多个读数据或
25 写数据的操作，不会使存储器发生读写冲突。

进一步的，该存储器测试电路还可以包括选择器 304，如图 4 所示，测试控制器 301
输出选择信号（port_select）的端口，连接选择器 304 的输入端口；存储器 303 的多个读数
据输出端口连接选择器 304 的多个输入端口；选择器 304 的输出端口与测试控制器 301 的
输入端口相连接，具体可以为连接到测试控制器 301 的比较器上。

30 其中，选择器 304 用于根据测试控制器 301 输出的选择信号（port_select），对从存
储器 303 的多个存储地址读取的数据进行选择并输出。

具体的，可以选择对存储器多个读取的数据进行依次输出，或者每次只选择需要比较
的读数据输出端口的存储数据输入测试控制器 301 完成比较。例如，该选择器 304 依次输
出存储器 303 的读数据输出端口 1、读数据输出端口 2……读数据输出端口 m 输出的存
35 储数据。

另外，选择器 304 输出的存储数据会返回到测试控制器 301，测试控制器 301 的比
较器将其与测试控制器 301 生成的期望数据进行比较，根据比较结果判断该条测试数
据是否通过测试，得到测试结果。

进一步的，如图 5 所示，该存储器测试电路还可以包括读/写信号转换器 305；读/

写信号转换器 305 用于接收测试控制器 301 产生的读/写控制信号,将读/写控制信号转换为多个读控制信号和/或多个写控制信号;将多个写控制信号输入存储器 303 的多个写控制端口,将多个读控制信号输入存储器 303 的多个读控制端口。

5 例如,测试控制器 301 输出一个读控制信号到该读/写信号转换器 305,该读/写信号转换器 305 可以输出多个读控制信号 1~读控制信号 m 和多个写控制信号 1~写控制信号 n,将读/写信号转换器 305 的输出端口分别连接到存储器 303 的读控制端口 1~读控制端口 m 和写控制端口 1~写控制端口 n。

10 在实际的电路设计中,该读/写信号转换器 305 可以由与门、或门、非门、异或门等逻辑门器件组合设计来实现。只要能实现将一个读控制信号或者写控制信号,转换成多个读控制信号和多个写控制信号的逻辑电路,即可以实现该读/写信号转换的功能,本申请实施例对此读/写信号转换器逻辑电路的具体设计不做限定。

15 通过上述的实施方式可以实现在 MBIST 测试时,可以使用单端口的测试控制电路实现对存储器的多端口同时进行读写操作的测试,从而检测存储器内部逻辑电路是否存在故障,节约测试电路开销;同时,该实施方式不会对同一个存储地址同时进行多个读数据或写数据的操作,不会使存储器发生读写冲突。

20 在一种可能的实施方式中,如图 6 所示,该存储器测试电路还可以包括数据信号转换器 306,用于接收测试控制器 301 输出的测试数据,并将该测试数据转换为多个测试数据;将多个测试数据分别输入存储器 303 的多个写数据输入端口 1~写数据输入端口 n;其中,多个测试数据中至少两个测试数据不相同。

25 具体的,该数据信号转换器 306 可以生成不同的多个测试数据,例如,相邻的测试数据不相同,如此,可以测试存储器内部相邻的数据信号线是否存在短路、断路或者并发耦合的故障。

30 在实际的电路设计中,该数据信号转换器 306 可以由与门、或门、非门、异或门等逻辑门器件组合设计来实现。只要能实现将一个输入的测试数据,转换成多个测试数据的逻辑电路,即可以实现该数据信号转换的功能,本申请实施例对此数据信号转换器逻辑电路的具体设计不做限定。

进一步的,对测试数据的每一位都经过上述数据转换器 306 的数据转换,将得到的多个测试数据输入存储器 303 的多个写数据输入端口,且可以设置为相邻的写数据输入端口输入的测试数据不相同,以便根据输出数据正确与否,测试其存储功能。

35 进一步的,如图 6 所示,该测试控制器 301 还用于输出测试模式信号(Test_mode),测试模式信号可以包括多端口测试信号和单端口测试信号。其中,多端口测试信号用于指示进行多端口同时读/写操作的测试,单端口测试信号用于指示进行单端口的读/写数据的操作测试。

40 具体的,当测试模式信号(Test_mode)指示为进行多端口测试信号时,读/写信号转换器输出经过读/写信号转换生成的多个读控制信号和/或多个写控制信号;当测试模式信号(Test_mode)指示为进行单端口测试信号时,输出测试控制器输出的读/写控制信号。

具体的,当测试模式信号(Test_mode)指示为进行多端口测试信号时,地址信号转换器输出经过地址信号转换生成的多个不同的写输入地址和/或多个读输入地址;当

测试模式信号 (Test_mode) 指示为进行单端口测试信号时, 输出测试控制器输出的测试地址。

具体的, 当测试模式信号 (Test_mode) 指示为进行多端口测试信号时, 数据信号转换器输出经过数据信号转换生成的多个测试数据; 当测试模式信号 (Test_mode) 指示为进行单端口测试信号时, 输出测试控制器输出的测试数据。

通过上述的实施方式可以实现在 MBIST 测试时, 使用单端口的测试控制电路实现对存储器的多端口同时进行读写操作的测试, 将一套读/写数据控制信号, 转换为多套读/写数据控制信号, 从而检测存储器内部同时读/写的控制电路是否存在故障, 节约测试电路开销。

应用于本申请实施例的上述应用于存储器的测试电路, 下面以一个具体示例说明其整体测试过程:

结合图 6 和图 7 所示, 该测试控制器输出测试模式信号 (Test_mode), 示例性的, 该测试模式信号包括多端口测试信号, 即为, 当 Test_mode=1 时, 该存储器测试电路执行多端口同时读写操作的测试; 单端口测试信号, 即为当 Test_mode=0 时, 该存储器测试电路执行单端口的读/写操作测试。

该地址信号转换器可以为如图 7 所示的电路结构, 例如, 输入该地址信号转换器的测试地址 mbist_addr 为 0000000, 该测试地址的位宽为 7 位, 每一位地址可以用 mbist_addr[i] 来表示。通过对该测试地址 7 个信号线中的部分信号线, 分别设置异或门或与门进行组合, 得到两两不同的写操作的存储地址 1~存储地址 7, 用 wrn_addr[0:6]来表示; 另外通过对该测试地址的 7 个信号线中的最高位, 即存储地址[6]进行取反, 得到两两不同的读操作的存储地址 8~存储地址 19, 用 rdm_addr[0:6]来表示。

其中, 异或门是数字逻辑电路中实现“异或”运算的逻辑门, 当两个输入电平相异, 则异或门输出为高电平 (逻辑 1); 若两个输入的电平相同, 则异或门输出为低电平 (逻辑 0)。与门是执行“与”运算的逻辑门, 当两个输入同时为高电平 (逻辑 1) 时, 输出为高电平 (逻辑 1), 否则输出为低电平 (逻辑 0)。

需要说明的是, 图 7 中黑点表示电路选通, 其他信号线交叉点表示该处电路并未连通; 由于输入的测试地址是 7 位, 有 7 个信号线, 可以理解的是, 经过地址信号转换器输出的存储地址 1~存储地址 19 上的每一个黑点处, 都隐含表示该点存在该存储地址的一个信号线, 例如, wr0_addr[3], 图中示出为 A。每一个黑点处隐含的地址信号线构成该存储地址的 7 位访问地址。

例如, 图 7 所示, 当测试模式信号 Test_mode=1, 存储地址 mbist_addr 为 0000000, 则得到存储地址: wr0_addr[0:6]为 0000000; wr1_addr[0:6]为 0000001; wr2_addr[0:6]为 0000010; wr3_addr[0:6]为 0000011; wr4_addr[0:6]为 0000100; wr5_addr[0:6]为 0000101; wr6_addr[0:6]为 0000110; rd0_addr[0:6]为 1000000; rd1_addr[0:6]为 1000001; rd2_addr[0:6]为 1000010; rd3_addr[0:6]为 1000011; rd4_addr[0:6]为 1000100; rd5_addr[0:6]为 1000101; rd6_addr[0:6]为 1000110; rd7_addr[0:6]为 1000111; rd8_addr[0:6]为 1001000; rd9_addr[0:6]为 1001001; rd10_addr[0:6]为 1001010; rd11_addr[0:6]为 1001011。

进一步的, 数据转换器可以为如图 8 所示的电路结构, 可以对该测试数据的其中一位, 例如, 以测试数据的第 i 位即测试数据[i], 进行示例。通过设置异或门或缓冲门的逻辑电

路组合，得到7个测试数据的第*i*位数据，将测试数据1[*i*]~测试数据7[*i*]分别输入存储器的写数据输入端口1~写数据输入端口7。

其中，缓冲门的作用是对输入信号进行识别、缓冲，其输出电平与输入电平是相同的，即输入缓冲门的为高电平（逻辑1）则缓冲门输出仍为高电平（逻辑1），输入缓冲门的为低电平（逻辑0）则缓冲门输出仍为低电平（逻辑0）。

因此，结合图8的电路可得，如输入的测试数据[*i*]=1，测试模式信号 Test_mode=1时，则由图8可知，测试数据1[*i*]=1，测试数据2[*i*]=0（异或门，输入两个相同的电平，输出为低电平0），测试数据3[*i*]=1，测试数据4[*i*]=0，测试数据5[*i*]=1，测试数据6[*i*]=0，测试数据7[*i*]=1，则输出的测试数据的第*i*位，相邻的两两数据不相同。同理，如测试数据[*i*]=0，测试模式信号 Test_mode=1时，则由图8可得，输出的测试数据1[*i*]=0，测试数据2[*i*]=1（异或门，输入两个相异的电平，输出高低电平1），测试数据3[*i*]=0，测试数据4[*i*]=1，测试数据5[*i*]=0，测试数据6[*i*]=1，测试数据7[*i*]=0，仍为相邻的两两数据不相同。

进一步的，读/写信号转换器可以将测试控制器输出的一个读/写控制信号，转换为7个写控制信号（写使能信号）和12个读控制信号（读使能信号）。将7个写控制信号（写使能信号）分别输入存储器芯片的7个写控制端口1~写控制端口7，将12个读控制信号（读使能信号）分别输入读控制端口1~读控制端口12。

存储器芯片根据上述输入信号，通过内部时钟驱动电路驱动7套写控制电路进行数据存储操作，驱动12套读控制电路进行存储数据输出操作，存储器芯片的读数据输出端口1~读数据输出端口12分别输出存储数据，通过选择器依此选择输出，返回测试控制器完成测试数据的对比，生成测试结果。

通过上述的实施方式可以实现在MBIST测试时，使用单端口的测试控制电路实现对存储器的多端口同时进行读写操作的测试，将一套读/写数据控制信号，转换为多套读/写数据控制信号，从而检测存储器内部多端口同时读/写的控制电路是否存在故障，节约测试电路开销。

本申请实施例还提供一种存储器测试芯片，该存储器测试芯片可以包括上述的测试电路的任意一种可能的设计，该存储器测试芯片可以用于实现上述测试电路能够实现的功能，从而可以实现对存储器的多端口同时进行读/写操作的控制电路进行测试，节约存储器多端口测试的电路面积开销。

在本申请所提供的几个实施例中，应该理解到，所揭露的电路和芯片，可以通过其它的方式实现。例如，以上所描述的测试电路的实施例仅仅是示意性的，例如，单元器件的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，例如多个单元或器件可以结合或者可以集成到另一个系统，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口，装置或器件的间接耦合或通信连接，可以是电性，机械或其它的形式。

作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

另外，在本申请各个实施例中的各功能单元可以集成在一个数据处理单元中，也可以是各个单元单独物理包括，也可以两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

5 最后应说明的是：以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何在本申请揭露的技术范围内的变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种用于存储器的测试电路，其特征在于，所述测试电路包括测试控制器和地址信号转换器，其中：

所述测试控制器，用于产生测试地址，以及向所述存储器写入测试数据；

5 所述地址信号转换器，用于接收所述测试地址，将所述测试地址转换为测试数据在所述存储器中的多个存储地址，将所述多个存储地址输入所述存储器的多个地址输入端口；

所述测试控制器，还用于从所述多个存储地址中读取数据，并基于读取的数据生成测试结果。

10 2、根据权利要求1所述的测试电路，其特征在于，所述将所述测试地址转换为所述测试数据在所述存储器中的多个存储地址，将所述多个存储地址输入所述存储器的多个地址输入端口，具体包括：

将所述测试地址转换为多个写输入地址，和/或多个读输入地址，其中，所述多个写输入地址和多个读输入地址两两不相同；

15 将所述多个写输入地址输入所述存储器的多个写地址输入端口，将所述多个读输入地址输入所述存储器的多个读地址输入端口。

3、根据权利要求1或2所述的测试电路，其特征在于，所述测试电路还包括选择器；

20 所述选择器，用于根据所述测试控制器输出的选择信号，对从所述存储器的多个存储地址读取的数据进行选择并输出。

4、根据权利要求3所述的测试电路，其特征在于，所述测试控制器还用于产生读/写控制信号，所述测试电路还包括读/写信号转换器；

所述读/写信号转换器，用于接收所述读/写控制信号，将所述读/写控制信号转换为多个读控制信号，和/或多个写控制信号；

25 将所述多个写控制信号输入所述存储器的多个写控制端口，将所述多个读控制信号输入所述存储器的多个读控制端口。

5、根据权利要求4所述的测试电路，其特征在于，所述测试控制器还用于产生测试数据，所述测试电路还包括数据信号转换器；

30 所述数据信号转换器，用于接收测试数据，将测试数据转换为多个测试数据；将所述多个测试数据输入所述存储器的多个写数据输入端口；

其中，所述多个测试数据中，至少两个测试数据不相同。

6、根据权利要求5所述的测试电路，其特征在于，所述测试控制器，还用于产生测试模式信号，所述测试模式信号包括多端口测试信号和单端口测试信号。

35 7、根据权利要求6所述的测试电路，其特征在于，所述读/写信号转换器，还用于：

所述测试模式信号为所述多端口测试信号时，输出所述读/写信号转换器输出的所述多个读控制信号，和/或所述多个写控制信号；

所述测试模式信号为所述单端口测试信号时，输出所述测试控制器产生的读/写控制信号。

8、根据权利要求6所述的测试电路，其特征在于，所述地址信号转换器，还用于：
所述测试模式信号为所述多端口测试信号时，输出所述地址信号转换器输出的所述多个写输入地址，和/或所述多个读输入地址；

5 所述测试模式信号为所述单端口测试信号时，输出所述测试控制器产生的所述测试地址。

9、根据权利要求6所述的测试电路，其特征在于，所述数据信号转换器，还用于：
所述测试模式信号为所述多端口测试信号时，输出所述数据信号转换器输出的所述多个测试数据；

10 所述测试模式信号为所述单端口测试信号时，输出所述测试控制器产生的测试数据。

10、一种存储器测试芯片，其特征在于，所述存储器测试芯片包括如权利要求1-9任一项所述的测试电路。

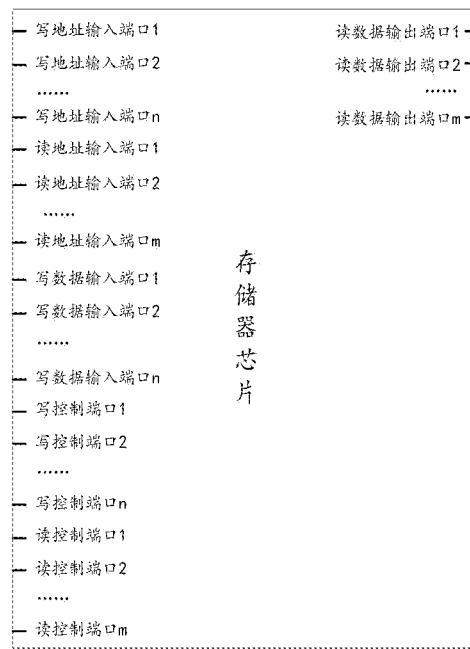


图 1

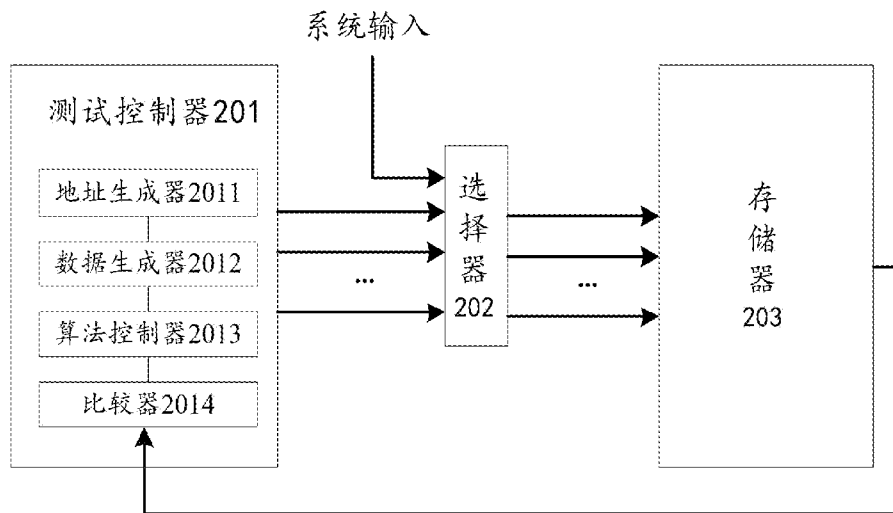


图 2

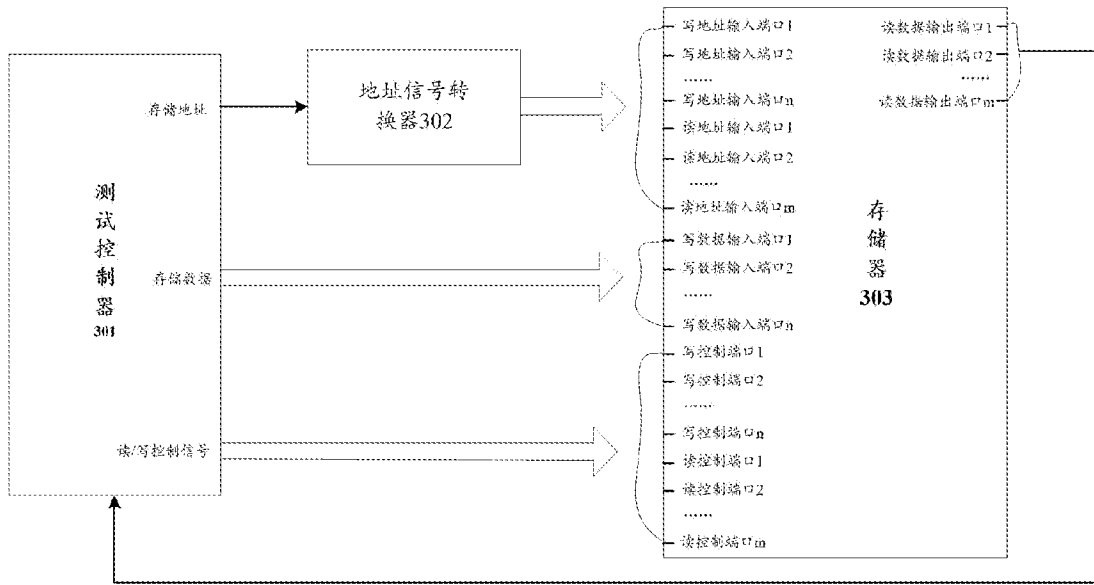


图 3

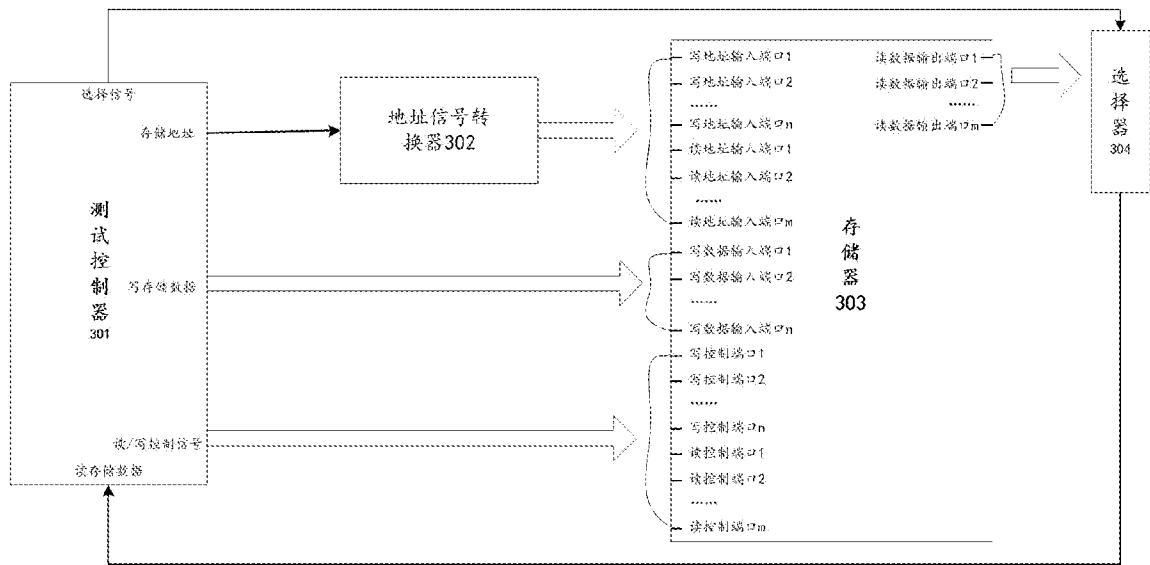


图 4

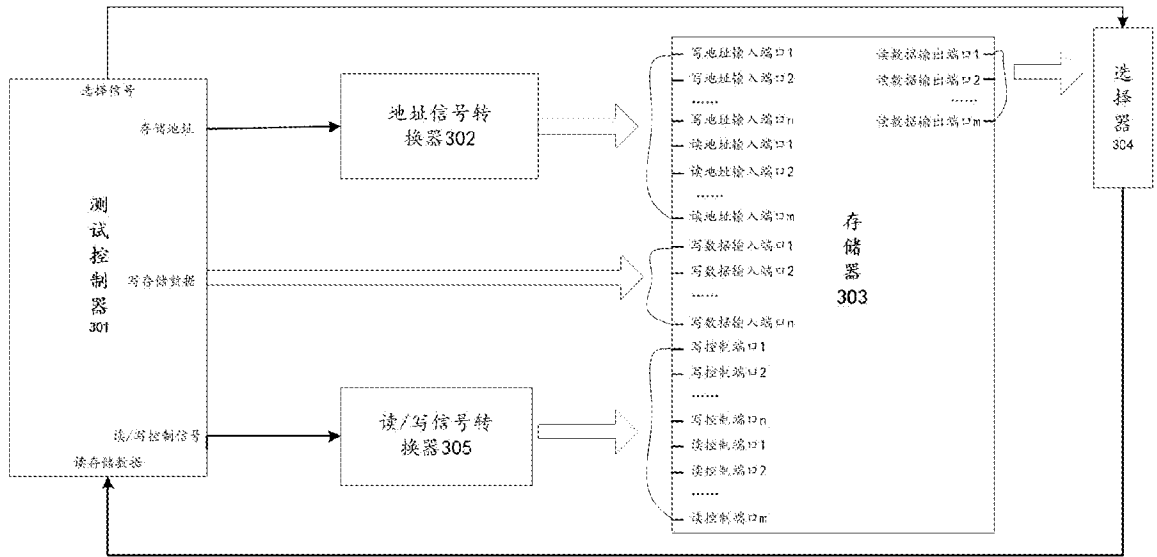


图 5

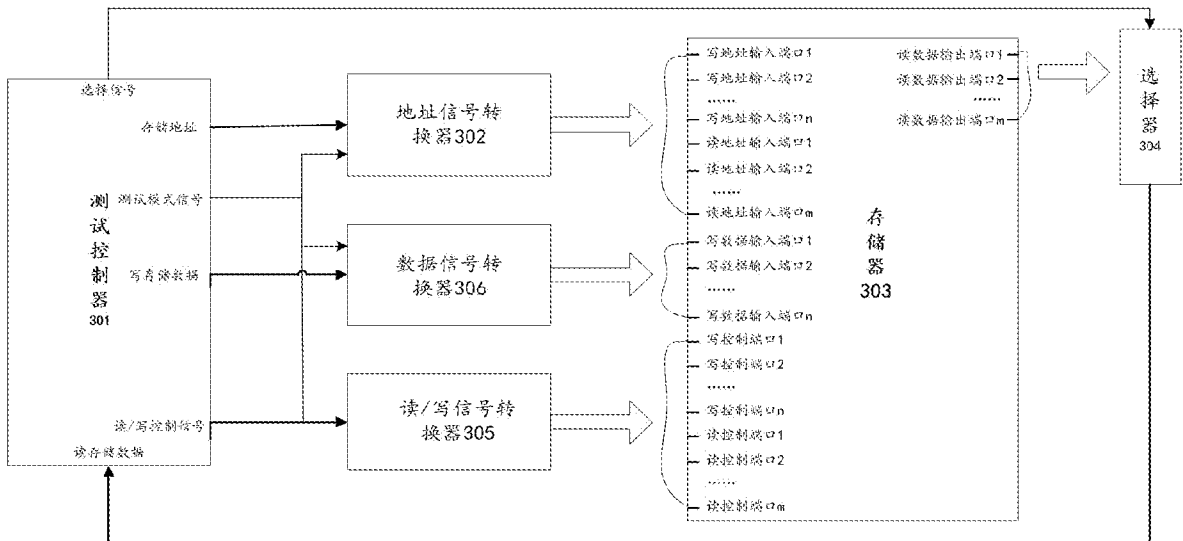


图 6

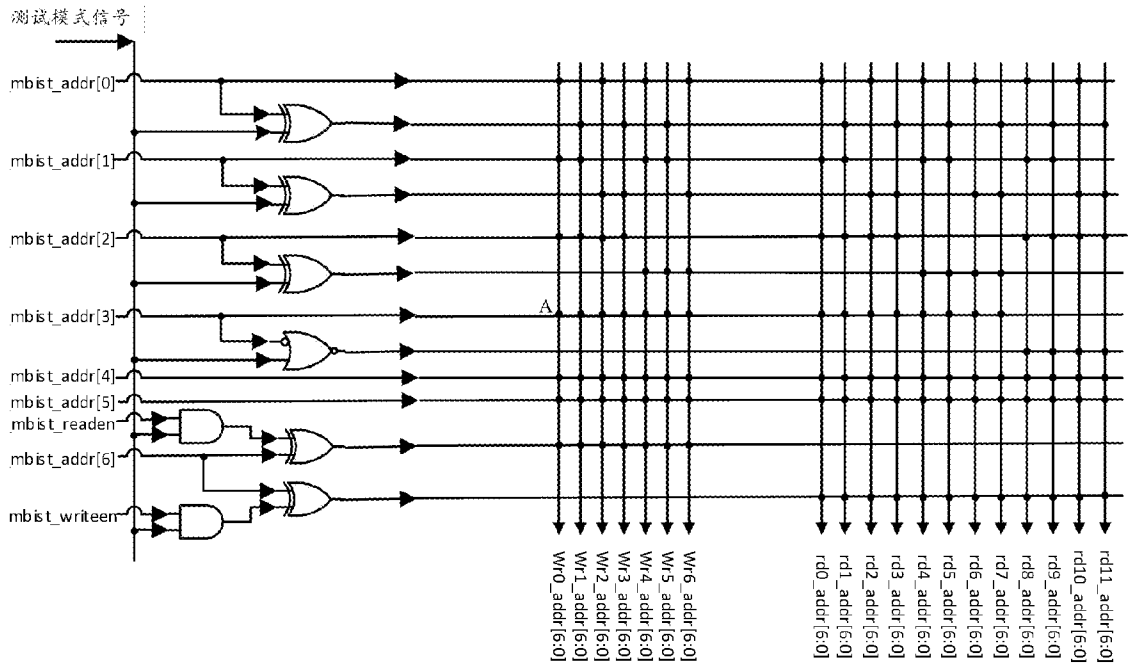


图 7

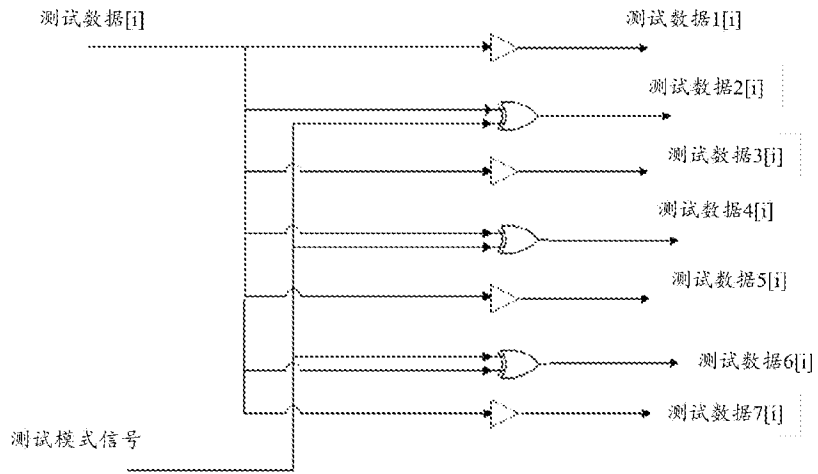


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/101781

A. CLASSIFICATION OF SUBJECT MATTER		
G11C 29/08(2006.01)j		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, EPODOC, IEEE, CNKI: 存储器, 测试, 自检测, 自测试, 电路, 多, 端口, 单端口, 地址, 转换, 扩展, 面积开销, BIST, memory, test, self-test, circuit, multiple, port, multi-port, single port, address, converter, convert, area cost		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003120974 A1 (CADENCE DESIGN SYSTEMS, INC.) 26 June 2003 (2003-06-26) description paragraphs [0046]-[0060], figure 2	1-10
A	CN 109903805 A (SHANGHAI INSTITUTE OF MICROSYSTEM AND INFORMATION TECHNOLOGY, CHINESE ACADEMY OF SCIENCES) 18 June 2019 (2019-06-18) entire document	1-10
A	CN 102013274 A (WUXI VIMICRO CORPORATION) 13 April 2011 (2011-04-13) entire document	1-10
A	CN 1920783 A (YINGYEDA CO., LTD.) 28 February 2007 (2007-02-28) entire document	1-10
A	US 6691264 B2 (LSI LOGIC CORPORATION) 10 February 2004 (2004-02-10) entire document	1-10
A	US 9946620 B2 (INVECAS, INC.) 17 April 2018 (2018-04-17) entire document	1-10
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
06 May 2020		21 May 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/ CN) No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/101781

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2003120974	A1	26 June 2003	US	7168005	B2	23 January 2007
CN	109903805	A	18 June 2019	None			
CN	102013274	A	13 April 2011	CN	102013274	B	07 August 2013
CN	1920783	A	28 February 2007	CN	100468349	C	11 March 2009
US	6691264	B2	10 February 2004	US	2002136066	A1	26 September 2002
US	9946620	B2	17 April 2018	US	2016224450	A1	04 August 2016

国际检索报告

国际申请号

PCT/CN2019/101781

<p>A. 主题的分类</p> <p>G11C 29/08 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPDOC, IEEE, CNKI: 存储器, 测试, 自检测, 自测试, 电路, 多, 端口, 单端口, 地址, 转换, 扩展, 面积开销, BIST, memory, test, self-test, circuit, multiple, port, multi-port, single port, address, converter, convert, area cost</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2003120974 A1 (CADENCE DESIGN SYSTEMS, INC.) 2003年 6月 26日 (2003 - 06 - 26) 说明书第[0046]-[0060]段, 图2</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 109903805 A (中国科学院上海微系统与信息技术研究所) 2019年 6月 18日 (2019 - 06 - 18) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 102013274 A (无锡中星微电子有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 1920783 A (英业达股份有限公司) 2007年 2月 28日 (2007 - 02 - 28) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 6691264 B2 (LSI LOGIC CORPORATION) 2004年 2月 10日 (2004 - 02 - 10) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 9946620 B2 (INVECAS, INC.) 2018年 4月 17日 (2018 - 04 - 17) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	US 2003120974 A1 (CADENCE DESIGN SYSTEMS, INC.) 2003年 6月 26日 (2003 - 06 - 26) 说明书第[0046]-[0060]段, 图2	1-10	A	CN 109903805 A (中国科学院上海微系统与信息技术研究所) 2019年 6月 18日 (2019 - 06 - 18) 全文	1-10	A	CN 102013274 A (无锡中星微电子有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文	1-10	A	CN 1920783 A (英业达股份有限公司) 2007年 2月 28日 (2007 - 02 - 28) 全文	1-10	A	US 6691264 B2 (LSI LOGIC CORPORATION) 2004年 2月 10日 (2004 - 02 - 10) 全文	1-10	A	US 9946620 B2 (INVECAS, INC.) 2018年 4月 17日 (2018 - 04 - 17) 全文	1-10
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
A	US 2003120974 A1 (CADENCE DESIGN SYSTEMS, INC.) 2003年 6月 26日 (2003 - 06 - 26) 说明书第[0046]-[0060]段, 图2	1-10																					
A	CN 109903805 A (中国科学院上海微系统与信息技术研究所) 2019年 6月 18日 (2019 - 06 - 18) 全文	1-10																					
A	CN 102013274 A (无锡中星微电子有限公司) 2011年 4月 13日 (2011 - 04 - 13) 全文	1-10																					
A	CN 1920783 A (英业达股份有限公司) 2007年 2月 28日 (2007 - 02 - 28) 全文	1-10																					
A	US 6691264 B2 (LSI LOGIC CORPORATION) 2004年 2月 10日 (2004 - 02 - 10) 全文	1-10																					
A	US 9946620 B2 (INVECAS, INC.) 2018年 4月 17日 (2018 - 04 - 17) 全文	1-10																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2020年 5月 6日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 5月 21日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>石爽</p> <p>电话号码 86-(10)-53961413</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/101781

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2003120974	A1	2003年 6月 26日	US	7168005	B2	2007年 1月 23日
CN	109903805	A	2019年 6月 18日	无			
CN	102013274	A	2011年 4月 13日	CN	102013274	B	2013年 8月 7日
CN	1920783	A	2007年 2月 28日	CN	100468349	C	2009年 3月 11日
US	6691264	B2	2004年 2月 10日	US	2002136066	A1	2002年 9月 26日
US	9946620	B2	2018年 4月 17日	US	2016224450	A1	2016年 8月 4日