

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4832004号  
(P4832004)

(45) 発行日 平成23年12月7日 (2011. 12. 7)

(24) 登録日 平成23年9月30日 (2011. 9. 30)

(51) Int. Cl.

F I

G 1 1 C 11/417 (2006. 01)

G 1 1 C 11/34 3 O 5

G 1 1 C 11/41 (2006. 01)

G 1 1 C 11/34 M

請求項の数 9 (全 17 頁)

|           |                               |           |                  |
|-----------|-------------------------------|-----------|------------------|
| (21) 出願番号 | 特願2005-169201 (P2005-169201)  | (73) 特許権者 | 000005821        |
| (22) 出願日  | 平成17年6月9日 (2005. 6. 9)        |           | パナソニック株式会社       |
| (65) 公開番号 | 特開2006-344303 (P2006-344303A) |           | 大阪府門真市大字門真1006番地 |
| (43) 公開日  | 平成18年12月21日 (2006. 12. 21)    | (74) 代理人  | 100077931        |
| 審査請求日     | 平成20年4月9日 (2008. 4. 9)        |           | 弁理士 前田 弘         |
|           |                               | (74) 代理人  | 100094134        |
|           |                               |           | 弁理士 小山 廣毅        |
|           |                               | (74) 代理人  | 100110939        |
|           |                               |           | 弁理士 竹内 宏         |
|           |                               | (74) 代理人  | 100110940        |
|           |                               |           | 弁理士 嶋田 高久        |
|           |                               | (74) 代理人  | 100113262        |
|           |                               |           | 弁理士 竹内 祐二        |
|           |                               | (74) 代理人  | 100115059        |
|           |                               |           | 弁理士 今江 克実        |

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

複数の第1および第2のビット線と、上記複数の第1および第2のビット線を所定の電位にプリチャージするプリチャージ回路と、それぞれ上記複数の第1または第2のビット線に接続され、選択状態になったときに、保持する信号に応じて、上記複数の第1または第2のビット線のうちプリチャージされたビット線の電荷を維持またはディスチャージする複数のメモリセルと、上記メモリセルを選択するワード線と、上記複数の第1のビット線のうちの少なくとも一部に接続された少なくとも1つの第1のリファレンスセルと、上記複数の第2のビット線のうちの少なくとも一部に接続された少なくとも1つの第2のリファレンスセルと上記第1のリファレンスセルを選択する第1のリファレンスセル用ワード線と、上記第2のリファレンスセルを選択する第2のリファレンスセル用ワード線と、を備え

ン、

上記複数の第1のビット線のうちの上記第1のリファレンスセルが接続されたビット線の電位がディスチャージにより所定の電位に低下したときに、上記第2の各ビット線のプリチャージが開始され、上記複数の第2のビット線のうちの上記第2のリファレンスセルが接続されたビット線

10

20

の電位がディスチャージにより所定の電位に低下したときに、上記第1の各ビット線のプリチャージが開始され、

上記複数の第1のビット線と上記複数の第2のビット線は、互いに上記プリチャージ回路を挟んで配置されるように構成されたことを特徴とする半導体記憶装置。

【請求項2】

複数の第1のビット線と、

複数の第2のビット線と、

上記第1および第2のビット線を所定の電位にプリチャージするプリチャージ回路と、それぞれ上記第1または第2のビット線に接続され、選択状態になったときに、保持する信号に応じて、プリチャージされた上記第1または第2のビット線の電荷を維持または

10

ディスチャージする複数のメモリセルと、

上記メモリセルを選択するワード線と、

上記複数の第1のビット線にそれぞれ接続された複数の第1のリファレンスセルと、

上記複数の第2のビット線にそれぞれ接続された複数の第2のリファレンスセルと、

上記複数の第1のリファレンスセルを選択する第1のリファレンスセル用ワード線と、

上記複数の第2のリファレンスセルを選択する第2のリファレンスセル用ワード線とを

備え、  
上記複数の第1のリファレンスセルが接続された上記複数の第1のビット線の電位がデ  
ィスチャージにより所定の電位に低下したときに、上記第2の各ビット線のプリチャージ  
が開始され、

20

上記複数の第2のリファレンスセルが接続された上記複数の第2のビット線の電位がデ  
ィスチャージにより所定の電位に低下したときに、上記第1の各ビット線のプリチャージ  
が開始されるように構成されたことを特徴とする半導体記憶装置。

【請求項3】

請求項1または2の半導体記憶装置であって、

上記メモリセル、および第1、第2のリファレンスセルは、それぞれ上記第1または第2のビット線の電荷をディスチャージするMIS型トランジスタを有し、

上記リファレンスセルのMIS型トランジスタのゲート幅が、上記メモリセルのMIS型トランジスタのゲート幅よりも短いことを特徴とする半導体記憶装置。

【請求項4】

30

請求項1または2の半導体記憶装置であって、

上記メモリセル、および第1、第2のリファレンスセルは、それぞれ上記第1または第2のビット線の電荷をディスチャージするMIS型トランジスタを有し、

上記リファレンスセルのMIS型トランジスタのゲート長が、上記メモリセルのMIS型トランジスタのゲート長よりも長いことを特徴とする半導体記憶装置。

【請求項5】

請求項1または2の半導体記憶装置であって、

上記メモリセル、および第1、第2のリファレンスセルは、それぞれ上記第1または第2のビット線の電荷をディスチャージするMIS型トランジスタを有し、

上記リファレンスセルのMIS型トランジスタの閾値電圧が、上記メモリセルのMIS型トランジスタの閾値電圧よりも高いことを特徴とする半導体記憶装置。

40

【請求項6】

請求項1または2の半導体記憶装置であって、

上記メモリセル、および第1、第2のリファレンスセルは、それぞれ上記第1または第2のビット線の電荷をディスチャージするMIS型トランジスタを有し、

上記リファレンスセルのMIS型トランジスタの基板電位が、上記メモリセルのMIS型トランジスタの基板電位よりも、ディスチャージ電流が小さくなる電位になるように設定されていることを特徴とする半導体記憶装置。

【請求項7】

請求項1または2の半導体記憶装置であって、

50

上記メモリセル、および第1、第2のリファレンスセルは、それぞれ上記第1または第2のビット線の電荷をディスチャージするスイッチング素子を有し、

ディスチャージが開始される際の上記リファレンスセルのスイッチング素子の両端間の電位差が、上記メモリセルのスイッチング素子の両端間の電位差よりも小さくなるように構成されていることを特徴とする半導体記憶装置。

【請求項8】

請求項1または2の半導体記憶装置であって、

上記第1および第2のビット線に、スイッチ素子を介して容量素子が接続されていることを特徴とする半導体記憶装置。

【請求項9】

請求項1または2の半導体記憶装置であって、

さらに、それぞれ上記第1および第2のビット線に接続された読み出し用のバッファを有し、

上記リファレンスセルが、上記メモリセルよりも上記バッファから遠い位置に配置されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビット線を所定の電位にプリチャージした後、記憶データに応じてディスチャージすることによりデータの読み出しを行う、いわゆるシングルビット線方式の半導体記憶装置に関するものである。

【背景技術】

【0002】

シングルビット線方式の半導体記憶装置は、ビット線を所定の電位にプリチャージした後、記憶データに応じてディスチャージすることによりデータの読み出しを行うようになっている（例えば、特許文献1参照。）。この種の半導体記憶装置は、同文献の図1に示されるように、インバータINVSA1およびPMOSトランジスタPTSA1を有するセンスアンプSAを備えている。上記PMOSトランジスタPTSA1は、出力データDATAがL（Low）レベルとなるようなデータが読み出される場合に、ビット線電位をH（High）レベルに保つようになっている。

【特許文献1】特開平7-153272号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、上記のようなPMOSトランジスタPTSA1が設けられた半導体記憶装置は、ビット線がプリチャージされた時点でPMOSトランジスタPTSA1がビット線電位をHレベルに保つように働くため、ビット線電位がLレベルとなるようなデータが読み出される際にビット線電位の低下が妨げられ、読み出し速度が遅くなるという問題点を有していた。この問題点は、電源電圧の低電圧化が図られる場合には、一層顕著となる。

【0004】

本発明は、上記の点に鑑み、読み出しデータに誤りを生じることなく、読み出し動作の高速化を図ることを目的としている。

【課題を解決するための手段】

【0005】

上記の課題を解決するため、本発明の半導体記憶装置は、

複数の第1および第2のビット線と、

上記複数の第1および第2のビット線を所定の電位にプリチャージするプリチャージ回路と、

それぞれ上記複数の第1または第2のビット線に接続され、選択状態になったときに、

10

20

30

40

50

保持する信号に応じて、上記複数の第1または第2のビット線のうちプリチャージされたビット線の電荷を維持またはディスチャージする複数のメモリセルと、

上記メモリセルを選択するワード線と、

上記複数の第1のビット線のうちの少なくとも一部に接続された少なくとも1つの第1のリファレンスセルと、

上記複数の第2のビット線のうちの少なくとも一部に接続された少なくとも1つの第2のリファレンスセルと

上記第1のリファレンスセルを選択する第1のリファレンスセル用ワード線と、

上記第2のリファレンスセルを選択する第2のリファレンスセル用ワード線と、を備え

、

上記複数の第1のビット線のうちの上記第1のリファレンスセルが接続されたビット線の電位がディスチャージにより所定の電位に低下したときに、上記第2の各ビット線のプリチャージが開始され、

上記複数の第2のビット線のうちの上記第2のリファレンスセルが接続されたビット線の電位がディスチャージにより所定の電位に低下したときに、上記第1の各ビット線のプリチャージが開始され、

上記複数の第1のビット線と上記複数の第2のビット線は、互いに上記プリチャージ回路を挟んで配置されるように構成されたことを特徴とする。

#### 【0006】

これにより、リファレンスセルのディスチャージによるビット線電位の低下に応じて、プリチャージ動作や読み出し動作など、種々のタイミング制御を適切に行うことが容易にできる。特に、上記タイミング制御によって所定の時間だけプリチャージ動作を停止させたり読み出し動作が行われるようにすることができる。それゆえ、記憶データに応じたビット線電位の低下を速やかに行わせて高速な読み出し動作を行わせたり、リーク電流等に起因するビット線電位の低下によって読み出しデータに誤りが生じるのを防止したりすることなどが容易に可能になる。

#### 【0007】

また、

複数の第1のビット線と、

複数の第2のビット線と、

上記第1および第2のビット線を所定の電位にプリチャージするプリチャージ回路と、

それぞれ上記第1または第2のビット線に接続され、選択状態になったときに、保持する信号に応じて、プリチャージされた上記第1または第2のビット線の電荷を維持またはディスチャージする複数のメモリセルと、

上記メモリセルを選択するワード線と、

上記複数の第1のビット線にそれぞれ接続された複数の第1のリファレンスセルと、

上記複数の第2のビット線にそれぞれ接続された複数の第2のリファレンスセルと、

上記複数の第1のリファレンスセルを選択する第1のリファレンスセル用ワード線と、

上記複数の第2のリファレンスセルを選択する第2のリファレンスセル用ワード線とを備え、

上記複数の第1のリファレンスセルが接続された上記複数の第1のビット線の電位がディスチャージにより所定の電位に低下したときに、上記第2の各ビット線のプリチャージが開始され、

上記複数の第2のリファレンスセルが接続された上記複数の第2のビット線の電位がディスチャージにより所定の電位に低下したときに、上記第1の各ビット線のプリチャージが開始されるように構成されたことを特徴とする。

#### 【0008】

これによっても、やはり、記憶データに応じたビット線電位の低下を速やかに行わせて高速な読み出し動作を行わせたり、リーク電流等に起因するビット線電位の低下によって読み出しデータに誤りが生じるのを防止したりすることなどが容易に可能になる。

## 【発明の効果】

## 【0009】

本発明によれば、記憶データに応じて、ビット線電位を速やかに低下させて高速な読み出し動作をさせる一方、リーク電流等に起因するビット線電位の低下によって読み出しデータに誤りが生じるのを防止したりすることが容易に可能になる。

## 【発明を実施するための最良の形態】

## 【0010】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、以下の各実施形態において、他の実施形態と同様の機能を有する構成要素については同一の符号を付して説明を省略する。

10

## 【0011】

## 《発明の実施形態1》

図1は、本発明の実施形態1の半導体集積回路の構成を示す回路図である。なお、以下の図においては、書き込みに関する回路は省略する。

## 【0012】

同図において、CELL(1, 1)～CELL(m, n)は、m行n列のマトリクス状に配置されたメモリセルである。各メモリセルは、具体的には、2つのインバータINV1・INV2と、2つのNチャネルトランジスタNTR1・NTR2とから構成され、後述するワード線がH(High)レベルになったときに、インバータINV1・INV2にラッチされた信号に応じて、各ビット線の電荷を維持またはディスチャージするようになっている。

20

## 【0013】

BIT1～BITnは、ビット線である。

## 【0014】

RWL1～RWLnは、半導体記憶装置の外部から指定される図示しないアドレス信号に基づいて何れかがHレベルになるワード線である。

## 【0015】

PGENは、プリチャージ信号PCに基づいて、クロック周波数（読み出しサイクルタイム）に依存しない所定の時間だけHレベルになるプリチャージパルス信号PCGを出力するパルス信号発生回路である。

30

## 【0016】

BUF1～BUFnは、メモリセルCELL(1, 1)～CELL(m, n)の記憶データに基づくビット線BIT1～BITnの電位に応じて読み出しデータ信号DO1～DONを出力する出力回路である。この出力回路BUF1～BUFnは、具体的には、プリチャージトランジスタPTRと、トライステートインバータTINVと、3つのインバータINV3～INV5とから構成されている。上記プリチャージトランジスタPTRは、プリチャージパルス信号PCGがL(Low)レベルのときに、ビット線BIT1～BITnをプリチャージするようになっている。また、トライステートインバータTINVは、プリチャージパルス信号PCGがHレベルからLレベルになる直前のビット線BIT1～BITnの電位に応じた信号をインバータINV3・INV4に保持させ、読み出しデータ信号DO1～DONを出力させるようになっている。

40

## 【0017】

上記のように構成された半導体記憶装置の読み出し動作を図2に示すタイミングチャートに基づいて説明する。ここで、以下では、第1の読み出しサイクルで、ワード線RWL1に接続されたメモリセルCELL(1, 1)～CELL(1, n)の記憶データが読み出され、第2の読み出しサイクルで、ワード線RWL2に接続されたメモリセルCELL(2, 1)～CELL(2, n)の記憶データが読み出される場合を例に挙げて説明する。また、メモリセルCELL(1, 1)には、ビット線BIT1の電荷をディスチャージするような信号が保持され（例えばデータ「0」が記憶され）、メモリセルCELL(2, 1)には、ビット線BIT2の電荷を維持するような信号が保持されている（例えばデ

50

ータ「1」が記憶されている)として説明する。

#### 【0018】

(第1の読み出しサイクル以前)

プリチャージ信号PCがLレベルにされることによって、ビット線BIT1…の電位は出力回路BUF1のプリチャージトランジスタPTRによって電源電位にプリチャージされる。

#### 【0019】

(第1の読み出しサイクル)

第1の読み出し期間が始まり、プリチャージ信号PCがHレベルになると、所定の時間だけ、プリチャージパルス信号PCGがHレベルになり、プリチャージ動作が解除される。また、同時にアドレス信号に基づいて選択されるワード線RWL1が活性化されると、例えば読み出しデータ信号DO1は、一時的にHレベルとなる。ところが、ビット線BIT1の電荷は、メモリセルCELL(1, 1)のNチャネルトランジスタNTR1・NTR2を介してディスチャージされ、やがてビット線BIT1の電位が所定のレベルまで低下すると、読み出しデータ信号DO1はLレベルになる。

#### 【0020】

次に、プリチャージパルス信号PCGがHレベルになってから所定の時間だけ経過して、プリチャージパルス信号PCGがLレベルに戻ると、トライステートインバータTINVの出力がハイインピーダンスとなり、その直前の状態がインバータINV3・INV4に保持されて、読み出しデータ信号DO1はLレベルに保たれる。

#### 【0021】

また、プリチャージパルス信号PCGがLレベルに戻ることによって、プリチャージトランジスタPTRがONになり、次の読み出し動作のためのビット線BIT1等のプリチャージが行われる。

#### 【0022】

(第2の読み出しサイクル)

上記第1の読み出しサイクルと同様に、プリチャージ信号PCがHレベルになってプリチャージ動作が解除される。また、ワード線RWL2が活性化されると、読み出しデータ信号DO1はHレベルとなる。また、メモリセルCELL(2, 1)にはデータ「1」が記憶されているとNチャネルトランジスタNTR2はOFFであるため、ビット線BIT1の電荷はディスチャージされず(リーク電流を考慮すればわずかにディスチャージされるが)、読み出しデータ信号DO1はHレベルのままになる。

#### 【0023】

さらに、プリチャージパルス信号PCGがHレベルになってから所定の時間だけ経過して、プリチャージパルス信号PCGがLレベルに戻ると、トライステートインバータTINVの出力がハイインピーダンスとなり、その直前の状態がインバータINV3・INV4に保持されて、やはり、読み出しデータ信号DO1はHレベルに保たれる。

#### 【0024】

上記のように、プリチャージ動作をクロック周波数に依存しない所定の時間だけ解除してビット線への電荷の供給を停止させることにより、記憶データに応じたディスチャージが速やかに行われるとともに、(ビット線の電荷を維持するキープ回路等が設けられていなくても)リーク電流による誤動作が防止される。それゆえ、電源電圧が低電圧に設定される場合などでも、読み出し動作を容易に高速化し、かつ誤動作を防止することができる。特に、ビット線に接続されるメモリが比較的少なく閾値電圧が比較的高めに設定されたメモリセルを有するシングルビット線方式の半導体記憶装置などでは、ビット線がHレベルになるデータが読み出される場合のリーク電流によるビット線の電位変動が少ないので、上記のような一定期間のプリチャージ動作停止による高速化および誤動作防止が一層容易に可能になる。

#### 【0025】

《発明の実施形態2》

10

20

30

40

50

プリチャージ動作の停止期間および記憶データの読み出し動作期間が、より適切に制御される半導体記憶装置の例を説明する。この半導体記憶装置では、メモリセルに類似した構成のリファレンスセルによってビット線の電荷をディスチャージし、そのときのビット線電位の低下タイミングに応じて、読み出し動作期間が制御されるようになっている。

【0026】

図3は、本発明の実施形態2の半導体集積回路の構成を示す回路図である。

【0027】

この半導体記憶装置には、前記実施形態1と同様のメモリセルアレイが2組（メモリセルアレイU・L）設けられている。上記メモリセルアレイU・Lは、それぞれ、メモリセルCELLU(1, 1)～CELLU(m, n)またはメモリセルCELLL(1, 1)～CELLL(m, n)と、ビット線BITU1～BITUnまたはビット線BITL1～BITLnと、ワード線RWLU1～RWLUmまたはワード線RWLL1～RWLLmとを有している。

10

【0028】

また、実施形態1の出力回路BUF1～BUFnとパルス信号発生回路PGENとに代えて、後に詳述する出力制御回路101が設けられている。

【0029】

さらに、各ビット線組BITU1～BITUn、BITL1～BITLnのうちの1つずつ（例えばビット線BITUn・BITLn）には、リファレンスセルRCCELLU・RCCELLLが接続される一方、他のビット線には、ダミーセルDCELLU1～DCELLUn-1・DCELLL1～DCELLLn-1が接続され、リファレンスワード線RWLUREF・RWLLREFによって選択されるようになっている。

20

【0030】

上記リファレンスセルRCCELLU・RCCELLLは、他の通常のメモリセルCELLU(1, 1)…と類似した構成を有しているが、リファレンスワード線RWLUREF・RWLLREFによって選択されたときに、常に、ビット線BITUn・BITLnの電荷をディスチャージする状態にされている（ただし後述するようにディスチャージ電流はメモリセルCELLU(1, 1)…よりもわずかに少なくなるように設定されている。）。一方、ダミーセルDCELLU1…は、リファレンスワード線RWLUREF・RWLLREFによる駆動状態を他のワード線RWLU1…と同様にするために設けられ、例えば常にビット線BITU1…の電荷をディスチャージしない状態にされている。

30

【0031】

ここで、一方のメモリセルアレイUが選択されてデータが読み出される際、すなわちメモリセルアレイUのワード線RWLU1～RWLUmのうちの何れか1つが活性化される際には、同時に他方のメモリセルアレイLのリファレンスワード線RWLLREFが活性化されるように制御されるようになっている（換言すればメモリセルアレイUのリファレンスワード線RWLUREF、およびメモリセルアレイLの全てのワード線RWLL1～RWLLmは何れも活性化されない。）。同様に、メモリセルアレイLのワード線RWLL1～RWLLmのうちの何れか1つが活性化される際には、同時にメモリセルアレイUのリファレンスワード線RWLUREFも活性化されるように制御されるようになっている（メモリセルアレイLのリファレンスワード線RWLLREF、およびメモリセルアレイUの全てのワード線RWLU1～RWLUmは何れも活性化されない。）。

40

【0032】

また、上記リファレンスセルRCCELLU・RCCELLLのディスチャージ電流をメモリセルCELLU(1, 1)…よりも（わずかに）少なくするための設定方法は特に限定されないが、例えば以下のようにして行うことができる。

【0033】

例えばリファレンスセルおよびメモリセルが、それぞれビット線に直列に接続されるNチャネルMOSトランジスタを介してビット線の電荷をディスチャージするように構成されている場合、リファレンスセルにおけるNチャネルMOSトランジスタについて、メモ

50

リセルのNチャネルMOSトランジスタよりも、ゲート幅を短くしたり、ゲート長を長くしたり、閾値電圧が高くなるようにしたり、基板電位が低くなるようにしたりすればよい。また、上記NチャネルMOSトランジスタのソース電位が高くなるように（すなわちディスチャージが開始される際のビット線とディスチャージ先との間の電位差が小さくなるように）したり、上記NチャネルMOSトランジスタをON状態に保つインバータ（より詳しくは例えばインバータを構成するPチャネルMOSトランジスタ）に供給される電源電圧が低くなるようにしたりしてもよい。さらに、これらを種々組み合わせてもよく、また、他のチャネルのMOSトランジスタや他の種類のMISトランジスタなどが用いられる場合でも同様に設定すればよい。

**【0034】**

10

上記出力制御回路101は、プリチャージトランジスタPU1～PU<sub>n</sub>・PL1～PL<sub>n</sub>と、パルス信号発生回路PGEN'と、出力回路BUF1'～BUF<sub>n</sub>'とが設けられて構成されている。

**【0035】**

プリチャージトランジスタPU1…は、実施形態1のプリチャージトランジスタPTRと同様のものである。

**【0036】**

パルス信号発生回路PGEN'は、一方のメモリセルアレイから読み出しが行われる際に、他方のメモリセルアレイのリファレンスセルが接続されたビット線の電位に応じて、プリチャージ動作の停止および読み出し動作が行われる期間を制御するようになっている。より詳しくは、例えばアドレス信号ビットADD（例えばアドレス信号の最上位の1ビット）がHレベルになってメモリセルアレイUが選択され、プリチャージ信号PCがHレベルになると、プリチャージパルス信号PCGUをHレベルにして、プリチャージトランジスタPU1…によるビット線BITU1…のプリチャージ動作を停止させ、データの読み出しを開始させた後、選択されていない方のメモリセルアレイLのビット線BITLnの電位がリファレンスセルRCCELLのディスチャージによってLレベルに低下したときに、プリチャージパルス信号PCGUをLレベルにして、次のプリチャージ動作を開始させ、読み出し動作を停止させるようになっている。また、メモリセルアレイLが選択されてデータが読み出される際には、同様にして、メモリセルアレイUのビット線BITUnの電位低下に応じて、ビット線BITL1…のプリチャージ動作および読み出し動作を制御するようになっている。

20

30

**【0037】**

出力回路BUF1'～BUF<sub>n</sub>'は、図3に出力回路BUF1'の具体的な例を示すように、バッファ初期化信号DCがHレベルになったときに内部のラッチ回路が初期化されて読み出しデータ信号DO1がHレベルになった後、アドレス信号ビットADDに応じて選択されるビット線BITU1またはBITL1の電位が記憶データに基づいてLレベルになると、読み出しデータ信号DO1がLレベルに切り替わるようになっている。

**【0038】**

ここで、上記メモリセルアレイU・L等は、例えば半導体集積回路上で同一または対称な配置パターンに形成されることが好ましい。また、リファレンスセルRCCELLU等は、出力回路BUF<sub>n</sub>'に対してCELLU等よりも遠い位置に配置されることが好ましい。また、メモリセルアレイは3組以上設けられてもよく、読み出しが行われるメモリセルアレイとは異なるメモリセルアレイのリファレンスセルによってプリチャージ動作等のタイミングが制御されるようになっていればよい。

40

**【0039】**

上記のように構成された半導体記憶装置の読み出し動作を図4に示すタイミングチャートに基づいて説明する。

**【0040】**

ここで、以下では、第1の読み出しサイクルで、一方のメモリセルアレイUのメモリセルCELLU(1,1)～CELLU(1,n)の記憶データが読み出され、第2の読み

50

出しサイクルで、他方のメモリセルアレイ L のメモリセル C E L L L ( 1 , 1 ) ~ C E L L L ( 1 , n ) の記憶データが読み出される場合を例に挙げて説明する。

【 0 0 4 1 】

また、メモリセルの記憶データは、例えばメモリセル C E L L U ( 1 , 1 ) では「 0」、メモリセル C E L L U ( 1 , n ) では「 1」、メモリセル C E L L L ( 1 , 1 ) では「 1」、メモリセル C E L L L ( 1 , n ) では「 0」であるとして説明する。

【 0 0 4 2 】

(第 1 の読み出しサイクル以前)

プリチャージ信号 P C が L レベルにされることによって、全てのビット線 B I T U 1 ・ B I T L 1 … の電位が、プリチャージトランジスタ P U 1 ・ P L 1 … によって電源電位にプリチャージされる。

【 0 0 4 3 】

また、バッファ初期化信号 D C が一旦 H レベルにされることによって、全ての読み出しデータ信号 D O 1 … が H レベルになるように初期化される。

【 0 0 4 4 】

(第 1 の読み出しサイクル)

上記プリチャージによってビット線 B I T L n が (他のビット線 B I T L 1 … と同様に) H レベルになっている状態で、プリチャージ信号 P C が H レベルになると、プリチャージパルス信号 P C G U が H レベルになる。

【 0 0 4 5 】

また、ビット線 B I T U n も (他のビット線 B I T U 1 … と同様に) 上記プリチャージによって H レベルになっているとともに、メモリセルアレイ U から記憶データが読み出される場合にはアドレス信号ビット A D D が H レベルになるので、これらとプリチャージ信号 P C が H レベルになることとによって、プリチャージパルス信号 P C G L も H レベルになる。そこで、全てのプリチャージトランジスタ P U 1 ・ P L 1 … が O F F 状態になってプリチャージが解除される。

【 0 0 4 6 】

また、メモリセル C E L L U ( 1 , 1 ) ~ C E L L U ( 1 , n ) に記憶された情報の読み出しのために、ワード線 R W L U 1 が H レベルにされると、例えば、「 0」が記憶されているメモリセル C E L L U ( 1 , 1 ) に接続されたビット線 B I T U 1 等に蓄積された電荷のディスチャージが開始される一方、「 1」が記憶されているメモリセル C E L L U ( 1 , n ) に接続されたビット線 B I T U n 等は、ディスチャージされない。また、同時に、データの読み出しが行われない方のメモリセルアレイ L では、リファレンスワード線 R W L L R E F が H レベルにされ、リファレンスセル R C E L L L によって、ビット線 B I T L n のディスチャージが開始される。

【 0 0 4 7 】

上記のように、プリチャージが解除された状態でディスチャージが行われるので、「 1」が記憶されているメモリセルに接続された例えばビット線 B I T U 1 の電位は速やかに低下する。一方、「 0」が記憶されているメモリセルに接続された例えばビット線 B I T U n は、リーク電流によるわずかな電位の低下しか生じない。やがて、ビット線 B I T U 1 等の電位が L レベルまで低下すると、読み出しデータ信号 D O 1 等が L レベルになる。また、次いでビット線 B I T L n がリファレンスセル R C E L L L のディスチャージによって L レベルになると、プリチャージパルス信号 P C G U が L レベルになり、次のプリチャージ動作が行われる。それゆえ、「 0」が記憶されている場合でも、リーク電流によってビット線の電位が低下することによる誤動作も防止される。すなわち、プリチャージパルス信号 P C G U が L レベルになる時点までに、ビット線 B I T U 1 のように電位が L レベルまで低下していれば、読み出しデータ信号 D O 1 は L レベルになる一方、ビット線 B I T U n のように低下していなければ、読み出しデータ信号 D O n は H レベルが維持され、メモリセルアレイ U の記憶データに応じた読み出しデータ信号 D O 1 … のレベルが確定し、メモリセルアレイ U の読み出し動作が完了する。

10

20

30

40

50

## 【0048】

第1の読み出しサイクルが終了する際には、上記のようにメモリセルアレイUのビット線BITU1…のプリチャージが行われているとともに、プリチャージ信号PCがHレベルになることによってメモリセルアレイLのビット線BITL1…のプリチャージも行われる。また、バッファ初期化信号DCが再度Hレベルにされることによって全ての読み出しデータ信号DO1…がHレベルになるように初期化される。

## 【0049】

(第2の読み出しサイクル)

上記第1の読み出しサイクルと同様に、プリチャージ信号PCがHレベルになるとともに、メモリセルアレイLから記憶データが読み出されるためにアドレス信号ビットADDがLレベルになると、プリチャージパルス信号PCGU・PCGLがHレベルになってプリチャージが解除される。

10

## 【0050】

また、ワード線RWLL1がHレベルにされると、例えば、「1」が記憶されているメモリセルCELL(1, 1)に接続されたビット線BITL1等はディスチャージされない一方、「0」が記憶されているメモリセルCELL(1, n)に接続されたビット線BITLn等は、ディスチャージが開始される。また、同時に、データの読み出しが行われない方のメモリセルアレイUでは、リファレンスワード線RWLUREFがHレベルにされ、リファレンスセルRCCELLUによって、ビット線BITUnのディスチャージが開始される。

20

## 【0051】

やがて、ビット線BITLn等の電位がLレベルまで低下すると、読み出しデータ信号DO n等がLレベルになる。また、次いでビット線BITUnがリファレンスセルRCCELLUのディスチャージによってLレベルになると、プリチャージパルス信号PCGLがLレベルになり、次のプリチャージ動作が行われるとともに、メモリセルアレイLの読み出し動作が完了する。

## 【0052】

上記のように、メモリセルと同じような電流駆動能力（ディスチャージ能力）を有するリファレンスセルのディスチャージに基づいて読み出し動作タイミングの制御が高い精度で行われることによって、必要最低限の期間だけプリチャージ動作を停止させることが容易にでき、より確実に、記憶データに応じた速やかなディスチャージが行われるとともにリーク電流による誤動作の防止が行われるので、読み出し動作を一層高速化することが容易にできる。

30

## 【0053】

《発明の実施形態3》

プリチャージ動作の停止期間および記憶データの読み出し動作期間が、より一層適切に制御される半導体記憶装置の例を説明する。

## 【0054】

この半導体記憶装置は、前記実施形態2の半導体記憶装置と比べて、図5に示すように、ダミーセルDCCELLU1~DCCELLUn-1・DCCELLL1~DCCELLLn-1は設けられず、全てのビット線BITU1~BITUn・BITL1~BITLnに、リファレンスセルRCCELLU1~RCCELLUn・RCCELLL1~RCCELLLnが接続されている。

40

## 【0055】

また、パルス信号発生回路PGEN'に代えて、パルス信号発生回路PGEN"が設けられ、例えばメモリセルアレイUからデータが読み出される場合には、ビット線BITL1~BITLnの電荷がディスチャージされて何れのビット線電位も所定のレベルまで低下したタイミングで、プリチャージパルス信号PCGUがHレベルになって読み出し動作の停止および次のプリチャージ動作の開始がなされるようになっている。

## 【0056】

50

以下、主として前記実施形態 2 と異なる具体的な読み出し動作について、図 6 に基づいて説明する。

【0057】

ここで、以下では、第 1、第 2 の読み出しサイクル共に一方のメモリセルアレイ U が選択されてアクセスされ、第 1 の読み出しサイクルでは、ワード線 RWLU1 に接続されたメモリセル CELLU (1, 1) ~ CELLU (1, n) の記憶データが読み出され、第 2 の読み出しサイクルでは、ワード線 RWLU2 に接続されたメモリセル CELLU (2, 1) ~ CELLU (2, n) の記憶データが読み出される場合を例に挙げて説明する。

【0058】

また、メモリセルの記憶データは、例えばメモリセル CELLU (1, 1) では「0」、メモリセル CELLU (2, 1) では「1」として説明する。

【0059】

(第 1 の読み出しサイクル)

実施形態 2 と同様に、プリチャージ信号 PC が H レベルになるとプリチャージパルス信号 PCGU・PCGL が H レベルになってプリチャージが解除されるとともに、ワード線 RWLU1 が H レベルにされると、メモリセルアレイ U のメモリセル CELLU (1, 1) に接続されたビット線 BITU1 等のディスチャージが開始されビット線電位が速やかに低下し、読み出しデータ信号 DO1 等が L レベルになる。

【0060】

一方、メモリセルアレイ L では、リファレンスワード線 RWLLREF が H レベルにされ、リファレンスセル RCELLL1 ~ RCELLLn によって、メモリセルアレイ L の全てのビット線 BITL1 ~ BITLn のディスチャージが開始される。ここで、例えば、リファレンスセル RCELLLn の電流駆動能力がリファレンスセル RCELLL1 等よりも低い場合や、ビット線 BITLn の配線容量がビット線 BITL1 等よりも大きい場合などには、ビット線 BITLn の電位は図 6 に破線で示すようにビット線 BITL1 などの電位よりも緩やかに低下する。このような場合、全てのビット線電位が L レベルになったときに、パルス信号発生回路 PGEN から出力されるプリチャージパルス信号 PCGU が L レベルになって、メモリセルアレイ U の各ビット線 BITU1 ~ BITUn のプリチャージ動作が開始される。すなわち、メモリセルアレイ L の各ビット線 BITL1 ~ BITLn の電位が低下するタイミングのうち、最も遅いタイミングで、メモリセルアレイ U の読み出し動作が完了する。

【0061】

(第 2 の読み出しサイクル)

第 2 の読み出しサイクルで、メモリセルアレイ U のワード線 RWLU2 に接続されたメモリセル CELLU (2, 1) ~ CELLU (2, n) の記憶データが読み出されるとすると、ワード線 RWLU2 が H レベルにされる。このとき、メモリセル CELLU (2, 1) の記憶データが「1」であれば、ビット線 BITU1 の電位はリークによってわずかに低下するだけで、読み出しデータ信号 DO1 は H レベルに維持される。

【0062】

また、第 1 の読み出しサイクルと同様に、リファレンスワード線 RWLLREF が H レベルにされると、ビット線 BITL1 ~ BITLn がリファレンスセル RCELLL1 ~ RCELLLn によってディスチャージされ、やはり、最も遅く電位が低下するビット線のタイミングに応じてメモリセルアレイ U の読み出し動作が完了し、早期にプリチャージ動作が開始されることによる誤動作が防止される。

【0063】

上記のように、リファレンスセルのディスチャージによる最も遅いタイミングに基づいて、読み出し動作のタイミングが制御されることによって、ビット線電位がリーク電流によって短時間に低下することによる誤動作を防ぐとともに、製造ばらつきがある場合などでも、ビット線電位が十分に低下しないうちに次のプリチャージ動作が開始されることによる誤動作をより確実に防止することができる。

## 【0064】

## 《発明の実施形態4》

リファレンスセルでディスチャージされるビット線の電位の低下程度をデータが読み出されるビット線よりも確実に緩やかにするためには、図7に示すように、実施形態3等の構成に加えて、さらに、容量部CAPU1～CAPUn・CAPL1～CAPLn、および各容量部CAPU1…をスイッチ制御信号CAPUS・CAPLSに応じてビット線BITU1…に接続するスイッチ回路SWU1～SWUn・SWL1～SWLnを設けてもよい。

## 【0065】

記憶データの読み出し動作が行われる際に、例えばメモリセルアレイUがアクセスされる場合は、上記スイッチ制御信号CAPUSがLレベル、CAPLSがHレベルとされる一方、メモリセルアレイLがアクセスされる場合は、スイッチ制御信号CAPLSがLレベル、CAPUSがHレベルとされることによって、リファレンスセルによってディスチャージされる方のビット線容量が増大するので、ディスチャージ動作を遅らせることができる。

10

## 【0066】

それゆえ、アクセスされる方のメモリセルアレイについて、メモリセルによるディスチャージが十分に行われたタイミングで、ビット線のプリチャージが開始されるようにすることが容易にできる。

## 【0067】

なお、上記各実施形態や変形例等として説明した構成要素は、論理的に可能な範囲で種々組み合わせるようにしてもよい。具体的には、例えば実施形態1で説明したようなトライステートインバータTINV等を有する出力回路BUF1…に代えて、他の実施形態の出力回路BUF1'…を用いるようにしてもよいし、逆に、実施形態1の出力回路BUF1…を他の実施形態に用いて内部のラッチ回路の初期化動作を必要としないようにしてもよい。

20

## 【0068】

また、実施形態4のようにビット線の容量を選択的に増大させる構成とともに、実施形態2で説明したようなゲート幅や、ゲート長、閾値電圧の調整なども組み合わせるようにしてもよいし、逆に実施形態2の構成に、さらに容量の選択的な増大機能を持たせたりしてもよい。

30

## 【0069】

また、上記実施形態2では、各メモリセルアレイについて1本のビット線にリファレンスセルが接続される例を示す一方、実施形態3、4では、全てのビット線にリファレンスセルが接続される例を示したが、これらに限らず、一部の複数のビット線にリファレンスセルが接続されるようにしてもよい。

## 【0070】

また、各実施形態ではプリチャージ動作と読み出し動作とが同一のプリチャージパルス信号によって制御される例を示したが、必ずしも同一でなくてもよく、少なくともプリチャージ動作が開始されるまでに読み出し動作が完了するようになっていればよい。

40

## 【産業上の利用可能性】

## 【0071】

本発明にかかる半導体記憶装置は、記憶データに応じて、ビット線電位を速やかに低下させて高速な読み出し動作をさせる一方、リーク電流等に起因するビット線電位の低下によって読み出しデータに誤りが生じるのを防止したりすることなどが容易に可能になるという効果を有し、ビット線を所定の電位にプリチャージした後、記憶データに応じてディスチャージすることによりデータの読み出しを行う、いわゆるシングルビット線方式の半導体記憶装置等として有用である。

## 【図面の簡単な説明】

## 【0072】

50

【図 1】実施形態 1 の半導体集積回路の構成を示す回路図である。

【図 2】同、読み出し動作を示すタイミングチャートである。

【図 3】実施形態 2 の半導体集積回路の構成を示す回路図である。

【図 4】同、読み出し動作を示すタイミングチャートである。

【図 5】実施形態 3 の半導体集積回路の構成を示す回路図である。

【図 6】同、読み出し動作を示すタイミングチャートである。

【図 7】実施形態 4 の半導体集積回路の構成を示す回路図である。

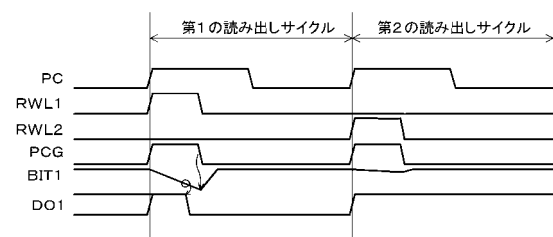
【符号の説明】

【 0 0 7 3 】

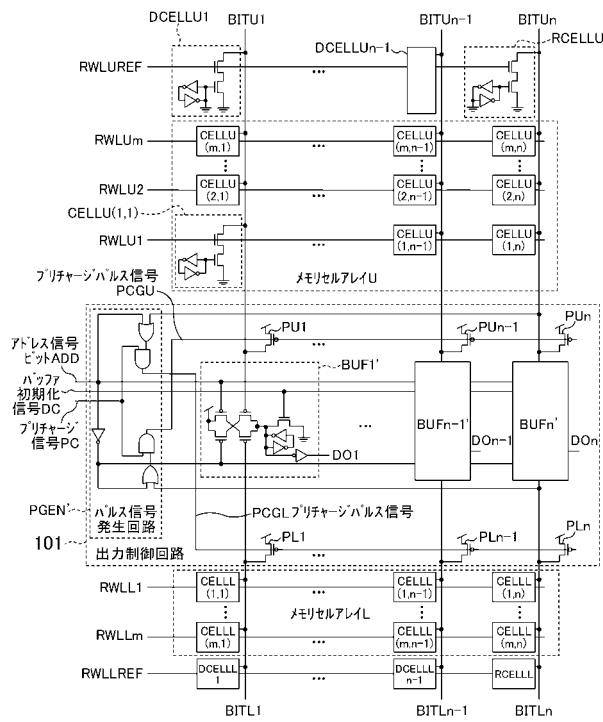
|                                           |              |    |
|-------------------------------------------|--------------|----|
| 1 0 1                                     | 出力制御回路       | 10 |
| A D D                                     | アドレス信号ビット    |    |
| B I T 1 ～ B I T n                         | ビット線         |    |
| B I T L 1 ～ B I T L n                     | ビット線         |    |
| B I T U 1 ～ B I T U n                     | ビット線         |    |
| B U F 1 ～ B U F n                         | 出力回路         |    |
| B U F 1 ' ～ B U F n '                     | 出力回路         |    |
| C A P U 1 ～ C A P U n                     | 容量部          |    |
| C A P L 1 ～ C A P L n                     | 容量部          |    |
| C A P U S                                 | スイッチ制御信号     |    |
| C A P L S                                 | スイッチ制御信号     | 20 |
| C E L L ( 1 , 1 ) ～ C E L L ( m , n )     | メモリセル        |    |
| C E L L L ( 1 , 1 ) ～ C E L L L ( m , n ) | メモリセル        |    |
| C E L L U ( 1 , 1 ) ～ C E L L U ( m , n ) | メモリセル        |    |
| D C E L L U 1 ～ D C E L L U n - 1         | ダミーセル        |    |
| D C E L L L 1 ～ D C E L L L n - 1         | ダミーセル        |    |
| D O 1 ～ D O n                             | 読み出しデータ信号    |    |
| I N V 1 ～ I N V 5                         | インバータ        |    |
| N T R 1 ・ N T R 2                         | Nチャネルトランジスタ  |    |
| P C                                       | プリチャージ信号     |    |
| P C G                                     | プリチャージパルス信号  | 30 |
| P C G L                                   | プリチャージパルス信号  |    |
| P C G U                                   | プリチャージパルス信号  |    |
| P G E N                                   | パルス信号発生回路    |    |
| P G E N '                                 | パルス信号発生回路    |    |
| P G E N ''                                | パルス信号発生回路    |    |
| P T R                                     | プリチャージトランジスタ |    |
| P U 1 ～ P U n                             | プリチャージトランジスタ |    |
| P L 1 ～ P L n                             | プリチャージトランジスタ |    |
| R C E L L U                               | リファレンスセル     |    |
| R C E L L L                               | リファレンスセル     | 40 |
| R C E L L U 1 ～ R C E L L U n             | リファレンスセル     |    |
| R C E L L L 1 ～ R C E L L L n             | リファレンスセル     |    |
| R W L 1 ～ R W L m                         | ワード線         |    |
| R W L L 1 ～ R W L L m                     | ワード線         |    |
| R W L U 1 ～ R W L U m                     | ワード線         |    |
| R W L U R E F                             | リファレンスワード線   |    |
| R W L L R E F                             | リファレンスワード線   |    |
| S W U 1 ～ S W U n                         | スイッチ回路       |    |
| S W L 1 ～ S W L n                         | スイッチ回路       |    |
| T I N V                                   | トライステートインバータ | 50 |

メモリセルアレイ  
メモリセルアレイ

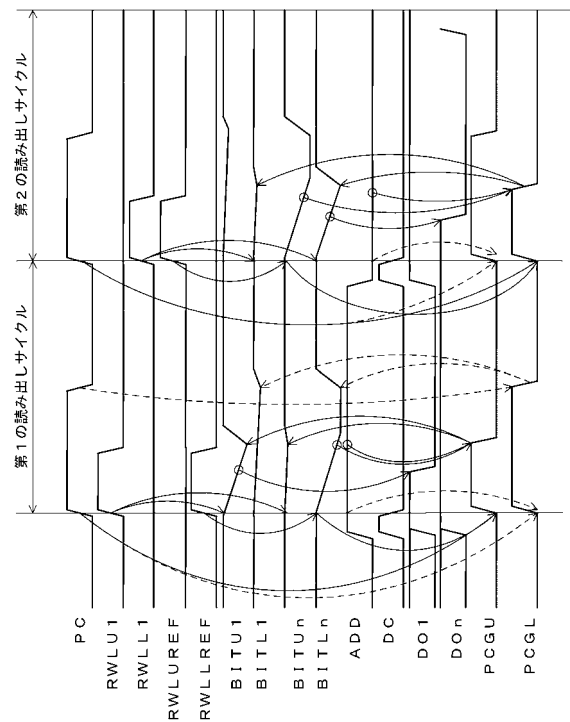
【図 2】



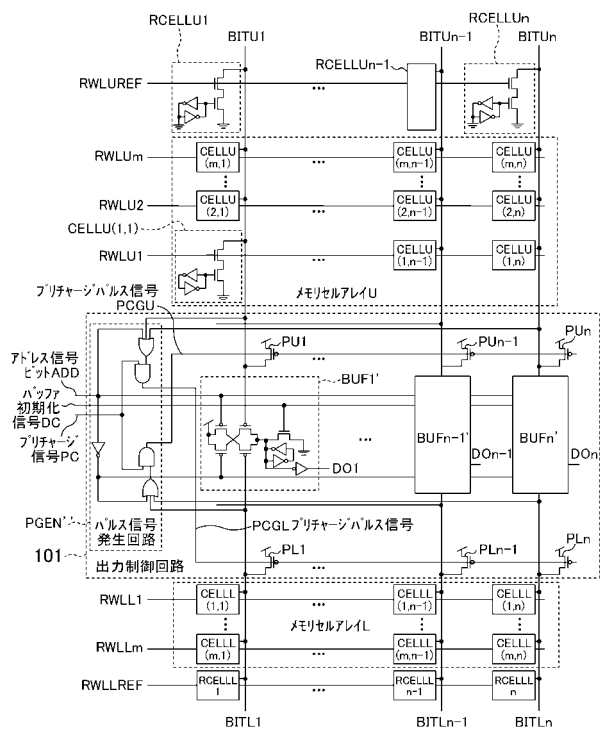
【図 3】



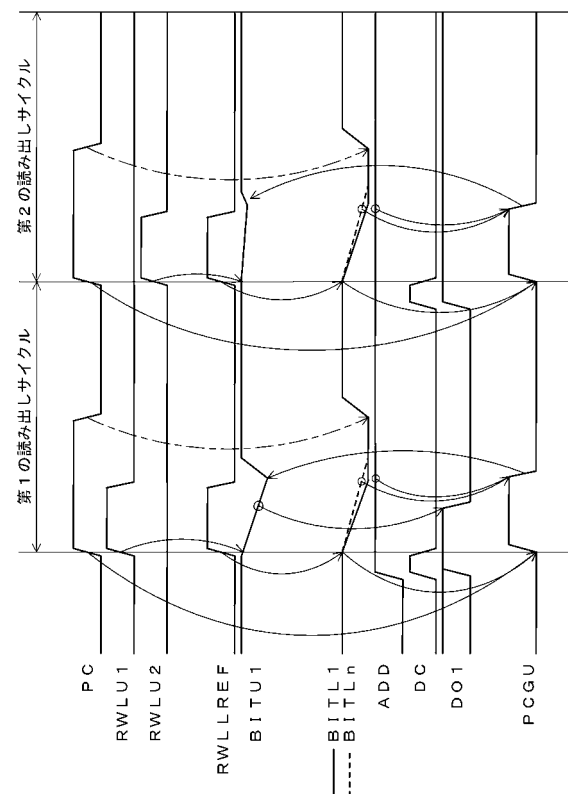
【図 4】



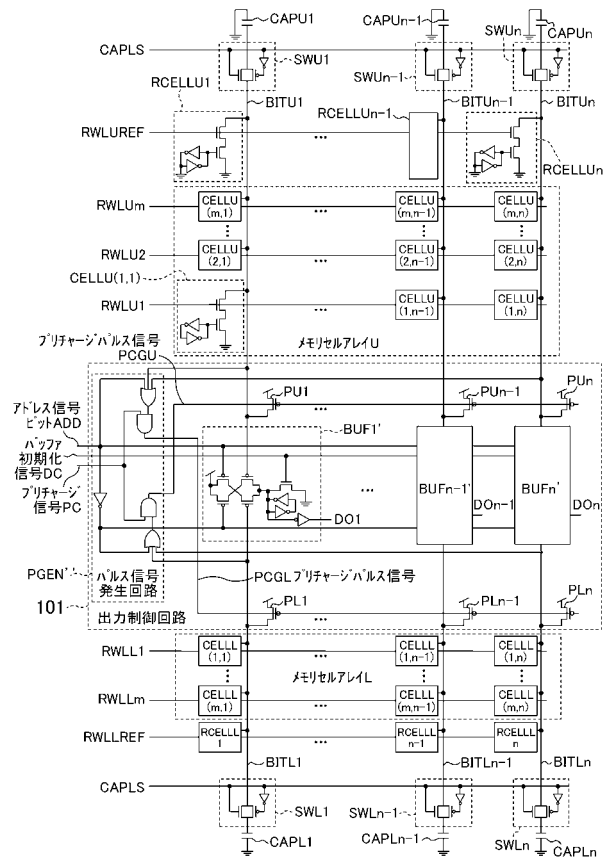
【図 5】



【図 6】



【図 7】



---

フロントページの続き

- (74)代理人 100115691  
弁理士 藤田 篤史
- (74)代理人 100117581  
弁理士 二宮 克也
- (74)代理人 100117710  
弁理士 原田 智雄
- (74)代理人 100121728  
弁理士 井関 勝守
- (74)代理人 100124349  
弁理士 米田 圭啓
- (74)代理人 100124671  
弁理士 関 啓
- (74)代理人 100131060  
弁理士 杉浦 靖也
- (72)発明者 角谷 範彦  
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 金原 旭成  
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 園田 康弘

- (56)参考文献 特開平07-078489 (JP, A)  
特開2005-025896 (JP, A)  
特開平08-273365 (JP, A)  
特開2005-056452 (JP, A)  
特開昭61-034790 (JP, A)  
特開2000-276878 (JP, A)  
特開平07-153272 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 11/417  
G11C 11/41