(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月9日(09.08.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/143307 A1

(51) 国際特許分類:
H04N 5/3745 (2011.01) *H04N 5/347* (2011.01)

(21) 国際出願番号： PCT/JP2018/003302

(22) 国際出願日： 2018年1月31日(31.01.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-016285 2017年1月31日(31.01.2017) JP

(71) 出願人: 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1086290 東京都港区港南二丁目１５番３号 Tokyo (JP).

(72) 発明者: 駒井 敦 (KOMAI, Atsushi); 〒1086290 東京都港区港南二丁目１５番３号 株式会社ニコン内 Tokyo (JP).

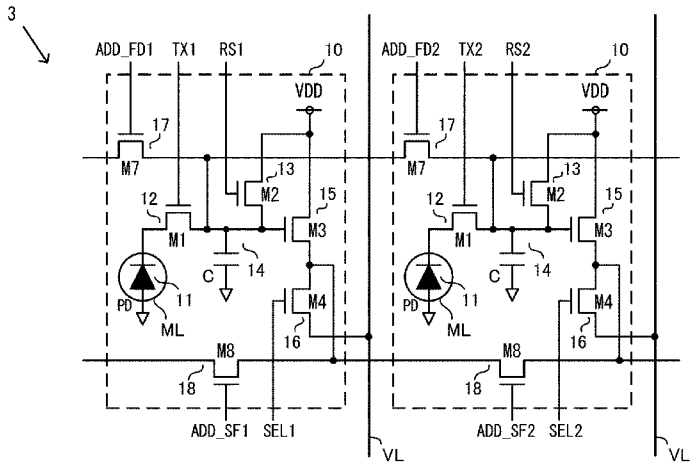
(74) 代理人: 永井 冬紀, 外 (NAGAI, Fuyuki et al.); 〒1080075 東京都港区港南一丁目６番４１号 品川クリスタルスクエア ９０１ 永井特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) **Title:** IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称： 撮像素子および撮像装置

【図９】



(57) **Abstract:** An imaging element is provided with: first pixels comprising a first photoelectric conversion unit for performing photoelectric conversion of light and generating a charge and a first output unit for generating and outputting a first signal based on the charge generated by the first photoelectric conversion unit; second pixels comprising a second photoelectric conversion unit for performing photoelectric conversion of light and generating a charge and a second output unit for generating and outputting a second signal based on the charge generated by the second photoelectric conversion unit; and an adjustment unit that adjusts the capacity of the first output unit when the first signal from the first output

WO 2018/143307 A1

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

unit and the second signal are output.

(57) 要約:撮像素子は、光を光電変換して電荷を生成する第１の光電変換部と、前記第１の光電変換部により生成された電荷に基づく第１の信号を生成し出力する第１の出力部と、を有する第１画素と、光を光電変換して電荷を生成する第２の光電変換部と、前記第２の光電変換部により生成された電荷に基づく第２の信号を生成し出力する第２の出力部と、を有する第２画素と、前記第１の出力部から前記第１の信号および前記第２の信号が出力されるとき、前記第１の出力部の容量を調整する調整部と、を備える。

明　細　書

発明の名称 ： 撮像素子および撮像装置

技術分野

[0001]　本発明は、撮像素子および撮像装置に関する。

背景技術

[0002]　２つの受光素子の電荷を加算（混合）し、加算電荷に対応する電位を読み出す撮像装置が知られている（特許文献１）。しかし、従来の撮像装置は、加算電荷を電位に変換する際の変換ゲインが変動するという問題があった。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開２０１６－１３９８５９号公報

発明の概要

[0004]　本発明の第１の態様によると、撮像素子は、光を光電変換して電荷を生成する第１の光電変換部と、前記第１の光電変換部により生成された電荷に基づく第１の信号を生成し出力する第１の出力部と、を有する第１画素と、光を光電変換して電荷を生成する第２の光電変換部と、前記第２の光電変換部により生成された電荷に基づく第２の信号を生成し出力する第２の出力部と、を有する第２画素と、前記第１の出力部から前記第１の信号および前記第２の信号が出力されるとき、前記第１の出力部の容量を調整する調整部と、を備える。

本発明の第２の態様によると、撮像素子は、光を光電変換して電荷を生成する第１の光電変換部と、前記第１の光電変換部により生成された電荷に基づく信号を出力し、第１の信号線と接続される第１の出力部と、を有する第１画素と、光を光電変換して電荷を生成する第２の光電変換部と、前記第２の光電変換部により生成された電荷に基づく信号を出力し、第２の信号線と接続される第２の出力部と、を有する第２画素と、前記第１の出力部と前記第２の出力部との間に配置された第１の接続部と、を備える。

本発明の第３の態様によると、撮像装置は、第１または第２の態様による撮像素子と、前記撮像素子から出力される信号に基づいて画像データを生成する画像生成部と、を備える。

図面の簡単な説明

[0005] [図1]第１の実施の形態に係る撮像装置の構成を示すブロック図である。

[図2]第１の実施の形態に係る画素の構成を示す回路図。

[図3]第１の実施の形態に係る撮像素子の動作例を説明するための図。

[図4]第１の実施の形態に係る撮像素子の別の動作例を説明するための図。

[図5]第１の実施の形態に係る撮像素子の一部の構成を示す回路図。

[図6]第１の実施の形態に係る撮像素子の動作例を示すタイミングチャート。

[図7]第１の実施の形態に係る撮像素子の別の動作例を示すタイミングチャート。

[図8]第２の実施の形態に係る画素の構成を示す回路図。

[図9]第３の実施の形態に係る画素の構成を示す回路図。

[図10]第３の実施の形態に係る撮像素子の一部の構成を示す回路図。

[図11]第３の実施の形態に係る撮像素子の動作例を示すタイミングチャート。

[図12]第３の実施の形態に係る撮像素子の別の動作例を示すタイミングチャート。

[図13]変形例１に係る画素の構成を示す回路図。

発明を実施するための形態

[0006] （第１の実施の形態）

図１は、第１の実施の形態に係る撮像装置の構成を示すブロック図である。図１では、第１の実施の形態に係る撮像装置の一例である電子カメラ１（以下、カメラ１と称する）の構成例を示す。カメラ１は、撮像光学系（結像光学系）２、撮像素子３、制御部４、メモリ５、表示部６、及び操作部７を備える。撮像光学系２は、焦点調節レンズ（フォーカスレンズ）を含む複数のレンズ及び絞りを有し、撮像素子３に被写体像を結像する。なお、撮像光

学系２は、カメラ１から着脱可能にしてもよい。

[0007] 撮像素子３は、例えば、ＣＭＯＳイメージセンサである。撮像素子３は、撮像光学系２の射出瞳を通過した光束を受光して、被写体像を撮像する。撮像素子３には、後に詳述するように、マイクロレンズと、複数の光電変換部（例えば２つの光電変換部）とを有する複数の画素が二次元状（行方向及びそれと交差する列方向）に配置される。光電変換部は、例えばフォトダイオード（ＰＤ）によって構成される。撮像素子３は、入射した光を光電変換して信号を生成し、生成した信号を制御部４に出力する。

[0008] 撮像素子３は、詳細は後述するが、画像データを生成するための信号すなわち撮像信号と、撮像光学系２の焦点について位相差式焦点検出を行うための一対の焦点検出信号すなわち第１及び第２の焦点検出信号とを、制御部４に出力する。この第１及び第２の焦点検出信号は、撮像光学系２の射出瞳の第１及び第２の領域をそれぞれ通過した第１及び第２の光束による第１及び第２の像をそれぞれ光電変換した信号である。

[0009] メモリ５は、例えば、メモリカード等の記録媒体である。メモリ５には、画像データ等が記録される。メモリ５へのデータの書き込みや、メモリ５からのデータの読み出しは、制御部４によって行われる。表示部６は、画像データに基づく画像、シャッター速度や絞り値等の撮影に関する情報、及びメニュー画面等を表示する。操作部７は、レリーズボタン、電源スイッチなどの各種設定スイッチ等を含み、それぞれの操作に応じた操作信号を制御部４へ出力する。

[0010] 制御部４は、ＣＰＵ、ＲＯＭ、ＲＡＭ等により構成され、制御プログラムに基づきカメラ１の各部を制御する。制御部４は、画像データ生成部４ａと、焦点検出部４ｂとを有する。画像データ生成部４ａは、撮像素子３から出力される撮像信号に各種の画像処理を行って画像データを生成する。画像処理には、例えば、階調変換処理、色補間処理、輪郭強調処理等の公知の画像処理が含まれる。

[0011] 焦点検出部４ｂは、公知の位相差検出方式により、撮像光学系２の自動焦

点調節（ＡＦ）に必要な焦点検出処理を行う。具体的には、焦点検出部４ｂは、撮像素子３から出力される一対の焦点検出信号に基づき、第１及び第２の像の像ズレ量を検出し、検出した像ズレ量に基づいてデフォーカス量を算出する。焦点調節レンズがデフォーカス量に応じて駆動されることにより、焦点調節が自動で行われる。

[0012] 制御部４は、撮像素子３の各画素の複数の光電変換部からの信号を個別に読み出す処理（第１の制御モード）と、複数の光電変換部からの信号を加算して読み出す処理（第２の制御モード）とを行う。本実施の形態では、詳細は後述するが、制御部４は、第１の制御モードの場合は、第１の光電変換部で生成された電荷による信号と第２の光電変換部で生成された電荷による信号を、一対の焦点検出信号として個別に、即ち独立に読み出す。

[0013] 第２の制御モードでは、制御部４は、第１及び第２の光電変換部の各々からの信号を加算する処理を行って、撮像信号として読み出す。ここで、「加算する処理」とは、複数の信号を平均化する処理や、複数の信号に対して重み付けを行って加算する処理等を含む。制御部４は、位相差方式のＡＦを行う場合は第１の制御モードを行って撮像素子３から一対の焦点検出信号を読み出し、画像データの生成を行う場合は第２の制御モードを行って撮像素子３から撮像信号を読み出す。

[0014] 図２は、第１の実施の形態に係る撮像素子３の画素の構成を示す回路図である。画素１０は、マイクロレンズＭＬと、第１の光電変換部１１ａと、第２の光電変換部１１ｂと、第１の転送部１２ａと、第２の転送部１２ｂと、第１のリセット部１３ａと、第２のリセット部１３ｂと、第１のフローティングディフュージョン（ＦＤ）１４ａと、第２のフローティングディフュージョン（ＦＤ）１４ｂとを有する。画素１０は、さらに、第１の増幅部１５ａと、第２の増幅部１５ｂと、第１の選択部１６ａと、第２の選択部１６ｂと、加算スイッチ部１７と、結合スイッチ部１８とを有する。

[0015] マイクロレンズＭＬは、図１の撮像光学系２を介して入射された光を第１の光電変換部１１ａ及び第２の光電変換部１１ｂに集光する。なお、マイク

ロレンズＭＬは、マイクロレンズＭＬを通過した光束が第１及び第２の光電変換部１１ａ、１１ｂに入射することを示すために、第１及び第２の光電変換部１１ａ、１１ｂを囲む楕円形状の線で示されている。この楕円形状がマイクロレンズＭＬの実際の大きさや、実際の形状を表すものではない。

[0016] 第１の光電変換部１１ａ及び第２の光電変換部１１ｂは、フォトダイオードＰＤ（ＰＤａ、ＰＤｂ）であり、入射した光を電荷に変換し、光電変換された電荷を蓄積する機能を有する。第１の光電変換部１１ａ及び第２の光電変換部１１ｂは、一つのマイクロレンズＭＬに対応して配置され、撮像光学系２の射出瞳の互いに異なる領域を通過した光束を受光する。すなわち、第１の光電変換部１１ａ及び第２の光電変換部１１ｂは、撮像光学系２の射出瞳の第１及び第２の領域をそれぞれ通過した第１及び第２の光束による第１及び第２の像をそれぞれ光電変換する。

[0017] 第１の転送部１２ａは、信号ＴＸ１により制御されるトランジスタＭ１ａから構成され、第１の光電変換部１１ａで光電変換された電荷を第１のＦＤ１４ａに転送する。すなわち、第１の転送部１２ａは、第１の光電変換部１１ａ及び第１のＦＤ１４ａの間に電荷転送路を形成する。トランジスタＭ１ａは、第１の転送トランジスタである。第１のＦＤ１４ａの容量Ｃａは、第１のＦＤ１４ａに転送された電荷を蓄積（保持）して、電荷を容量Ｃａの容量値で除算した電圧に変換する。容量を示す符号Ｃａは、第１のＦＤ１４ａに付加される容量を模式的に示している。容量Ｃａには、第１のＦＤ１４ａに接続される第１の増幅部１５ａのゲート容量等の各トランジスタの容量（寄生容量）や配線容量などが含まれる。なお、ゲート容量は、トランジスタのゲートとバックゲートとの間の寄生容量である。

[0018] 第１の増幅部１５ａは、容量Ｃａに蓄積された電荷による信号を増幅して出力する。第１の増幅部１５ａは、ドレイン（端子）、ゲート（端子）及びソース（端子）がそれぞれ、電源ＶＤＤ、第１のＦＤ１４ａ及び第１の選択部１６ａに接続されるトランジスタＭ３ａにより構成される。第１の増幅部１５ａのソースは、第１の選択部１６ａを介して第１の垂直信号線ＶＬａに

接続される。第１の増幅部１５ａは、図３に示す第１の電流源２５ａを負荷電流源としてソースフォロワ回路の一部として機能する。トランジスタＭ３ａは、第１の増幅トランジスタである。

[0019] 第１のリセット部１３ａは、信号ＲＳ１により制御されるトランジスタＭ２ａから構成され、容量Ｃａの電荷をリセットし、第１のＦＤ１４ａの電圧をリセットする。トランジスタＭ２ａは、第１のリセットトランジスタである。第１の選択部１６ａは、信号ＳＥＬ１により制御されるトランジスタＭ４ａから構成され、第１の増幅部１５ａからの信号を第１の垂直信号線ＶＬａに出力する。トランジスタＭ４ａは、第１の選択トランジスタである。本実施の形態による第１の出力部は、第１の増幅部１５ａと第１の選択部１６ａとで構成され、第１の光電変換部１１ａにより生成された電荷に基づく信号を生成し出力する。

[0020] 第２の転送部１２ｂは、信号ＴＸ２により制御されるトランジスタＭ１ｂから構成され、第２の光電変換部１１ｂで光電変換された電荷を第２のＦＤ１４ｂに転送する。すなわち、第２の転送部１２ｂは、第２の光電変換部１１ｂ及び第２のＦＤ１４ｂの間に電荷転送路を形成する。トランジスタＭ１ｂは、第２の転送トランジスタである。第２のＦＤ１４ｂの容量Ｃｂは、第２のＦＤ１４ｂに転送された電荷を蓄積して、電荷を容量Ｃｂの容量値で除算した電圧に変換する。容量を示す符号Ｃｂは、第２のＦＤ１４ｂに付加される容量を模式的に示している。容量Ｃｂには、第２のＦＤ１４ｂに接続される第２の増幅部１５ｂのゲート容量等の各トランジスタの容量や配線容量などが含まれる。

[0021] 第２の増幅部１５ｂは、容量Ｃｂに蓄積された電荷による信号を増幅して出力する。第２の増幅部１５ｂは、ドレイン、ゲート及びソースがそれぞれ、電源ＶＤＤ、第２のＦＤ１４ｂ及び第２の選択部１６ｂに接続されるトランジスタＭ３ｂにより構成される。第２の増幅部１５ｂのソースは、第２の選択部１６ｂを介して第２の垂直信号線ＶＬｂに接続される。第２の増幅部１５ｂは、図３に示す第２の電流源２５ｂを負荷電流源としてソースフォロ

ワ回路の一部として機能する。トランジスタＭ３ｂは、第２の増幅トランジスタである。

[0022] 第２のリセット部１３ｂは、信号ＲＳ２により制御されるトランジスタＭ２ｂから構成され、容量Ｃｂの電荷をリセットし、第２のＦＤ１４ｂの電圧をリセットする。トランジスタＭ２ｂは、第２のリセットトランジスタである。第２の選択部１６ｂは、信号ＳＥＬ２により制御されるトランジスタＭ４ｂから構成され、第２の増幅部１５ｂからの信号を第２の垂直信号線ＶＬｂに出力する。トランジスタＭ４ｂは、第２の選択トランジスタである。本実施の形態による第２の出力部は、第２の増幅部１５ｂと第２の選択部１６ｂとで構成され、第２の光電変換部１１ｂにより生成された電荷に基づく信号を生成し出力する。

[0023] 加算スイッチ部１７は、信号ＡＤＤ＿ＦＤにより制御されるトランジスタＭ７から構成され、第１のＦＤ１４ａと第２のＦＤ１４ｂとを接続（結合）する。結合スイッチ部１８は、信号ＡＤＤ＿ＳＦにより制御されるトランジスタＭ８から構成され、第１の増幅部１５ａと第２の増幅部１５ｂとを接続する。より詳しくは、結合スイッチ部１８は、第１の増幅部１５ａのトランジスタＭ３ａのソースと第２の増幅部１５ｂのトランジスタＭ３ｂのソースとを接続する。また、結合スイッチ部１８が、第１の増幅部１５ａと第１の選択部１６ａの間と、第２の増幅部１５ｂと第２の選択部１６ｂの間とを接続するともいえる。

[0024] 第１の制御モードでは、制御部４は、撮像素子３を制御して、加算スイッチ部１７のトランジスタＭ７をオフ（状態）とし、結合スイッチ部１８のトランジスタＭ８もオフとする。第１の光電変換部１１ａで光電変換された電荷は、第１の転送部１２ａによって第１のＦＤ１４ａに転送される。そして、第１のＦＤ１４ａに転送された電荷に応じた信号（第１の画素信号）が、第１の増幅部１５ａ及び第１の選択部１６ａによって第１の垂直信号線ＶＬａに読み出される。また、第２の光電変換部１１ｂで光電変換された電荷は、第２の転送部１２ｂによって第２のＦＤ１４ｂに転送される。第２のＦＤ

１４ｂに転送された電荷に応じた信号（第２の画素信号）が、第２の増幅部１５ｂ及び第２の選択部１６ｂによって第２の垂直信号線ＶＬｂに読み出される。

[0025] このように、第１の制御モードでは、第１の光電変換部１１ａからの電荷に応じて生成された第１の画素信号が第１の垂直信号線ＶＬａに出力され、第２の光電変換部１１ｂからの電荷に応じて生成された第２の画素信号が第２の垂直信号線ＶＬｂに出力される。第１の画素信号及び第２の画素信号は、後述するカラム回路等による信号処理が施された後に、一対の焦点検出信号として制御部４に出力される。

[0026] 次に、第２の制御モードの基本動作を説明する。第２の制御モードにおいては、制御部４は、加算スイッチ部１７のトランジスタＭ７をオンとし、結合スイッチ部１８のトランジスタＭ８もオンとする。また、制御部４は、例えば、第１の選択部１６ａのトランジスタＭ４ａをオンとし、第２の選択部１６ｂのトランジスタＭ４ｂをオフとする。第１及び第２の光電変換部１１ａ、１１ｂでそれぞれ光電変換された電荷は、第１及び第２の転送部１２ａ、１２ｂによってそれぞれ転送され、加算スイッチ部１７によって加算されて、第１及び第２のＦＤ１４ａ、１４ｂに蓄積される。第１及び第２の増幅部１５ａ、１５ｂと結合スイッチ部１８と第１の選択部１６ａとによって、加算された電荷に応じて加算画素信号が生成されて、第１の垂直信号線ＶＬａに読み出される。

[0027] なお、第２の制御モードにおいて、第１の選択部１６ａのトランジスタＭ４ａをオフとし、第２の選択部１６ｂのトランジスタＭ４ｂをオンとした場合には、加算画素信号は、第２の垂直信号線ＶＬｂに読み出される。

[0028] 本実施の形態にあっては、第２の制御モードは、２次元配置された画素１０の１行毎に信号を読み出す１行読み出し方式と、２行同時に信号を読み出す２行同時読み出し方式とを有する。以下に、第２の制御モードの「１行読み出し方式」を図３を参照して説明し、第２の制御モードの「２行同時読み出し方式」を図４を参照して説明する。

[0029] 図３は、２次元状に配置された複数の画素１０のうちの一つの画素列を示したものである。撮像素子３には、列方向、すなわち縦方向に並んだ複数の画素１０の列に対して、第１の垂直信号線ＶＬａ及び第２の垂直信号線ＶＬｂが設けられる。また、第１の垂直信号線ＶＬａに対して第１の電流源２５ａ及び第１のカラム回路部４０ａが設けられ、第２の垂直信号線ＶＬｂに対して第２の電流源２５ｂ及び第２のカラム回路部４０ｂが設けられる。なお、図３に示す例では、説明を簡略化するために、画素１０は行方向１画素×列方向３画素のみ図示しているが、撮像素子３は、例えば数百万画素～数億画素、又はそれ以上の画素を有する。

[0030] 第１の電流源２５ａは、第１の垂直信号線ＶＬａを介して各画素１０に接続され、第２の電流源２５ｂは、第２の垂直信号線ＶＬｂを介して各画素１０に接続される。第１の電流源２５ａ及び第２の電流源２５ｂは、各画素１０から信号を読み出すための電流を生成する。第１の電流源２５ａは、生成した電流を第１の垂直信号線ＶＬａと各画素１０の第１の選択部１６ａ及び第１の増幅部１５ａとに供給する。同様に、第２の電流源２５ｂは、生成した電流を第２の垂直信号線ＶＬｂと各画素１０の第２の選択部１６ｂ及び第２の増幅部１５ｂとに供給する。

[0031] 第１のカラム回路部４０ａ及び第２のカラム回路部４０ｂは、それぞれアナログ／デジタル変換部（ＡＤ変換部）を含んで構成される。第１のカラム回路部４０ａは、各画素１０から第１の垂直信号線ＶＬａを介して入力される信号をデジタル信号に変換する。第２のカラム回路部４０ｂは、各画素１０から第２の垂直信号線ＶＬｂを介して入力される信号をデジタル信号に変換する。第１のカラム回路部４０ａ及び第２のカラム回路部４０ｂは、変換後のデジタル信号を後述する水平転送部に出力する。

[0032] 第２の制御モードの１行読み出し方式では、撮像素子３は、第１の光電変換部１１ａの電荷と第２の光電変換部１１ｂの電荷とを加算した電荷に応じた信号（加算画素信号）を、例えば第１の垂直信号線ＶＬａに読み出す。図３に示す例では、１行目の画素１０、即ち最下行の画素１０から加算画素信

号を読み出す例を示しており、１行目の画素１０において、加算スイッチ部１７のトランジスタＭ７がオンとなり、結合スイッチ部１８のトランジスタＭ８もオンとなっている。また、第１の選択部１６ａのトランジスタＭ４ａがオン、第２の選択部１６ｂのトランジスタＭ４ｂがオフになっている。他方、２行目及び３行目等のその他の行の画素１０においては、第１及び第２の選択部１６ａ、１６ｂのトランジスタＭ４ａ、Ｍ４ｂがオフになっている。なお、図３において、ＯＮはトランジスタがオン（接続状態、導通状態、短絡状態）であることを示し、ＯＦＦはトランジスタがオフ（切断状態、非導通状態、開放状態、遮断状態）であることを示している。

[0033] １行目の画素１０において、加算スイッチ部１７のトランジスタＭ７がオンとなることで、第１のＦＤ１４ａと第２のＦＤ１４ｂとが互いに電気的に接続される。また、第１の転送部１２ａと第２の転送部１２ｂとが互いに電気的に接続される。これにより、第１の光電変換部１１ａから転送された電荷と第２の光電変換部１１ｂから転送された電荷とが加算される。第１の光電変換部１１ａ及び第２の光電変換部１１ｂの各々により生成された電荷が、混合（合成）されるともいえる。容量Ｃａと容量Ｃｂとが電気的に接続された状態となり、第１の光電変換部１１ａ及び第２の光電変換部１１ｂから転送された電荷が容量Ｃａと容量Ｃｂとに分配され、第１のＦＤ１４ａの電圧と第２のＦＤ１４ｂの電圧とが平均化され、第１及び第２の増幅部１５ａ、１５ｂに入力される。即ち、第１の増幅部１５ａ及び第２の増幅部１５ｂの各々には、容量Ｃａの蓄積電荷と容量Ｃｂの蓄積電荷とを加算した電荷を、容量Ｃａと容量Ｃｂとの合成容量値で除算した電圧が入力される。

[0034] 第１の選択部１６ａのトランジスタＭ４ａがオンとなり、第２の選択部１６ｂのトランジスタＭ４ｂがオフとなり、結合スイッチ部１８のトランジスタＭ８がオンとなることで、第１及び第２の増幅部１５ａ、１５ｂは共に、第１の電流源２５ａから電流が供給されて飽和領域での動作となる。第１及び第２の増幅部１５ａ、１５ｂのトランジスタＭ３ａ、Ｍ３ｂが飽和領域での動作となるので、第１及び第２の増幅部１５ａ、１５ｂのゲート容量は共

に略一定の容量値となる。

[0035] このように第１及び第２の増幅部１５ａ、１５ｂのゲート容量が略一定値であるので、第１のＦＤ１４ａの容量及び第２のＦＤ１４ｂの容量も、所定値のままである。従って、第１の増幅部１５ａ及び第２の増幅部１５ｂは、容量Ｃａの蓄積電荷と容量Ｃｂの蓄積電荷とを加算した電荷を、容量Ｃａと容量Ｃｂとの合成容量値で除算した電圧に基づき、増幅した信号をそれぞれ出力する。第１の増幅部１５ａの信号と第２の増幅部１５ｂの信号とは、第１の選択部１６ａを介して、加算画素信号として、第１の垂直信号線ＶＬａに送られる。

[0036] 以上のように、第１の垂直信号線ＶＬａに１行目の画素１０から加算画素信号が読み出されると、その後に、撮像素子３では、２行目、３行目と画素１０が行単位で順次選択されて、画素１０から第１の垂直信号線ＶＬａに加算画素信号の読み出しが行われる。第１の垂直信号線ＶＬａに出力された画素１０の加算画素信号は、第１のカラム回路部４０ａによりデジタル信号に変換された後に、撮像信号として制御部４に出力される。

[0037] 図３に示す例では、各行の画素１０の加算画素信号は、第１の垂直信号線ＶＬａに読み出される。このため、撮像素子３は、加算画素信号が読み出されない第２の垂直信号線ＶＬｂに接続される第２の電流源２５ｂによる電流の生成を停止させることができ、撮像素子３の消費電力を低減させることができる。なお、第１の選択部１６ａのトランジスタＭ４ａをオフ、第２の選択部１６ｂのトランジスタＭ４ｂをオンとした場合は、第２の垂直信号線ＶＬｂに画素１０から加算画素信号を読み出すことができる。

[0038] 本実施の形態にあっては、第１及び第２のＦＤ１４ａ、１４ｂが電荷を電圧に変換する際の変換ゲイン、即ち容量Ｃａと容量Ｃｂとの合成容量値の逆数が、常に略一定である。このため、加算画素信号は、第１及び第２のＦＤ１４ａ、１４ｂの蓄積電荷に依存し、直線性（リニアリティ）が高い信号となる。以下に、第１及び第２のＦＤ１４ａ、１４ｂの変換ゲインが常に略一定であることを、比較例と対比して説明する。

[0039] 本実施の形態では、上述のようにトランジスタＭ４ａとトランジスタＭ８とがオンとなり、トランジスタＭ４ｂがオフとなることで、トランジスタＭ３ａ、Ｍ３ｂは共に、第１の電流源２５ａから電流が供給されて飽和領域での動作となる。このため、第１及び第２の増幅部１５ａ、１５ｂのトランジスタＭ３ａ、Ｍ３ｂのゲート容量は共に、略一定の容量値となり、実質的に変動しない。従って、第１のＦＤ１４ａの容量Ｃａ及び第２のＦＤ１４ｂの容量Ｃｂも、トランジスタＭ３ａ、Ｍ３ｂのゲート容量の変動の影響を受けることなく、所定値のまま、即ち、略一定値である。よって、第１及び第２のＦＤ１４ａ、１４ｂの変換ゲインが常に略一定となる。画素の微細化が進むと、第１及び第２のＦＤ１４ａ、１４ｂの合成容量に対するゲート容量の比が大きくなることが考えられ、この場合にゲート容量が変動して第１及び第２のＦＤ１４ａ、１４ｂの電荷電圧変換の直線性が悪化することを防ぐすることができる。

[0040] これに対して、比較例は、図３の画素１０において、結合スイッチ部１８を削除したものである。第１の選択部１６ａのトランジスタＭ４ａをオンし、第２の選択部１６ｂのトランジスタＭ４ｂをオフにすると、第１の増幅部１５ａに電流が供給されるが、第２の増幅部１５ｂには電流が供給されず、第２の増幅部１５ｂは弱反転領域での動作となる。この弱反転領域での動作により、第２の増幅部１５ｂのトランジスタＭ３ｂのゲート容量は、ゲートに入力される信号に応じて変動する状態となる。第２の増幅部１５ｂのゲート容量の変動によって、第１及び第２のＦＤ１４ａ、１４ｂの容量も変動を受け、電荷電圧の変換ゲインが変動してしまう。

[0041] 図４は、第２の制御モードの２行同時読み出し方式を説明するための図である。第２の制御モードの２行同時読み出し方式は、二つの行の画素について、一方の行の画素からは加算画素信号を第１の垂直信号線ＶＬａに読み出し、これと同時に他方の行の画素からは加算画素信号を第２の垂直信号線ＶＬｂに読み出すものである。以下に詳細に説明する。

[0042] 図４において、最下行の１行目の画素１０では、加算スイッチ部１７のト

ランジスタＭ７がオン、結合スイッチ部１８のトランジスタＭ８もオン、第１の選択部１６ａのトランジスタＭ４ａもオン、第２の選択部１６ｂのトランジスタＭ４ｂがオフとなっている。また、１行目の画素に隣接する２行目の画素１０では、加算スイッチ部１７のトランジスタＭ７がオン、結合スイッチ部１８のトランジスタＭ８もオン、第１の選択部１６ａのトランジスタＭ４ａがオフ、第２の選択部１６ｂのトランジスタＭ４ｂがオンとなっている。

[0043] １行目及び２行目の画素１０の各々において、加算スイッチ部１７のトランジスタＭ７がオン状態であるため、第１の光電変換部１１ａから転送された電荷と第２の光電変換部１１ｂから転送された電荷とが加算される。また、１行目の画素１０の各々において、第１の選択部１６ａのオン及び結合スイッチ部１８のオンによって、第１の電流源２５ａは、電流を第１の増幅部１５ａと第２の増幅部１５ｂとにそれぞれ供給する。他方、２行目の画素１０の各々において、第２の選択部１６ｂのオン及び結合スイッチ部１８のオンによって、第２の電流源２５ｂは、電流を第１の増幅部１５ａと第２の増幅部１５ｂとにそれぞれ供給する。こうして、１行目及び２行目とも、各画素１０の第１及び第２の増幅部１５ａ、１５ｂのトランジスタＭ３ａ、Ｍ３ｂは、飽和領域での動作となり、トランジスタＭ３ａ、Ｍ３ｂのゲート容量は共に、略一定値となる。

[0044] 第１の垂直信号線ＶＬａには、１行目の画素１０から加算された電荷に基づく加算画素信号が読み出され、これと同時に第２の垂直信号線ＶＬｂには、２行目の画素１０から加算された電荷に基づく加算画素信号が読み出される。１行目及び２行目の画素の同時読み出しが終了すると、３行目及び４行目の画素からの同時読み出しが行われ、更にそれ以降の互いに隣接する奇数行目及び偶数行目の画素からの同時読み出しが順次行われる。

[0045] このように、図４に示す２行同時読み出し方式では、２行分の画素の加算画素信号の読み出しを同時に行うことができる。このため、撮像素子３に配置された各画素１０から高速に信号を読み出すことができる。また、２行同

時読み出し方式でも、第１及び第２の増幅部１５ａ、１５ｂのトランジスタＭ３ａ、Ｍ３ｂは、第１の電流源２５ａ又は第２の電流源２５ｂからの電流が供給されて、飽和領域での動作となる。このため、トランジスタＭ３ａ、Ｍ３ｂのゲート容量は共に略一定値となり、加算画素信号は、第１及び第２のＦＤ１４ａ、１４ｂの蓄積電荷に依存し、直線性が高い信号となる。

[0046] 図５～図７を参照して、第１の実施の形態に係る撮像素子３のより詳細な回路構成及び動作について説明する。図５は、第１の実施の形態に係る撮像素子３の画素１０を２次元状に示すと共に、より詳細な回路構成を示す回路図である。図６は、第２の制御モードの１行読み出し方式の場合の撮像素子３の動作例を示すタイミングチャートである。図７は、第２の制御モードの２行同時読み出し方式の場合の撮像素子３の動作例を示すタイミングチャートである。

[0047] 図５に示すように、撮像素子３は、行列状に配置される複数の画素１０と、第１の電流源２５ａ（第１の電流源２５ａ１～第１の電流源２５ａ３）と、第２の電流源２５ｂ（第２の電流源２５ｂ１～第２の電流源２５ｂ３）とを有する。また、撮像素子３は、第１の電流制御部３０ａ（第１の電流制御部３０ａ１～第１の電流制御部３０ａ３）と、第２の電流制御部３０ｂ（第２の電流制御部３０ｂ１～第２の電流制御部３０ｂ３）とを有する。撮像素子３は、さらに、第１のカラム回路部４０ａ（第１のカラム回路部４０ａ１～第１のカラム回路部４０ａ３）と、第２のカラム回路部４０ｂ（第２のカラム回路部４０ｂ１～第２のカラム回路部４０ｂ３）と、垂直転送部５０と、水平転送部６０とを有する。

[0048] 画素１０の各列に対応して、第１の垂直信号線ＶＬａ（第１の垂直信号線ＶＬａ１～第１の垂直信号線ＶＬａ３）、及び第２の垂直信号線ＶＬｂ（第２の垂直信号線ＶＬｂ１～第２の垂直信号線ＶＬｂ３）が設けられる。第１の垂直信号線ＶＬａに対して、第１の電流源２５ａ、第１の電流制御部３０ａ、及び第１のカラム回路部４０ａが設けられる。また、第２の垂直信号線ＶＬｂに対して、第２の電流源２５ｂ、第２の電流制御部３０ｂ、及び第２

のカラム回路部３０ｂが設けられる。なお、図５に示す例では、説明を簡略化するために、画素１０は行方向３画素×列方向３画素のみ図示している。図５に示す複数の画素１０のうちの左下の画素１０を第１行第１列の画素１０（０，０）とし、図５では画素１０（０，０）から画素１０（２，２）までを図示している。第１の電流源２５ａ及び第２の電流源２５ｂは、例えば、それぞれ２つトランジスタのカスコード接続によって構成され、バイアス電圧（電圧Ｂｉａｓ１、電圧Ｂｉａｓ２）に基づいて電流を生成する。

[0049] 垂直転送部５０は、信号ＴＸ、信号ＲＳ、信号ＳＥＬ１、信号ＳＥＬ２、信号ＡＤＤ＿ＦＤ、信号ＡＤＤ＿ＳＦ、及び電源電圧ＶＤＤを各画素１０に供給して、各画素１０を制御する。第１の電流制御部３０ａは、スイッチ部３１ａ、３２ａ、及びインバータ部３３ａを有し、第２の電流制御部３０ｂは、スイッチ部３１ｂ、３２ｂ、及びインバータ部３３ｂを有する。垂直転送部５０は、信号ＣＳ１＿ＥＮ、信号ＣＳ２＿ＥＮ、及び電圧Ｖｃｌｉｐを、第１の電流制御部３０ａ及び第２の電流制御部３０ｂに供給する。なお、図５に示す例では、画素１０の第１の転送部１２ａ及び第２の転送部１２ｂは、同一の信号ＴＸにより制御され、第１のリセット部１３ａ及び第２のリセット部１３ｂは、同一の信号ＲＳにより制御される。

[0050] 水平転送部６０は、第１のカラム回路部４０ａ及び第２のカラム回路部４０ｂによって変換されたデジタル信号を、不図示の信号処理部に順次転送する。信号処理部は、水平転送部６０から入力された信号に対して相関二重サンプリングや信号量を補正する処理等の信号処理を行い、カメラ１の制御部４に出力する。

[0051] 図６に示すタイミングチャートにおいて、横軸は時刻を示しており、第２の制御モードの１行読み出し方式の場合に図５の撮像素子３の各部に入力される制御信号を示している。また、図６において、制御信号がハイレベル（例えば電源電位）の場合に制御信号が入力されるトランジスタがオン状態となり、制御信号がローレベル（例えば接地電位）の場合に制御信号が入力されるトランジスタがオフ状態となる。

[0052] 垂直転送部５０は、信号ＡＤＤ＿ＦＤ及び信号ＡＤＤ＿ＳＦをハイレベルにして、第２の制御モードに設定する。信号ＡＤＤ＿ＦＤがハイレベルになることで、各画素１０の第１のＦＤ１４ａと第２のＦＤ１４ｂとが互いに電気的に接続される。また、信号ＡＤＤ＿ＳＦがハイレベルになることで、各画素１０の第１の増幅部１５ａと第２の増幅部１５ｂとが電気的に接続される。

[0053] 信号ＣＳ１＿ＥＮはハイレベルにされ、信号ＣＳ２＿ＥＮはローレベルにされる。信号ＣＳ１＿ＥＮがハイレベルになることで、第１の電流制御部３０ａのスイッチ部３１ａがオンとなり、スイッチ部３２ａはインバータ部３３ａによりローレベルが入力されることでオフとなる。これにより、第１の垂直信号線ＶＬａには、スイッチ部３１ａを介して第１の電流源２５ａから電流が供給される。

[0054] 信号ＣＳ２＿ＥＮがローレベルになることで、第２の電流制御部３０ｂのスイッチ部３１ｂがオフとなり、スイッチ部３２ｂはオンとなる。これにより、第２の垂直信号線ＶＬｂには、第２の電流源２５ｂからの電流の供給が停止され、スイッチ部３２ｂを介して電圧Ｖｃｌｉｐが供給される。第２の垂直信号線ＶＬｂは、所定の電圧に固定された状態となり、フローティング状態となることが回避される。なお、第２の増幅部１５ｂには第１の選択部１６ａ及び結合スイッチ部１８を介して第１の電流源２５ａから電流が供給されるため、第２の増幅部１５ｂが弱反転領域での動作となることが回避される。

[0055] 図６に示す時刻ｔ１では、信号ＲＳ＜０＞がハイレベルになることで、１行目の画素である画素１０（０，０）～画素１０（０，２）において、それぞれの第１及び第２のリセット部１３ａ、１３ｂのトランジスタＭ２ａ、Ｍ２ｂがオンになり、第１及び第２のＦＤ１４ａ、１４ｂの電位がそれぞれリセット電位になる。この場合、上述したように、画素１０の第１のＦＤ１４ａと第２のＦＤ１４ｂが接続されているため、第１及び第２のＦＤ１４ａ、１４ｂの電位が平均化される。

[0056] さらに、時刻ｔ１において、信号ＳＥＬ１＜０＞がハイレベルになることで、リセット電位に基づく信号が、第１及び第２の増幅部１５ａ、１５ｂ、及び第１の選択部１６ａにより第１の垂直信号線ＶＬａに出力される。すなわち、第１及び第２のＦＤ１４ａ、１４ｂの電位をリセット電位にリセットしたときの信号（ノイズ信号）が、第１の垂直信号線ＶＬａに読み出される。第１の垂直信号線ＶＬａに出力された１行目の各画素１０からのノイズ信号は、それぞれ第１のカラム回路部４０ａ１～４０ａ３に入力されてデジタル信号に変換される。

[0057] 時刻ｔ２では、信号ＴＸ＜０＞がハイレベルになることで、第１及び第２の転送部１２ａ、１２ｂのトランジスタＭ１ａ、Ｍ１ｂがオンになり、第１及び第２の光電変換部１１ａ、１１ｂで光電変換された電荷が、第１及び第２のＦＤ１４ａ、１４ｂに転送される。この場合、第１のＦＤ１４ａと第２のＦＤ１４ｂが接続されているため、２つの光電変換部から転送された電荷は、容量Ｃａ及び容量Ｃｂに分配される。

[0058] また、時刻ｔ２では、信号ＳＥＬ１＜０＞がハイレベルであるため、加算画素信号が、第１及び第２の増幅部１５ａ、１５ｂ、及び第１の選択部１６ａによって第１の垂直信号線ＶＬａに出力される。第１の垂直信号線ＶＬａに出力された１行目の各画素１０からの加算画素信号は、それぞれ第１のカラム回路部４０ａ１～４０ａ３に入力されてデジタル信号に変換される。デジタル信号に変換されたノイズ信号と加算画素信号とは、水平転送部６０を介して信号処理部に入力される。信号処理部は、画素１０のノイズ信号と加算画素信号との差分処理を行う相関二重サンプリングを行う。

[0059] 時刻ｔ３～時刻ｔ５では、時刻ｔ１から時刻ｔ３までの期間の場合と同様にして、２行目の画素からノイズ信号の読み出しと、加算画素信号の読み出しとが行われる。時刻ｔ５～時刻ｔ７では、時刻ｔ１から時刻３までの期間の場合と同様にして、３行目の画素からノイズ信号の読み出しと、加算画素信号の読み出しとが行われる。このように、図６に示す１行読み出し方式では、画素１０を行単位で順次選択し、画素１０の２つの光電変換部による信

号を加算し、加算画素信号を第１の垂直信号線ＶＬａに読み出すことができる。また、第２の電流源２５ｂからの電流の供給を停止することで、撮像素子３の消費電力を低減することができる。

[0060] 図７に示すタイミングチャートにおいて、横軸は時刻を示しており、第２の制御モードの２行同時読み出し方式の場合に図５の撮像素子３の各部に入力される制御信号を示している。垂直転送部５０は、図６に示す１行読み出し方式の場合と同様に、信号ＡＤＤ＿ＦＤ及び信号ＡＤＤ＿ＳＦをハイレベルとする。また、信号ＣＳ１＿ＥＮがハイレベルにされて、第１の垂直信号線ＶＬａには、第１の電流源２５ａから電流が供給される。さらに、図７の２行同時読み出し方式では、信号ＣＳ２＿ＥＮがハイレベルにされる。信号ＣＳ２＿ＥＮがハイレベルになることで、第２の電流制御部３０ｂのスイッチ部３１ｂがオンとなる。これにより、第２の垂直信号線ＶＬｂには、スイッチ部３１ｂを介して第２の電流源２５ｂから電流が供給される。

[0061] 時刻ｔ１では、信号ＲＳ＜０＞、ＲＳ＜１＞がハイレベルになることで、１行目の画素及び２行目の画素（画素１０（０，０）～画素１０（１，２））の各々の第１及び第２のリセット部１３ａ、１３ｂのトランジスタＭ２ａ、Ｍ２ｂがオンとなる。これにより、第１及び第２のＦＤ１４ａ、１４ｂの電位がそれぞれリセット電位になる。そして、第１のＦＤ１４ａと第２のＦＤ１４ｂが接続されているため、第１及び第２のＦＤ１４ａ、１４ｂの電位は平均化される。

[0062] また、時刻ｔ１において、信号ＳＥＬ１＜０＞がハイレベルになることで、１行目の画素１０の平均化されたノイズ信号が、第１の垂直信号線ＶＬａに出力される。１行目の各画素１０からのノイズ信号は、それぞれ第１のカラム回路部４０ａ１～４０ａ３に入力されてデジタル信号に変換される。さらに、時刻ｔ１において、信号ＳＥＬ２＜１＞がハイレベルになることで、２行目の画素１０の平均化されたノイズ信号が、第２の垂直信号線ＶＬｂに出力される。２行目の各画素１０からのノイズ信号は、それぞれ第２のカラム回路部４０ｂ１～４０ｂ３に入力されてデジタル信号に変換される。

[0063] 時刻ｔ２では、信号ＴＸ＜０＞がハイレベルになることで、１行目の画素１０の第１及び第２の転送部１２ａ、１２ｂのトランジスタＭ１ａ、Ｍ１ｂがオンになり、第１及び第２の光電変換部１１ａ、１１ｂの電荷が第１及び第２のＦＤ１４ａ、１４ｂに転送される。また、時刻ｔ２では、信号ＴＸ＜１＞がハイレベルになることで、２行目の画素１０の第１及び第２の光電変換部１１ａ、１１ｂの電荷が第１及び第２のＦＤ１４ａ、１４ｂに転送される。この場合、１行目及び２行目の画素１０の各々では、第１のＦＤ１４ａと第２のＦＤ１４ｂが接続されているため、２つの光電変換部から転送された電荷は、容量Ｃａ及び容量Ｃｂに分配される。

[0064] また、時刻ｔ２では、信号ＳＥＬ１＜０＞、信号ＳＥＬ２＜１＞がハイレベルであるため、１行目の画素１０の加算画素信号が第１の垂直信号線ＶＬａに出力され、２行目の画素１０の加算画素信号が第２の垂直信号線ＶＬｂに出力される。第１の垂直信号線ＶＬａに出力された１行目の各画素１０からの加算画素信号は、それぞれ第１のカラム回路部４０ａ１～４０ａ３に入力されてデジタル信号に変換される。第２の垂直信号線ＶＬｂに出力された２行目の各画素１０からの加算画素信号は、それぞれ第２のカラム回路部４０ｂ１～４０ｂ３に入力されてデジタル信号に変換される。

[0065] 時刻ｔ３～時刻ｔ５では、時刻ｔ１から時刻ｔ３までの期間の場合と同様にして、３行目の画素からの信号の読み出しと、４行目の画素からの信号の読み出しとが同時に行われる。時刻ｔ５～時刻ｔ７では、時刻ｔ１から時刻ｔ３までの期間の場合と同様にして、５行目の画素からの信号の読み出しと、６行目の画素からの信号の読み出しとが同時に行われる。このように、図７に示す２行同時読み出し方式は、２行分の画素の信号の読み出しを同時に行うことができる。このため、撮像素子３に配置された各画素１０から高速に信号を読み出すことができる。

[0066] 次に、第１の制御モードと、第２の制御モードの１行読み出し方式と、第２の制御モードの２行同時読み出し方式との使い分けについて、説明する。制御部４は、カメラ１が焦点調節動作を行う場合には、撮像素子３を第１の

制御モードで制御する。また、制御部４は、カメラ１が、表示部６に被写体のスルー画像（ライブビュー画像）を表示する場合には、撮像素子３を第２の制御モードの１行読み出し方式又は２行同時読み出し方式で制御する。従って、カメラ１が表示部６に被写体のスルー画像（ライブビュー画像）を表示しながら、焦点調節動作を行う場合には、制御部４は、撮像素子３を時分割的に、第２の制御モードの１行読み出し方式又は２行同時読み出し方式で制御すると共に第１の制御モードで制御する。操作部７のレリーズ操作部材が操作された場合には、制御部４は、撮像素子３を第２の制御モードの１行読み出し方式又は２行同時読み出し方式で制御する。

[0067] 更に、カメラ１がフレームレートの高い撮影、例えば高速連写撮影や動画撮影を行う場合には、制御部４は、加算画素信号の高速読み出しの為に撮像素子３を第２の制御モードの２行同時読み出し方式で制御する。また、カメラ１に設けられた被写体移動速度検出部が被写体が比較的高速で移動していることを検出した場合にも、制御部４は、加算画素信号を高速に読み出して画像のブレを少なくするために、撮像素子３を第２の制御モードの２行同時読み出し方式で制御する。他方、カメラ１の駆動電池の残量が少なくなったことを、電池残量検出部が検出した場合には、制御部４は電池の消費を少なくするために、撮像素子３を第２の制御モードの１行読み出し方式で制御する。

[0068] 上述した実施の形態によれば、次の作用効果が得られる。

（１）撮像素子３は、入射光を光電変換して電荷を生成する第１の光電変換部１１ａ及び第２の光電変換部１１ｂと、第１の光電変換部１１ａで生成された電荷を蓄積する第１蓄積部（第１のＦＤ１４ａ）と、第２の光電変換部１１ｂで生成された電荷を蓄積する第２蓄積部（第２のＦＤ１４ｂ）と、第１の光電変換部１１ａにより生成された電荷に基づく信号を生成し出力する第１の出力部（第１の増幅部１５ａ及び第１の選択部１６ａ）と、第２の光電変換部１１ｂにより生成された電荷に基づく信号を生成し出力する第２の出力部（第２の増幅部１５ｂ及び第２の選択部１６ｂ）と、第１の出力部と

第２の出力部との間に配置された第１の接続部（結合スイッチ部１８）と、第１の光電変換部１１ａと第２の光電変換部１１ｂとを電気的に接続切断する第２のスイッチを備えた第２の接続部（加算スイッチ部１７）とを有する画素１０と、第１の出力部と接続され、第１の出力部からの信号が出力される第１の信号線（第１の垂直信号線ＶＬａ）と、を備える。本実施の形態では、第１の増幅部１５ａと第２の増幅部１５ｂとを結合スイッチ部１８を介して接続することによって、第２の増幅部１５ｂのゲート容量の変動を抑制する。このため、電荷電圧の変換ゲインの変動を抑制することができる。この結果、直線性が高い加算画素信号を得ることができる。

[0069] （２）撮像素子３は、制御部（垂直転送部５０）を更に有する。制御部は、第１の選択スイッチ（第１の選択部１６ａ）及び第１の接続部（結合スイッチ部１８）を接続状態とし、第２の選択スイッチ（第２の選択部１６ｂ）を切断状態として、第１の出力部と第２の出力部の信号を第１の選択スイッチ（第１の選択部１６ａ）を介して第１の信号線（第１の垂直信号線ＶＬａ）に出力させる。本実施の形態では、結合スイッチ部１８のトランジスタＭ８をオンとすることで、第１の電流源２５ａから第２の増幅部１５ｂに電流を供給される。このため、第２の増幅部１５ｂのトランジスタＭ３ｂを飽和領域で動作させて、第２の増幅部１５ｂのゲート容量を略一定とすることができる。この結果、電荷電圧の変換ゲインの変動を抑制することができる。

[0070] （第２の実施の形態）

図８を参照して、第２の実施の形態に係る撮像素子を説明する。図８は、第２の実施の形態に係る撮像素子３の画素１０の構成を示す回路図である。第１の実施の形態では、図２等に示したように、画素１０には加算スイッチ部１７が配置されている。第２の実施の形態では、図８に示すように、画素１０は加算スイッチ部１７を有しない構成となる。その他の構成は、第１の実施の形態と同一である。

[0071] 第１の制御モードでは、結合スイッチ部１８のトランジスタＭ８がオフとなり、第１の実施の形態の場合と同様の動作となる。すなわち、第１の光電

変換部１１ａで光電変換された電荷は第１のＦＤ１４ａに転送され、第２の光電変換部１１ｂで光電変換された電荷は第２のＦＤ１４ｂに転送される。そして、第１の光電変換部１１ａからの電荷に基づいて生成された第１の画素信号が第１の垂直信号線ＶＬａに出力され、第２の光電変換部１１ｂからの電荷に基づいて生成された第２の画素信号が第２の垂直信号線ＶＬｂに出力される。

[0072] 第２の制御モードでは、結合スイッチ部１８のトランジスタＭ８がオンとなり、第１の増幅部１５ａ及び第２の増幅部１５ｂが接続される。これにより、第１の増幅部１５ａ及び第２の増幅部１５ｂの信号の加算平均化された加算画素信号が、例えば第１の垂直信号線ＶＬ１に出力される。第１の垂直信号線ＶＬ１に出力される加算画素信号は、第１のＦＤ１４ａの電位に基づいて第１の増幅部１５ａにより生成される信号と、第２のＦＤ１４ｂの電位に基づいて第２の増幅部１５ｂにより生成される信号の平均に対応する信号となる。

[0073] このように、本実施形態では、第１の増幅部１５ａと第２の増幅部１５ｂとを結合スイッチ部１８を介して互いに接続することによって、２つの光電変換部からの信号を加算して垂直信号線に出力する。第１の増幅部１５ａ及び第２の増幅部１５ｂの信号の加算（混合）が、第１の増幅部１５ａ及び第２の増幅部１５ｂのトランジスタＭ３ａ、Ｍ３ｂのソースにおいて行われる。このため、２つの光電変換部からの電荷を加算するための加算スイッチ部１７と、加算スイッチ部１７に接続される配線が不要となり、各画素１０に配置する素子数や配線数を少なくすることができる。この結果、画素を微細化することや、撮像素子のチップ面積を低減することが可能となる。また、画素内に多数の素子等を配置して、光電変換部の面積が小さくなってしまうことを回避することができる。

[0074] また、本実施形態では、変換ゲインは一つのＦＤの容量値の逆数となるため、変換ゲインが二つのＦＤの合成容量値の逆数となる場合と比較して、変換ゲインを大きくすることができる。この結果、加算画素信号に混入するノ

イズを相対的に小さくすることができ、Ｓ／Ｎ比を向上させることができる。

[0075]（第３の実施の形態）

図９を参照して、第３の実施の形態に係る撮像素子を説明する。図９は、第３の実施の形態に係る撮像素子３の画素の構成例を示す概念図である。第１の実施の形態では、画素１０毎に複数の光電変換部が配置される例について説明した。第３の実施の形態では、図９に示すように、画素１０は一つの光電変換部を有する構成となる。その他の構成は、第１の実施の形態と同一である。

[0076] 画素１０は、マイクロレンズＭＬと、光電変換部１１と、転送部１２と、リセット部１３と、フローティングディフュージョン（ＦＤ）１４と、増幅部１５と、選択部１６と、加算スイッチ部１７と、結合スイッチ部１８とを有する。マイクロレンズＭＬは、撮像光学系２を介して入射された光を光電変換部１１に集光する。光電変換部１１は、一つのマイクロレンズＭＬに対応して配置される。加算スイッチ部１７は、例えば行方向にそれぞれ配置される複数の画素１０の各々のＦＤ１４を接続し、結合スイッチ部１８は、例えば行方向にそれぞれ配置される複数の画素１０の各々の増幅部１５を接続する。

[0077] 本実施形態では、制御部４は、例えば、静止画撮影を行う場合は第１の制御モードを行って撮像素子３の各画素１０の信号を個別に読み出し、動画撮影を行う場合は第２の制御モードを行って複数の画素１０の信号を加算して読み出す。第１の制御モードでは、制御部４は、撮像素子３を制御して、各画素１０の加算スイッチ部１７のトランジスタＭ７をオフとし、結合スイッチ部１８のトランジスタＭ８もオフとする。各画素１０において、光電変換部１１で光電変換された電荷は、転送部１２によってＦＤ１４に転送される。そして、ＦＤ１４に転送された電荷に応じた画素信号が、増幅部１５及び選択部１６によって垂直信号線ＶＬに読み出される。このように、第１の制御モードでは、各画素の画素信号が個別に垂直信号線ＶＬに読み出される。

[0078] 第２の制御モードにおいては、制御部４は、加算スイッチ部１７及び結合スイッチ部１８をオンとして、各画素１０の光電変換部１１でそれぞれ光電変換された電荷が加算される。そして、増幅部１５と選択部１６と結合スイッチ部１８とによって、加算された電荷に応じて加算画素信号が生成されて垂直信号線ＶＬに読み出される。以下に、第２の制御モードの１行読み出し方式を図１０及び図１１を参照して説明し、第２の制御モードの２行同時読み出し方式を図１０及び図１２を参照して説明する。

[0079] 図１０は、第３の実施の形態に係る撮像素子の一部の構成を示す回路図である。図１１は、第２の制御モードの１行読み出し方式の場合の撮像素子３の動作例を示すタイミングチャートである。図１２は、第２の制御モードの２行同時読み出し方式の場合の撮像素子３の動作例を示すタイミングチャートである。なお、図１０に示す例では、説明を簡略化するために、画素１０は行方向４画素×列方向３画素のみ図示している。図１０に示す複数の画素１０のうちの左下の画素１０を第１行第１列の画素１０（０，０）とし、図１０では画素１０（０，０）から画素１０（２，３）までを図示している。

[0080] 図１０に示すように、撮像素子３は、行列状に配置される複数の画素１０と、電流源２５（電流源２５ａ～電流源２５ｄ）と、電流制御部３０（電流制御部３０ａ～電流制御部３０ｄ）と、カラム回路部４０（カラム回路部４０ａ～カラム回路部４０ｄ）と、垂直転送部５０と、水平転送部６０とを有する。画素１０の各列に対応して垂直信号線ＶＬ（垂直信号線ＶＬａ～垂直信号線ＶＬｄ）が設けられる。垂直信号線ＶＬに対して、電流源２５、電流制御部３０、及びカラム回路部４０が設けられる。

[0081] 図１１に示す１行読み出し方式では、垂直転送部５０は、信号ＡＤＤ＿ＦＤ２及び信号ＡＤＤ＿ＳＦ２をハイレベルとする。なお、信号ＡＤＤ＿ＦＤ１及び信号ＡＤＤ＿ＳＦ１は、それぞれローレベルにされる。信号ＡＤＤ＿ＦＤ２がハイレベルになることで、画素１０（０，０）のＦＤ１４と画素１０（０，１）のＦＤ１４とが互いに電気的に接続され、画素１０（０，２）のＦＤ１４と画素１０（０，３）のＦＤ１４とが互いに電気的に接続される

。また、画素１０（１，０）のＦＤ１４と画素１０（１，１）のＦＤ１４とが互いに電気的に接続され、画素１０（１，２）のＦＤ１４と画素１０（１，３）のＦＤ１４とが互いに電気的に接続される。さらに、画素１０（２，０）のＦＤ１４と画素１０（２，１）のＦＤ１４とが互いに電気的に接続され、画素１０（２，２）のＦＤ１４と画素１０（２，３）のＦＤ１４とが互いに電気的に接続される。

[0082] 信号ＡＤＤ＿ＳＦ２がハイレベルになることで、画素１０（０，０）の増幅部１５と画素１０（０，１）の増幅部１５とが互いに電気的に接続され、画素１０（０，２）の増幅部１５と画素１０（０，３）の増幅部１５とが互いに電気的に接続される。また、画素１０（１，０）の増幅部１５と画素１０（１，１）の増幅部１５とが互いに電気的に接続され、画素１０（１，２）の増幅部１５と画素１０（１，３）の増幅部１５とが互いに電気的に接続される。さらに、画素１０（２，０）の増幅部１５と画素１０（２，１）の増幅部１５とが互いに電気的に接続され、画素１０（２，２）の増幅部１５と画素１０（２，３）の増幅部１５とが互いに電気的に接続される。

[0083] 信号ＣＳ１＿ＥＮはハイレベルにされ、信号ＣＳ２＿ＥＮはローレベルにされる。信号ＣＳ１＿ＥＮがハイレベルになることで、電流制御部３０ａ、３０ｃの各々のスイッチ部３１がオンとなる。これにより、垂直信号線ＶＬａ、ＶＬｃには、それぞれ電流源２５ａ、２５ｃから電流が供給される。また、信号ＣＳ２＿ＥＮがローレベルになることで、電流制御部３０ｂ、３０ｄの各々のスイッチ部３１がオフとなり、スイッチ部３２がオンとなる。これにより、垂直信号線ＶＬｂ、ＶＬｄには、それぞれ電圧Ｖｃｌｉｐが供給される。

[0084] 図１１に示す時刻ｔ１では、信号ＲＳ＜０＞がハイレベルになることで、１行目の画素である画素１０（０，０）～画素１０（０，３）の各々のリセット部１３のトランジスタＭ２がオンになり、ＦＤ１４の電位がリセット電位になる。この場合、画素１０（０，０）及び画素１０（０，１）の互いに電気的に接続されたＦＤ１４間では、ＦＤ１４の電位が平均化される。また

、画素１０（０，２）及び画素１０（０，３）の互いに電気的に接続されたＦＤ１４間では、ＦＤ１４の電位が平均化される。

[0085] さらに、時刻ｔ１において、信号ＳＥＬ１＜０＞がハイレベルになることで、画素１０（０，０）及び画素１０（０，１）の２つの画素の平均化されたノイズ信号が、画素１０（０，０）の選択部１６を介して垂直信号線ＶＬａに出力される。また、画素１０（０，２）及び画素１０（０，３）の２つの画素の平均化されたノイズ信号が、画素１０（０，２）の選択部１６を介して垂直信号線ＶＬｃに出力される。垂直信号線ＶＬａ、ＶＬｃに出力された１行目の各画素１０からのノイズ信号は、それぞれカラム回路部４０ａ、４０ｃに入力されてデジタル信号に変換される。

[0086] 時刻ｔ２では、信号ＴＸ＜０＞がハイレベルになることで、画素１０（０，０）、画素１０（０，１）、画素１０（０，２）、及び画素１０（０，３）において、転送部１２のトランジスタＭ１がオンになり、光電変換部１１で光電変換された電荷が、ＦＤ１４に転送される。この場合、画素１０（０，０）及び画素１０（０，１）の各々の光電変換部１１から転送された電荷は、画素１０（０，０）のＦＤ１４の容量Ｃと画素１０（０，１）のＦＤ１４の容量Ｃとに分配される。また、画素１０（０，２）及び画素１０（０，３）の各々の光電変換部１１から転送された電荷は、画素１０（０，２）のＦＤ１４の容量Ｃと画素１０（０，３）のＦＤ１４の容量Ｃとに分配される。

[0087] また、時刻ｔ２では、信号ＳＥＬ１＜０＞がハイレベルであるため、画素１０（０，０）及び画素１０（０，１）の２つの画素の信号を平均化した加算画素信号が、画素１０（０，０）の選択部１６を介して垂直信号線ＶＬａに出力される。また、画素１０（０，２）及び画素１０（０，３）の２つの画素の信号を平均化した加算画素信号が、画素１０（０，２）の選択部１６を介して垂直信号線ＶＬｃに出力される。垂直信号線ＶＬａ、ＶＬｃに出力された１行目の各画素１０からの加算画素信号は、それぞれカラム回路部４０ａ、４０ｃに入力されてデジタル信号に変換される。

[0088] 時刻ｔ３～時刻ｔ５では、時刻ｔ１から時刻ｔ３までの期間の場合と同様にして、２行目の画素からノイズ信号の読み出しと、加算画素信号の読み出しとが行われる。時刻ｔ５～時刻ｔ７では、時刻ｔ１から時刻３までの期間の場合と同様にして、３行目の画素からノイズ信号の読み出しと、加算画素信号の読み出しとが行われる。このように、１行読み出し方式では、画素１０を行単位で順次選択し、２つの画素１０の光電変換部による信号を加算し、加算画素信号を第１の垂直信号線ＶＬａに読み出すことができる。また、第２の電流源２５ｂからの電流の供給を停止することで、撮像素子３の消費電力を低減することができる。

[0089] 図１２に示す２行同時読み出し方式では、垂直転送部５０は、上述した図１１の１行読み出し方式の場合と同様に、信号ＡＤＤ＿ＦＤ２及び信号ＡＤＤ＿ＳＦ２をハイレベルとする。なお、信号ＡＤＤ＿ＦＤ１及び信号ＡＤＤ＿ＳＦ１は、それぞれローベルにされる。また、信号ＣＳ１＿ＥＮがハイレベルにされ、信号ＣＳ２＿ＥＮもハイレベルにされる。信号ＣＳ１＿ＥＮがハイレベルになることで、垂直信号線ＶＬａ、ＶＬｃには、それぞれ電流源２５ａ、２５ｃから電流が供給される。また、信号ＣＳ２＿ＥＮがハイレベルになることで、垂直信号線ＶＬｂ、ＶＬｄには、それぞれ電流源２５ｂ、２５ｄから電流が供給される。

[0090] 図１２に示す時刻ｔ１では、信号ＲＳ＜０＞、ＲＳ＜１＞がハイレベルになることで、１行目の画素と２行目の画素（画素１０（０、０）～画素１０（１、３））の各々のリセット部１３のトランジスタＭ２がオンとなる。この場合、互いに電気的に接続されたＦＤ１４間では、ＦＤ１４の電位が平均化される。

[0091] また、時刻ｔ１において、信号ＳＥＬ１＜０＞がハイレベルになることで、画素１０（０，０）及び画素１０（０，１）の２つの画素の平均化されたノイズ信号が、画素１０（０，０）の選択部１６を介して垂直信号線ＶＬａに出力される。また、画素１０（０，２）及び画素１０（０，３）の２つの画素の平均化されたノイズ信号が、画素１０（０，２）の選択部１６を介し

て垂直信号線ＶＬｃに出力される。さらに、時刻ｔ１において、信号ＳＥＬ２＜１＞がハイレベルになることで、画素１０（１，０）及び画素１０（１，１）の２つの画素の平均化されたノイズ信号が、画素１０（１，１）の選択部１６を介して垂直信号線ＶＬｂに出力される。また、画素１０（１，２）及び画素１０（１，３）の２つの画素の平均化されたノイズ信号が、画素１０（１，３）の選択部１６を介して垂直信号線ＶＬｄに出力される。垂直信号線ＶＬａ～ＶＬｄに出力された１行目及び２行目の各画素１０からのノイズ信号は、それぞれカラム回路部４０ａ～４０ｄに入力されてデジタル信号に変換される。

[0092] 時刻ｔ２では、信号ＴＸ＜０＞がハイレベルになることで、画素１０（０，０）～画素１０（０，３）において、転送部１２のトランジスタＭ１がオンになり、光電変換部１１で光電変換された電荷がＦＤ１４に転送される。また、時刻ｔ２では、信号ＴＸ＜１＞がハイレベルになることで、画素１０（１，０）～画素１０（１，３）において、転送部１２のトランジスタＭ１がオンになり、光電変換部１１で光電変換された電荷がＦＤ１４に転送される。

[0093] また、時刻ｔ２では、信号ＳＥＬ１＜０＞がハイレベルであるため、画素１０（０，０）及び画素１０（０，１）の２つの画素の加算画素信号が、画素１０（０，０）の選択部１６を介して垂直信号線ＶＬａに出力される。また、画素１０（０，２）及び画素１０（０，３）の２つの画素の加算画素信号が、画素１０（０，２）の選択部１６を介して垂直信号線ＶＬｃに出力される。さらに、時刻ｔ２では、信号ＳＥＬ２＜１＞がハイレベルであるため、画素１０（１，０）及び画素１０（１，１）の２つの画素の加算画素信号が、画素１０（１，１）の選択部１６を介して垂直信号線ＶＬｂに出力される。また、画素１０（１，２）及び画素１０（１，３）の２つの画素の加算画素信号が、画素１０（１，３）の選択部１６を介して垂直信号線ＶＬｄに出力される。垂直信号線ＶＬａ～ＶＬｄに出力された１行目及び２行目の各画素１０からの加算画素信号は、それぞれカラム回路部４０ａ～４０ｄに入

力されてデジタル信号に変換される。

[0094] 時刻ｔ３～時刻ｔ５では、時刻ｔ１から時刻ｔ３までの期間の場合と同様にして、３行目の画素からの信号の読み出しと、４行目の画素からの信号の読み出しとが同時に行われる。時刻ｔ５～時刻ｔ７では、時刻ｔ１から時刻３までの期間の場合と同様にして、５行目の画素からの信号の読み出しと、６行目の画素からの信号の読み出しとが同時に行われる。このように、２行同時読み出し方式は、２行分の画素の信号の読み出しを同時に行うことができる。このため、撮像素子３に配置された各画素１０から高速に信号を読み出すことができる。

[0095] 次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数を上述の実施形態と組み合わせることも可能である。

[0096]（変形例１）

上述した第３の実施の形態では、画素１０に加算スイッチ部１７が設けられる例について説明した。しかし、図１３に示すように、画素の構成を、加算スイッチ部１７を有しない構成としてもよい。この場合、第１の制御モードでは、結合スイッチ部１８のトランジスタＭ８がオフとなり、第３の実施の形態の場合と同様の動作となる。また、第２の制御モードにおいては、結合スイッチ部１８のトランジスタＭ８がオンとなり、各画素１０の各々の増幅部１５が互いに電気的に接続される。これにより、各画素１０の増幅部１５の信号の加算平均化された加算画素信号が垂直信号線ＶＬに出力される。このように、変形例１では、複数の画素１０の各々の増幅部１５を結合スイッチ部１８を介して互いに接続することによって、複数の光電変換部からの信号を加算して垂直信号線に出力することができる。なお、結合スイッチ部１８は、画素１０毎に配置されなくてもよい。結合スイッチ部１８を、複数の画素毎に配置して、複数の画素で共有する構成としてもよい。また、加算スイッチ部１７を、複数の画素毎に配置して、複数の画素で共有する構成としてもよい。

[0097]（変形例２）

上述した第１の実施の形態では、１画素に２つの光電変換部を配置する例について説明したが、画素の構成はこれに限らない。画素の構成を、１画素あたり３つ以上の光電変換部を有する構成にしてもよい。この場合には、例えば、第１の制御モードでは複数の光電変換部からの信号を個別に読み出し、第２の制御モードでは複数の光電変換部のうち２つ以上の光電変換部からの信号を加算して読み出すようにしてもよい。

[0098]（変形例３）

上述した実施の形態および変形例では、光電変換部としてフォトダイオードを用いる例について説明した。しかし、光電変換部として光電変換膜を用いるようにしてもよい。

[0099]（変形例４）

上述の実施の形態および変形例で説明した撮像素子３は、カメラ、スマートフォン、タブレット、ＰＣに内蔵のカメラ、車載カメラ、無人航空機（ドローン、ラジコン機等）に搭載されるカメラ等に適用されてもよい。

[0100] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0101] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願２０１７年第１６２８５号（２０１７年１月３１日出願）

符号の説明

[0102] ３　撮像素子、４　制御部、１０　画素、１１ａ　第１の光電変換部、１１ｂ　第２の光電変換部、１７　加算スイッチ部、１８　結合スイッチ部、５０　垂直転送部

請求の範囲

[請求項1] 光を光電変換して電荷を生成する第１の光電変換部と、前記第１の光電変換部により生成された電荷に基づく第１の信号を生成し出力する第１の出力部と、を有する第１画素と、

光を光電変換して電荷を生成する第２の光電変換部と、前記第２の光電変換部により生成された電荷に基づく第２の信号を生成し出力する第２の出力部と、を有する第２画素と、

前記第１の出力部から前記第１の信号および前記第２の信号が出力されるとき、前記第１の出力部の容量を調整する調整部と、

を備える撮像素子。

[請求項2] 請求項１に記載の撮像素子において、

前記調整部は、前記第１の出力部から前記第１の信号および前記第２の出力部から前記第２の信号が出力されるときの前記第１の出力部の容量と、前記第１の出力部から前記第１の信号および前記第２の信号が出力されるときの前記第１の出力部の容量とが同じになるよう前記第１の出力部の容量を調整する撮像素子。

[請求項3] 請求項１または請求項２に記載の撮像素子において、

前記第１の出力部と前記第２の出力部とを接続する第１の接続部を有し、

前記調整部は、前記第１の接続部により前記第１の出力部の容量を調整する撮像素子。

[請求項4] 請求項３に記載の撮像素子において、

前記調整部は、前記第１の出力部から前記第１の信号および前記第２の信号が出力されるとき、前記第１の接続部は前記第１の出力部と前記第２の出力部とを接続する撮像素子。

[請求項5] 光を光電変換して電荷を生成する第１の光電変換部と、前記第１の光電変換部により生成された電荷に基づく信号を出力し、第１の信号線と接続される第１の出力部と、を有する第１画素と、

光を光電変換して電荷を生成する第２の光電変換部と、前記第２の光電変換部により生成された電荷に基づく信号を出力し、第２の信号線と接続される第２の出力部と、を有する第２画素と、

前記第１の出力部と前記第２の出力部との間に配置された第１の接続部と、

を備える撮像素子。

[請求項6] 請求項５に記載の撮像素子において、

前記第１の光電変換部により生成された電荷および前記第２の光電変換部により生成された電荷に基づく信号が前記第１の信号線に出力されるとき、前記第１の接続部は前記第１の出力部と前記第２の出力部とを接続する撮像素子。

[請求項7] 請求項５または請求項６に記載の撮像素子において、

前記第１の光電変換部により生成された電荷に基づく信号が前記第１の信号線に出力され、前記第２の光電変換部により生成された電荷に基づく信号が前記第２の信号線に出力されるとき、前記第１の接続部は前記第１の出力部と前記第２の出力部とを切断する撮像素子。

[請求項8] 請求項５から請求項７までのいずれか一項に記載の撮像素子において、

前記第１画素は、前記第１の光電変換部で生成された電荷を蓄積する第１の蓄積部を有し、

前記第２画素は、前記第２の光電変換部で生成された電荷を蓄積する第２の蓄積部を有し、

前記第１の蓄積部と前記第２の蓄積部とを接続する第２の接続部を備える撮像素子。

[請求項9] 請求項８に記載の撮像素子において、

前記第１の光電変換部により生成された電荷および前記第２の光電変換部により生成された電荷に基づく信号が前記第１の信号線に出力されるとき、前記第２の接続部は前記第１の蓄積部と前記第２の蓄積

部とを切断する撮像素子。

[請求項10] 請求項８または請求項９に記載の撮像素子において、

前記第１の接続部により前記第１の出力部と前記第２の出力部とが接続されるとき、前記第２の接続部は前記第１の蓄積部と前記第２の蓄積部とを切断する撮像素子。

[請求項11] 請求項５から請求項１０までのいずれか一項に記載の撮像素子において、

前記第１の出力部は、前記第１の光電変換部により生成された電荷に基づく第１の信号を生成する第１の増幅部と、前記第１の増幅部と前記第１の信号線とを接続する第１の選択スイッチとを有し、

前記第２の出力部は、前記第２の光電変換部により生成された電荷に基づく第２の信号を生成する第２の増幅部と、前記第２の増幅部と前記第２の信号線とを接続する第２の選択スイッチとを有し、

前記第１の接続部は、前記第１の増幅部と前記第１の選択スイッチの間と、前記第２の増幅部と前記第２の選択スイッチの間とを接続する撮像素子。

[請求項12] 請求項１１に記載の撮像素子において、

前記第１の信号および前記第２の信号が前記第１の信号線に出力されるとき、前記第１の接続部は、前記第１の増幅部と前記第１の選択スイッチの間と、前記第２の増幅部と前記第２の選択スイッチの間とを接続する撮像素子。

[請求項13] 請求項１１または請求項１２に記載の撮像素子において、

前記第１の増幅部と前記第１の信号線とが第１の選択スイッチにより接続され、前記第２の増幅部と前記第２の信号線とが第２の選択スイッチにより接続されないとき、前記第１の接続部は、前記第１の増幅部と前記第１の選択スイッチの間と、前記第２の増幅部と前記第２の選択スイッチの間とを接続する撮像素子。

[請求項14] 請求項１１から請求項１３までのいずれか一項に記載の撮像素子に

おいて、

前記第１の信号が前記第１の信号線に出力され、前記第２の信号が前記第２の信号線に出力されるとき、前記第１の接続部は、前記第１の増幅部と前記第１の選択スイッチの間と、前記第２の増幅部と前記第２の選択スイッチの間とを切断する撮像素子。

[請求項15] 請求項１１から請求項１３までのいずれか一項に記載の撮像素子において、

前記第１の増幅部と前記第１の信号線とが第１の選択スイッチにより接続され、前記第２の増幅部と前記第２の信号線とが第２の選択スイッチにより接続されるとき、前記第１の接続部は、前記第１の増幅部と前記第１の選択スイッチの間と、前記第２の増幅部と前記第２の選択スイッチの間とを切断する撮像素子。

[請求項16] 請求項５から請求項１５までのいずれか一項に記載の撮像素子において

前記第１の接続部は、前記第１の出力部と前記第２の出力部とを電気的に接続切断する第１のスイッチを有する撮像素子。

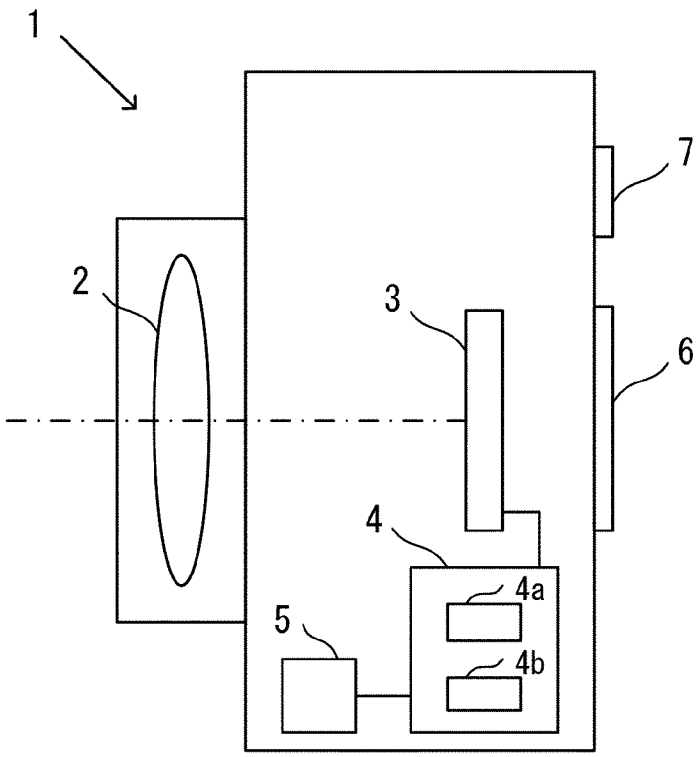
[請求項17] 請求項１から請求項１６までのいずれか一項に記載の撮像素子と、

前記撮像素子から出力される信号に基づいて画像データを生成する画像生成部と、

を備える撮像装置。

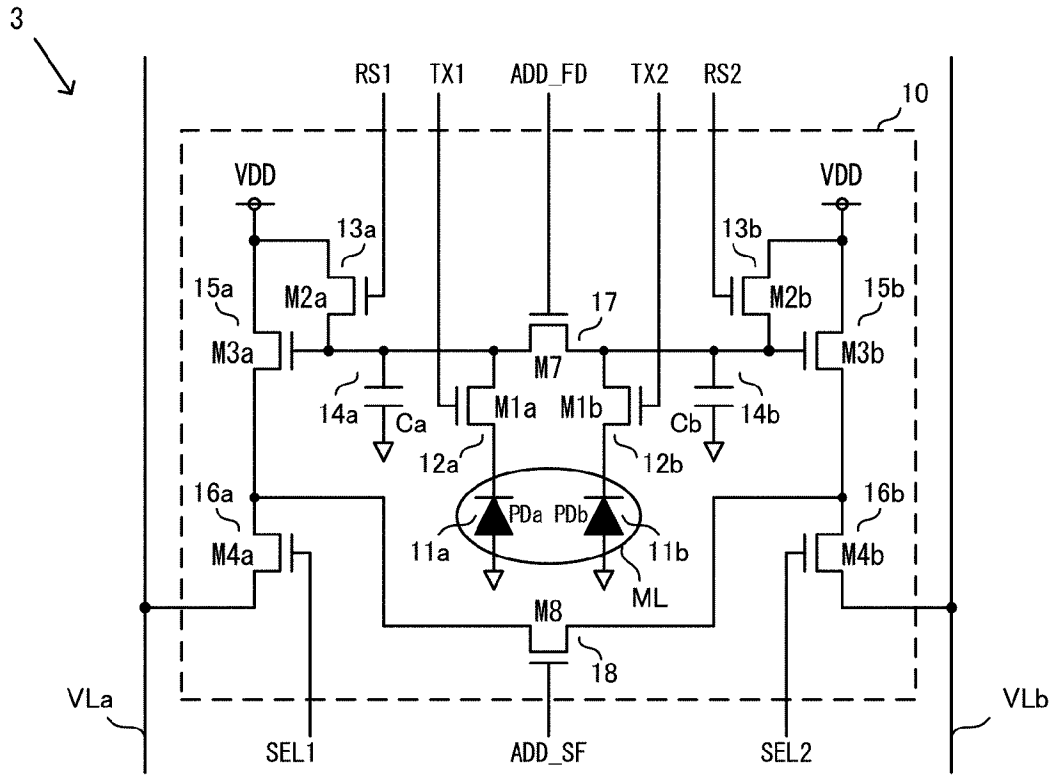
[図1]

【図１】



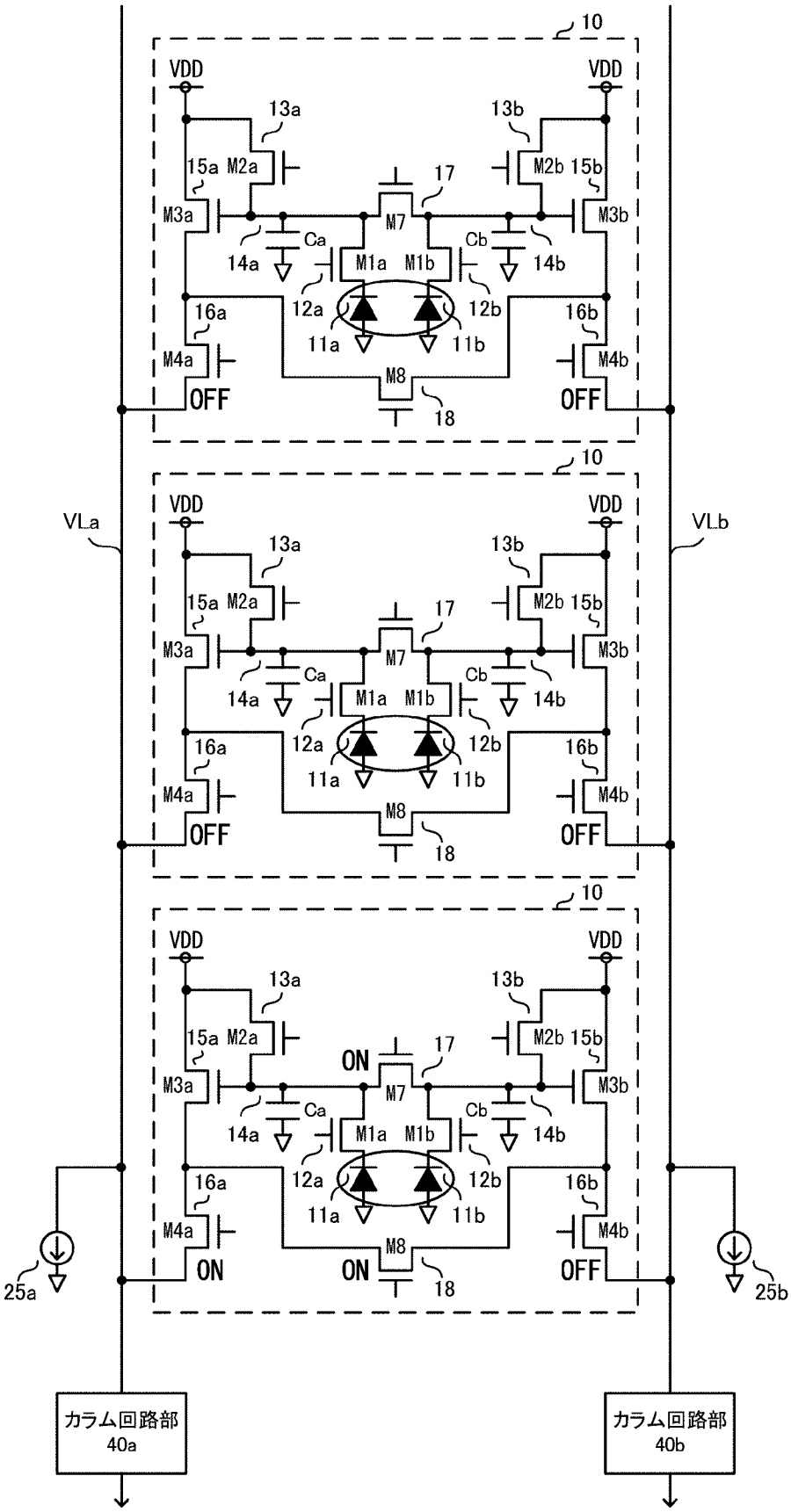
[図2]

【図２】


3
RS1
TX1
ADD_FD
TX2
RS2
10
VDD
VDD
13a
13b
15a
M2a
17
M2b
15b
M3a
M7
M3b
14a
Ca
M1a
M1b
Cb
14b
12a
12b
16a
PDa
PDb
16b
11a
11b
M4a
ML
M4b
M8
18
VLa
SEL1
ADD_SF
SEL2
VLb

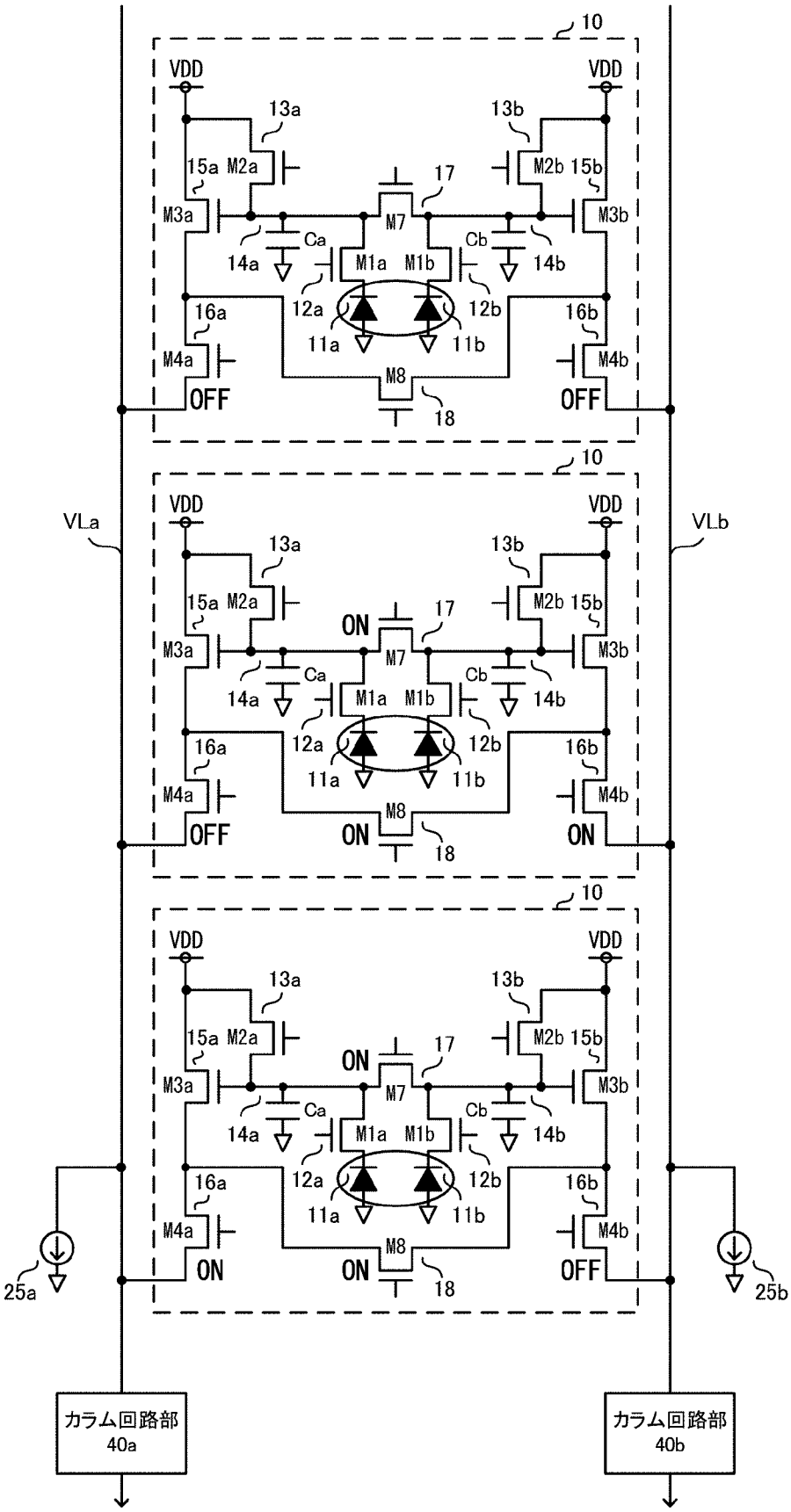
[図3]

【図３】


10
VDD
VDD
13a
13b
15a
M2a
M2b
15b
17
M3a
M7
M3b
Ca
Cb
14a
M1a
M1b
14b
12a
12b
16a
16b
11a
11b
M4a
M8
M4b
OFF
18
OFF
VLa
VLb
ON
ON
ON
OFF
25a
25b
カラム回路部
40a
カラム回路部
40b

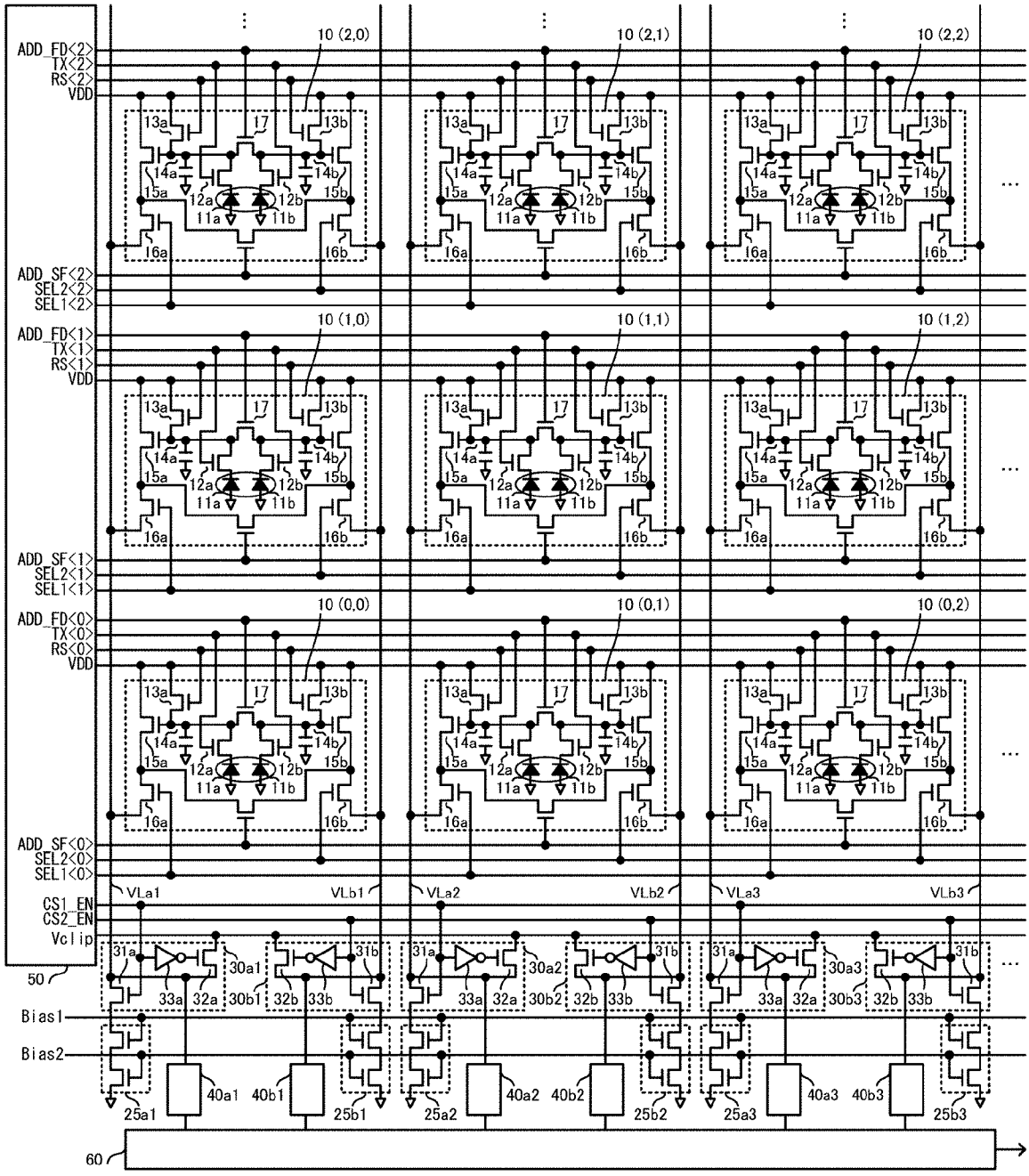
[図4]

【図４】


10
VDD
VDD
13a
13b
15a
M2a
M2b
15b
17
M3a
M7
M3b
Ca
Cb
14a
M1a
M1b
14b
12a
12b
16a
16b
11a
11b
M4a
M8
M4b
OFF
18
OFF
VLa
VLb
ON
ON
ON
ON
25a
25b
カラム回路部
40a
カラム回路部
40b

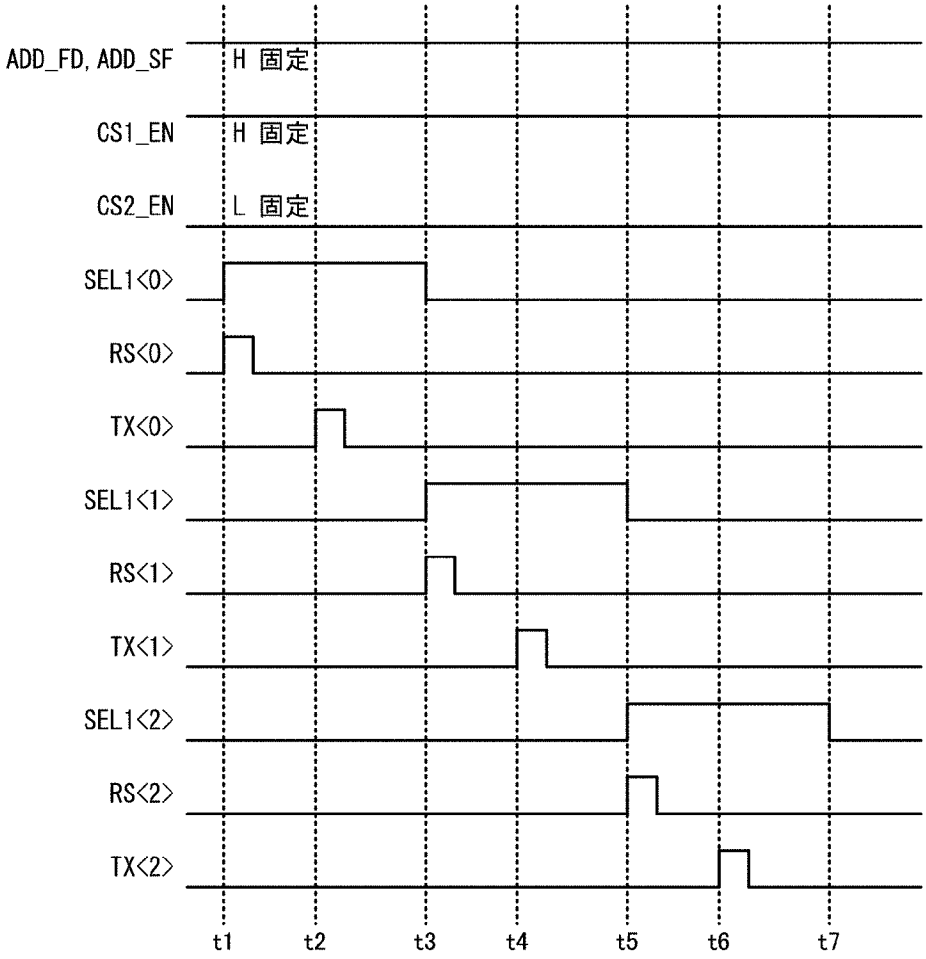
[図5]

【図５】


10 (2,0)
10 (2,1)
10 (2,2)
10 (1,0)
10 (1,1)
10 (1,2)
10 (0,0)
10 (0,1)
10 (0,2)
ADD_FD<2>
TX<2>
RS<2>
VDD
ADD_SF<2>
SEL2<2>
SEL1<2>
ADD_FD<1>
TX<1>
RS<1>
VDD
ADD_SF<1>
SEL2<1>
SEL1<1>
ADD_FD<0>
TX<0>
RS<0>
VDD
ADD_SF<0>
SEL2<0>
SEL1<0>
CS1_EN
CS2_EN
Vclip
VLa1
VLb1
VLa2
VLb2
VLa3
VLb3
50
Bias1
Bias2
60
25a1
25b1
25a2
25b2
25a3
25b3
40a1
40b1
40a2
40b2
40a3
40b3

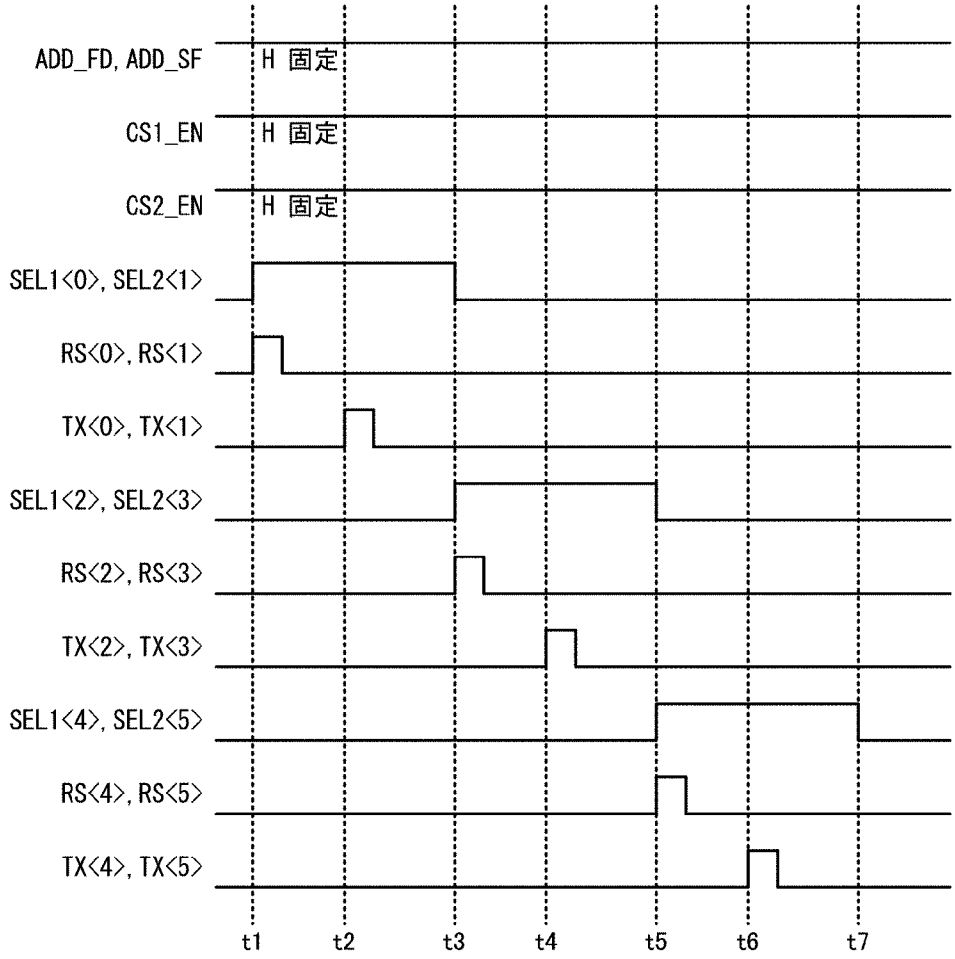
[図6]

【図６】


ADD_FD, ADD_SF
H 固定
CS1_EN
H 固定
CS2_EN
L 固定
SEL1<0>
RS<0>
TX<0>
SEL1<1>
RS<1>
TX<1>
SEL1<2>
RS<2>
TX<2>
t1
t2
t3
t4
t5
t6
t7

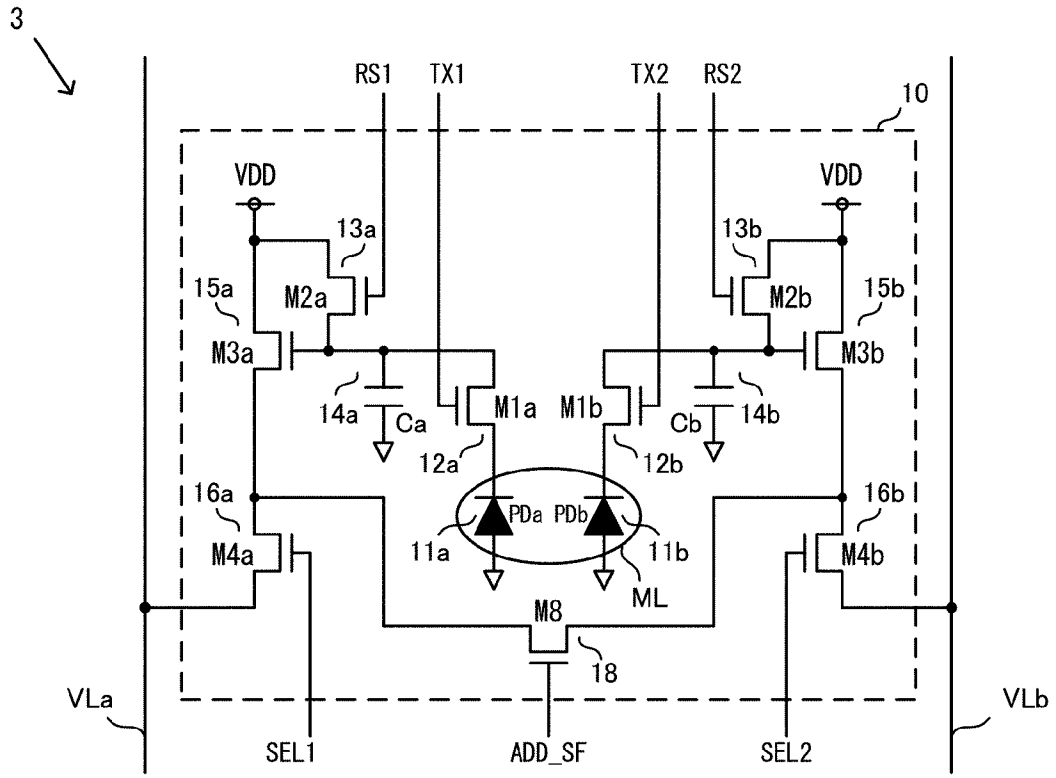
[図7]

【図７】


ADD_FD, ADD_SF
H 固定
CS1_EN
H 固定
CS2_EN
H 固定
SEL1<0>, SEL2<1>
RS<0>, RS<1>
TX<0>, TX<1>
SEL1<2>, SEL2<3>
RS<2>, RS<3>
TX<2>, TX<3>
SEL1<4>, SEL2<5>
RS<4>, RS<5>
TX<4>, TX<5>
t1
t2
t3
t4
t5
t6
t7

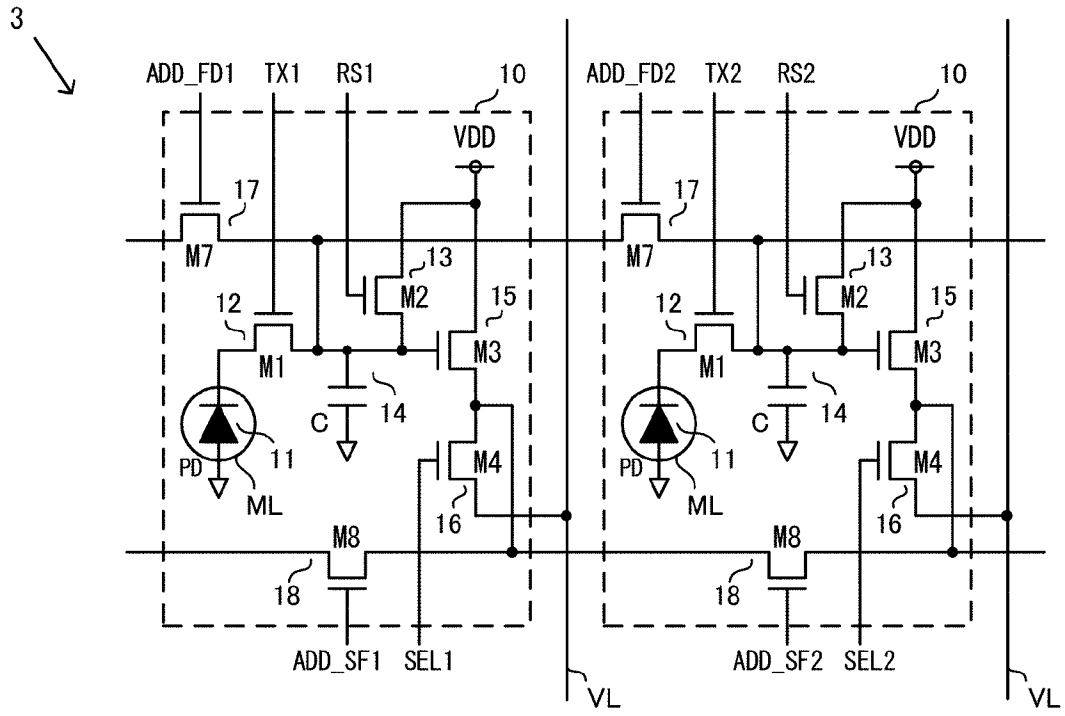
[図8]

【図８】


3
RS1
TX1
TX2
RS2
10
VDD
VDD
13a
13b
15a
M2a
M2b
15b
M3a
M3b
14a
Ca
M1a
M1b
Cb
14b
12a
12b
16a
PDa
PDb
16b
11a
11b
M4a
M4b
ML
M8
18
VLa
VLb
SEL1
ADD_SF
SEL2

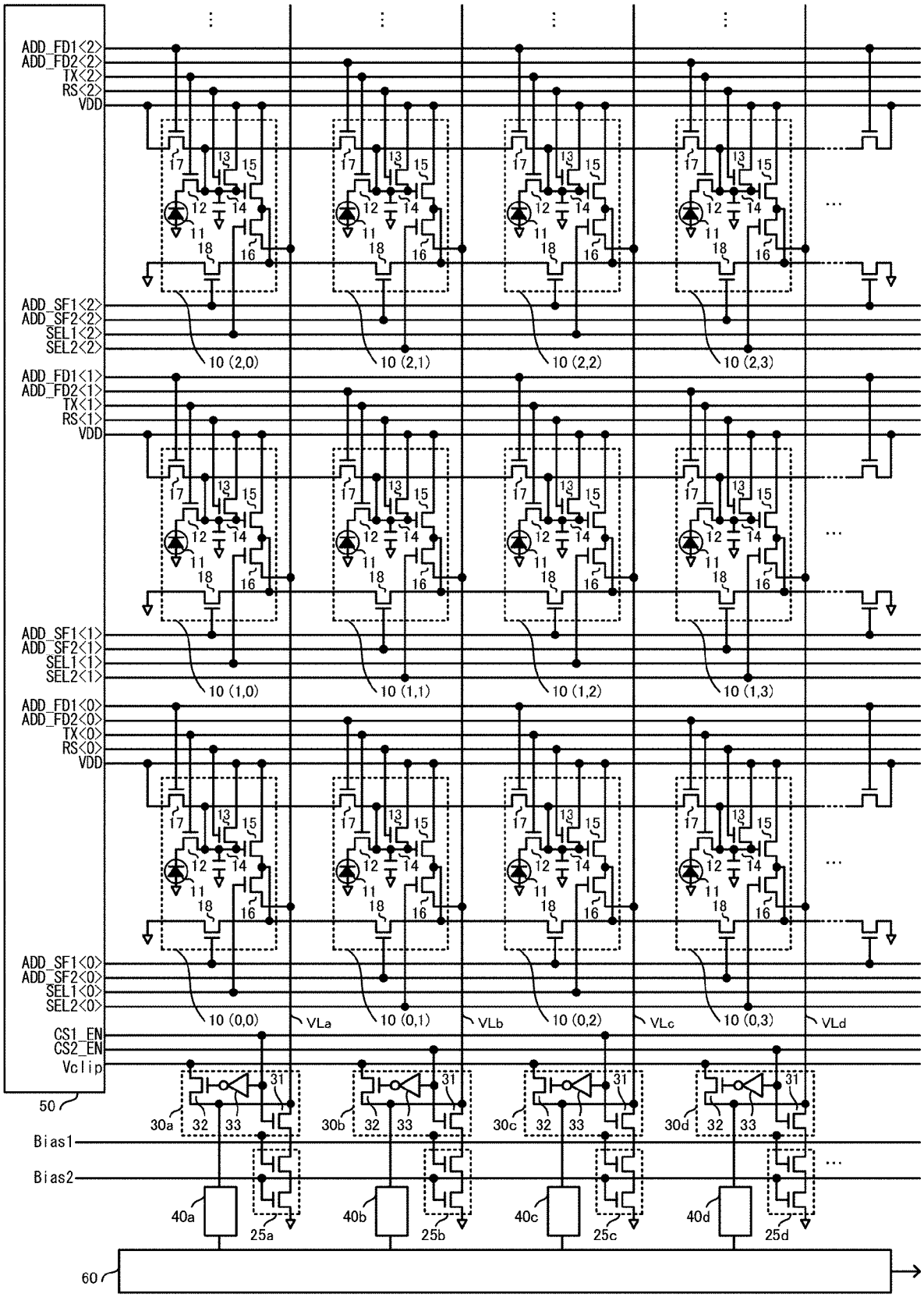
[図9]

【図９】


3
ADD_FD1
TX1
RS1
10
VDD
17
M7
13
M2
12
15
M1
M3
C
14
PD
11
ML
M4
16
M8
18
ADD_SF1
SEL1
VL
ADD_FD2
TX2
RS2
10
VDD
17
M7
13
M2
12
15
M1
M3
C
14
PD
11
ML
M4
16
M8
18
ADD_SF2
SEL2
VL

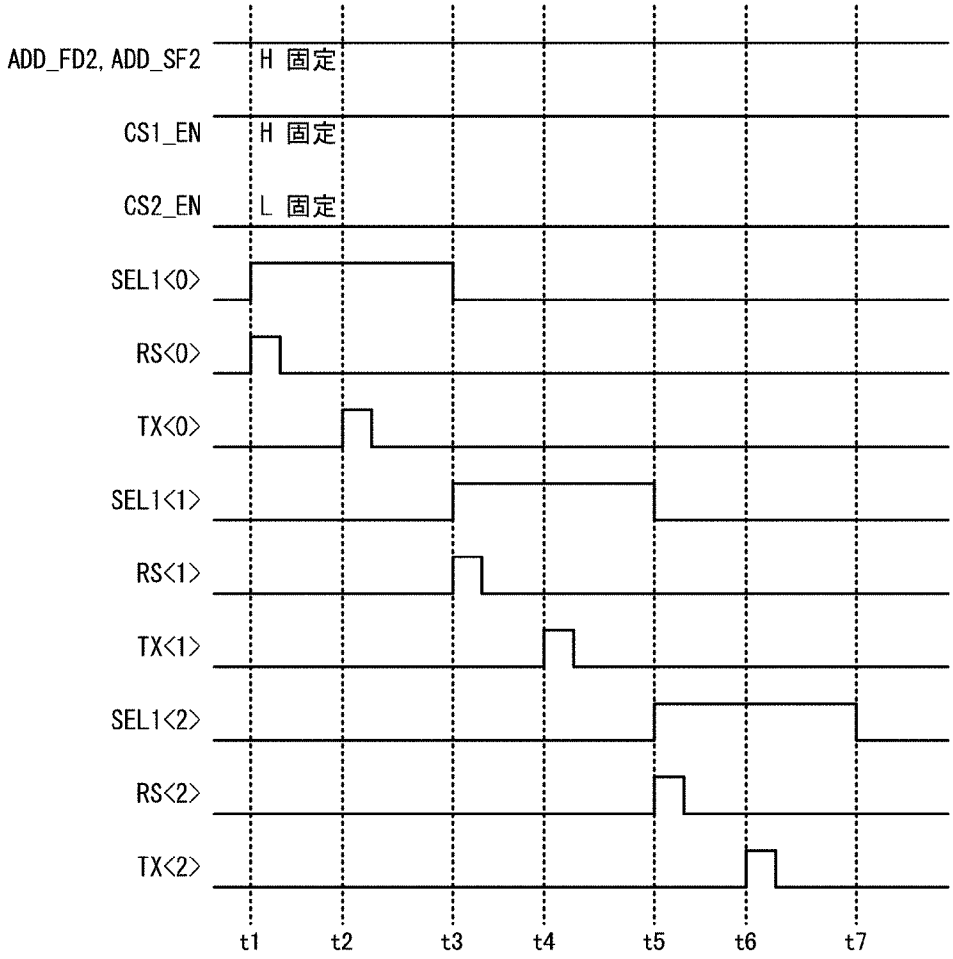
[図10]

【図１０】


ADD_FD1<2>
ADD_FD2<2>
TX<2>
RS<2>
VDD
ADD_SF1<2>
ADD_SF2<2>
SEL1<2>
SEL2<2>
10 (2,0)
10 (2,1)
10 (2,2)
10 (2,3)
ADD_FD1<1>
ADD_FD2<1>
TX<1>
RS<1>
VDD
ADD_SF1<1>
ADD_SF2<1>
SEL1<1>
SEL2<1>
10 (1,0)
10 (1,1)
10 (1,2)
10 (1,3)
ADD_FD1<0>
ADD_FD2<0>
TX<0>
RS<0>
VDD
ADD_SF1<0>
ADD_SF2<0>
SEL1<0>
SEL2<0>
10 (0,0)
10 (0,1)
10 (0,2)
10 (0,3)
VLa
VLb
VLc
VLd
CS1_EN
CS2_EN
Vclip
50
30a
30b
30c
30d
31
32
33
Bias1
Bias2
40a
40b
40c
40d
25a
25b
25c
25d
60

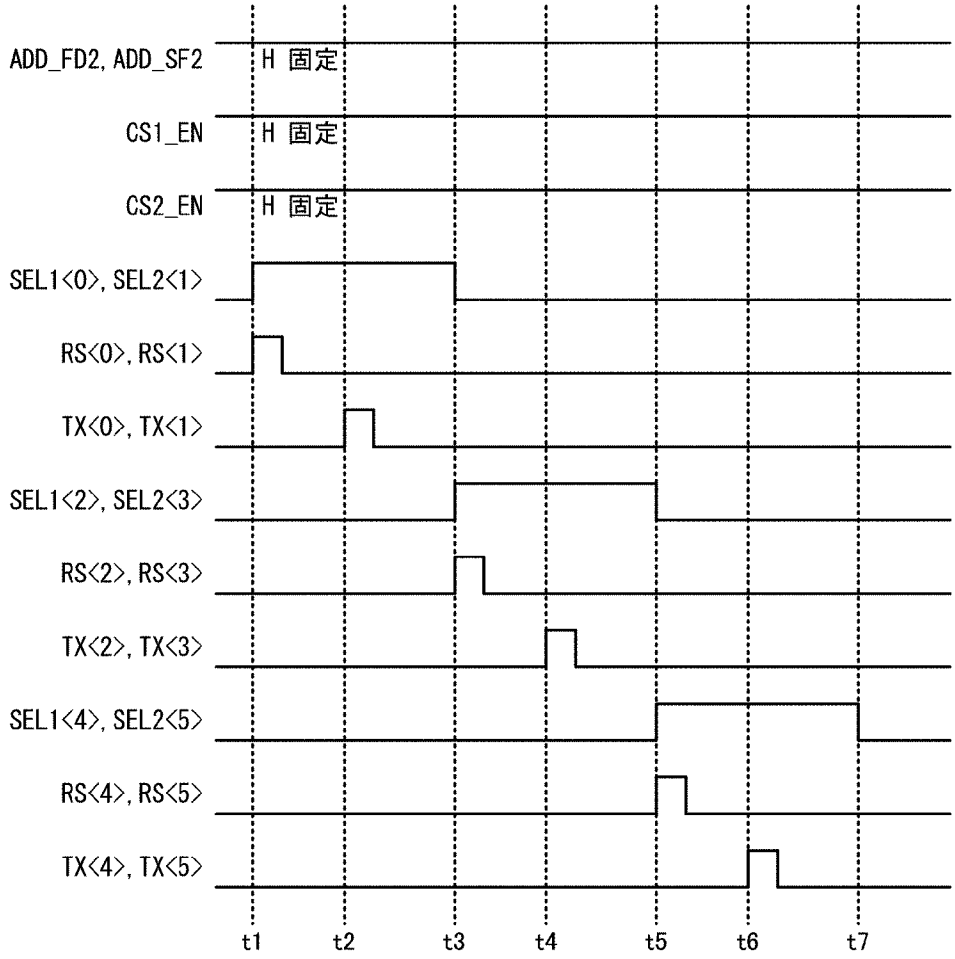
[図11]

【図１１】


ADD_FD2, ADD_SF2
H 固定
CS1_EN
H 固定
CS2_EN
L 固定
SEL1<0>
RS<0>
TX<0>
SEL1<1>
RS<1>
TX<1>
SEL1<2>
RS<2>
TX<2>
t1
t2
t3
t4
t5
t6
t7

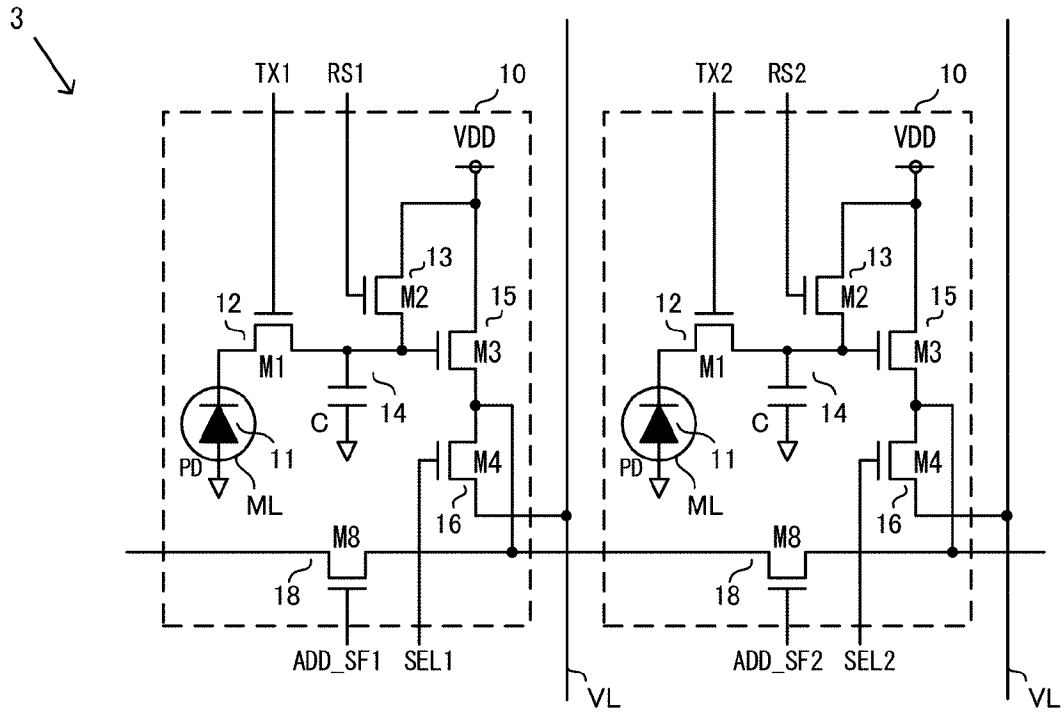
[図12]

【図１２】


ADD_FD2, ADD_SF2
H 固定
CS1_EN
H 固定
CS2_EN
H 固定
SEL1<0>, SEL2<1>
RS<0>, RS<1>
TX<0>, TX<1>
SEL1<2>, SEL2<3>
RS<2>, RS<3>
TX<2>, TX<3>
SEL1<4>, SEL2<5>
RS<4>, RS<5>
TX<4>, TX<5>
t1
t2
t3
t4
t5
t6
t7

[図13]

【図１３】


3
TX1
RS1
10
VDD
13
M2
12
15
M1
M3
C
14
PD
11
ML
M4
16
M8
18
ADD_SF1
SEL1
VL
TX2
RS2
10
VDD
13
M2
12
15
M1
M3
C
14
PD
11
ML
M4
16
M8
18
ADD_SF2
SEL2
VL

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/003302

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N5/3745(2011.01)i, H04N5/347(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/3745, H04N5/347

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-139859 A (CANON INC.) 04 August 2016, paragraphs [0013]-[0053], fig. 2, 10 & US 2016/0219237 A1, paragraphs [0009]-[0068], fig. 2, 10	1-17
Y	JP 2012-216940 A (CANON INC.) 08 November 2012, paragraphs [0066]-[0075], fig. 14 & US 2012/0249852 A1, paragraphs [0091]-[0104], fig. 14	1-17
Y	JP 2015-211257 A (TOSHIBA CORP.) 24 November 2015, paragraph [0044], fig. 10 & US 2015/0312491 A1, paragraphs [0087]-[0089], fig. 10	1-17
Y	JP 2015-204469 A (CANON INC.) 16 November 2015, paragraphs [0001]-[0113], fig. 6, 9 & US 2015/0296155 A1, paragraphs [0001]-[0131], fig. 6, 9	1-17
Y	JP 2016-15680 A (NIKON CORP.) 08 December 2016, paragraphs [0001]-[0174], fig. 11 & US 2016/0373668 A1, paragraphs [0001]-[0450], fig. 11	1-17

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
05 April 2018 (05.04.2018)	17 April 2018 (17.04.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／００３３０２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/3745(2011.01)i, H04N5/347(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/3745, H04N5/347

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2016-139859 A (キヤノン株式会社) 2016.08.04, 段落[0013]-[0053]、図 2,10 & US 2016/0219237 A1,段落[0009]-[0068]、図 2,10	1-17
Y	JP 2012-216940 A (キヤノン株式会社) 2012.11.08, 段落[0066]-[0075]、図 14 & US 2012/0249852 A1,段落[0091]-[0104]、図 14	1-17

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０５．０４．２０１８	１７．０４．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　４２２８
松永　隆志
電話番号　０３－３５８１－１１０１　内線　３５７１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2015-211257 A (株式会社東芝) 2015.11.24, 段落[0044]、図 10 & US 2015/0312491 A1,段落[0087]-[0089]、図 10	1-17
Y	JP 2015-204469 A (キヤノン株式会社) 2015.11.16, 段落[0001]-[0113]、図 6,9 & US 2015/0296155 A1,段落[0001]-[0131]、図 6,9	1-17
Y	JP 2016-15680 A (株式会社ニコン) 2016.12.08, 段落[0001]-[0174]、図 11 & US 2016/0373668 A1,段落[0001]-[0450]、図 11	1-17