

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5241485号
(P5241485)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 6 1
HO 1 L 21/8247 (2006.01)	
HO 1 L 27/115 (2006.01)	

請求項の数 14 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2008-506611 (P2008-506611)	(73) 特許権者	390009531
(86) (22) 出願日	平成18年4月12日(2006.4.12)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2008-536336 (P2008-536336A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成20年9月4日(2008.9.4)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2006/013561		
(87) 国際公開番号	W02006/110781	(74) 代理人	100108501
(87) 国際公開日	平成18年10月19日(2006.10.19)		弁理士 上野 剛史
審査請求日	平成21年1月23日(2009.1.23)	(74) 代理人	100112690
(31) 優先権主張番号	10/907, 686		弁理士 太佐 種一
(32) 優先日	平成17年4月12日(2005.4.12)	(74) 代理人	100091568
(33) 優先権主張国	米国 (US)		弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 SOC用途のための高密度トレンチ・ベース不揮発性ランダム・アクセスSONOSメモリ・セルの構造及びこれを製造する方法

(57) 【特許請求の範囲】

【請求項1】

1 μmから2 μmの深さを有する複数のトレンチ構造を含む少なくとも1つのアレイ領域を含む半導体基板であって、前記トレンチ構造の各々は、前記トレンチ構造の垂直側壁上に配置されたチャンネルを有するセレクト・トランジスタを含み、前記トレンチ構造がトレンチ分離領域によって分離されている、半導体基板と、

前記トレンチ構造の各々の底壁の下に配置されたソース拡散部と、

前記半導体基板の表面に配置された酸化物/窒化物/酸化物ゲート誘電体を含み、前記トレンチ構造に隣接する、メモリ・トランジスタと、
を含み、

前記セレクト・トランジスタは、前記トレンチ構造の各々の側壁上のセレクト・ゲート誘電体と、ゲートとして機能する導電性充填材料とを含み、前記ソース拡散部が前記セレクト・トランジスタのソースであり、前記メモリ・トランジスタの拡散部が前記セレクト・トランジスタのドレインであり、

前記セレクト・トランジスタの前記ゲートの表面上にセレクト・ゲート・コンタクトが直接配置される、

不揮発性ランダム・アクセス・メモリ・セル。

【請求項2】

前記ソース拡散部の各々に接する、前記半導体基板内に配置された共通埋め込みソースをさらに含む、請求項1に記載の不揮発性ランダム・アクセス・メモリ・セル。

10

20

【請求項 3】

前記共通埋め込みソースはN - バンド領域である、請求項 2 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 4】

前記導電性充填材料は、ドーブされたポリシリコンを含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 5】

前記セレクト・トランジスタの前記表面はシリサイドを含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 6】

前記セレクト・ゲート・コンタクトは第 1 の金属レベルと接する、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 7】

前記メモリ・トランジスタは、ビットライン・コンタクトを通してビットラインと接する拡散領域を含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 8】

前記少なくとも 1 つのアレイ領域に隣接したアレイ周辺部領域をさらに含み、前記アレイ周辺部領域は、前記少なくとも 1 つのアレイ領域の前記半導体基板内に形成されたアレイ・ウェル領域とは異なる導電性を有する、前記アレイ領域を囲むウェル領域を前記半導体基板内に含む、請求項 1 に記載の不揮発性ランダム・アクセス・メモリ・セル。

【請求項 9】

1 μm から 2 μm の深さを有する複数のトレンチ構造を含む少なくとも 1 つのアレイ領域を含む半導体基板であって、前記トレンチ構造の各々は、前記トレンチ構造の垂直側壁上に配置されたチャンネルを有するセレクト・トランジスタを含む下部と、酸化物 / 窒化物 / 酸化物ゲート誘電体を含むメモリ・トランジスタを含む上部とを含む、半導体基板と、
前記トレンチ構造の間に配置されたトレンチ分離領域と、
前記トレンチ構造の各々の底壁の下に配置されたソース拡散部と、
を含み、

前記セレクト・トランジスタは、前記下部における前記トレンチ構造の各々の側壁にあるセレクト・ゲート誘電体とゲートとして機能する導電性充填材料とを含み、前記ソース拡散部が前記セレクト・トランジスタのソースであり、前記メモリ・トランジスタの拡散部が前記セレクト・トランジスタのドレインであり、

前記メモリ・トランジスタは、導電性充填材料をさらに含み、前記メモリ・トランジスタの前記導電性充填材料は前記セレクト・トランジスタの導電性充填材料と同じであり、前記セレクト・トランジスタの前記チャンネルは前記メモリ・トランジスタのチャンネルとして機能し、

前記セレクト・トランジスタの前記ゲートの表面上にセレクト・ゲート・コンタクトが直接配置される、
不揮発性ランダム・アクセス・メモリ・セル。

【請求項 10】

不揮発性ランダム・アクセス・メモリ・セルを形成する方法であって、
複数のトレンチ構造を半導体基板のアレイ領域内に形成するステップであって、前記トレンチ構造の各々は 1 μm から 2 μm の深さを有する、ステップと、
前記トレンチ構造の各々の下にソース拡散部を形成し、前記トレンチ構造の各々の側壁に沿って垂直セレクト・チャンネルを形成するステップと、
前記トレンチ構造の各々の内部にセレクト・トランジスタを形成するステップであって、前記トレンチ構造の各々の側壁にセレクト・ゲート誘電体を形成し、次に前記トレンチ構造の各々を導電性材料で充填してゲートを形成するステップと、

前記トレンチ構造の間にトレンチ分離領域を設けるステップと、

前記半導体基板の表面に酸化物 / 窒化物 / 酸化物ゲート誘電体を含むメモリ・トランジ

10

20

30

40

50

スタを形成するステップであって、前記メモリ・トランジスタは前記トレンチ構造に隣接して配置される、ステップと、

前記メモリ・トランジスタの拡散部をビットライン・コンタクトを通してビットラインに接触させるステップと、

前記セレクト・トランジスタの上面をセレクト・ゲート・コンタクトを通して第1の金属レベルに接触させるステップであって、前記セレクト・トランジスタの前記ゲートの表面上に前記セレクト・ゲート・コンタクトを直接配置するステップと、

を含む方法。

【請求項11】

前記ソース拡散部はイオン注入によって形成され、前記垂直セレクト・チャネルは傾斜イオン注入プロセスを用いて形成される、請求項10に記載の方法。

【請求項12】

前記トレンチ構造の各々の前記ソース拡散部の各々に接する共通埋め込みソースを形成するステップをさらに含む、請求項10に記載の方法。

【請求項13】

不揮発性ランダム・アクセス・メモリ・セルを形成する方法であって、

複数のトレンチ構造を半導体基板のアレイ領域内に形成するステップであって、前記トレンチ構造の各々は1 μ mから2 μ mの深さを有する、ステップと、

前記トレンチ構造の各々の下にソース拡散部を形成し、前記トレンチ構造の各々の側壁に沿って垂直セレクト・チャネルを形成するステップと、

前記トレンチ構造の各々の下部内にセレクト・トランジスタを形成し、前記トレンチ構造の各々の上部内に酸化物/窒化物/酸化物ゲート誘電体を含むメモリ・トランジスタを形成するステップであって、前記トレンチ構造の各々の側壁にセレクト・ゲート誘電体を形成し、前記トレンチ構造の各々の前記上部から前記セレクト・ゲート誘電体を除去した後、各々の前記トレンチ構造内に前記酸化物/窒化物/酸化物ゲート誘電体を形成するステップと、

前記トレンチ構造の各々を導電性材料で充填してゲートを形成するステップと、

前記トレンチ構造の間にトレンチ分離領域を形成するステップと、

前記メモリ・トランジスタの拡散部をビットライン・コンタクトを通してビットラインに接触させるステップと、

前記セレクト・トランジスタの上面をセレクト・ゲート・コンタクトを通して第1の金属レベルに接触させるステップであって、前記セレクト・トランジスタの前記ゲートの表面上に前記セレクト・ゲート・コンタクトを直接配置するステップと、

を含む方法。

【請求項14】

前記メモリ・トランジスタの前記酸化物/窒化物/酸化物ゲート誘電体は、セレクト・ゲート誘電体としても用いられる、請求項13に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ・デバイス及びこれを製造する方法に関する。より具体的には、本発明は、ランダムにアクセス可能なストレージ位置を持つ2トランジスタ(2-T_r)半導体-酸化物-窒化物-酸化物-半導体(SONOS)トレンチ・メモリ・セル、及びこれを製造する方法に関する。本発明は、セレクト・ゲートがトレンチ構造内に配置され、メモリ・ゲートが半導体基板の表面に配置されるか、又は、セレクト・ゲートとメモリ・ゲートの両方がトレンチ構造内に配置される、2トランジスタSONOSトレンチ・メモリ・セルを提供する。

【背景技術】

【0002】

制御ゲート電極とデバイスのチャネル領域との間にある絶縁されているが導電性を持つ

10

20

30

40

50

層に蓄えられた電荷によってメモリの状態が表される、フローティング・ゲート技術を用いた従来のフラッシュ・メモリ製品は、典型的には、10V又はそれ以上のプログラミング（即ち、書き込みと消去）電圧を用いる。フローティング・ゲート・メモリの動作には高い電圧レベルを与える必要があるため、フローティング・ゲート・メモリを相補型金属酸化膜半導体（CMOS）に組み込むことには問題がある。第一に、現行のCMOS電源電圧（ V_{dd} ）は1Vに近い。このような低い電源電圧では、チャージポンプ回路を用いた場合でも、フローティング・ゲートの動作に必要な高い電圧レベルを与えることは困難である。現在のところでは、チップに関連するいずれかのCMOS論理回路のためのより低い電圧供給源に加えて、フローティング・ゲート・メモリのために3.3Vなどの別個の高電圧を供給して、チャージポンプ回路を用いるしかない。モバイル用途においては、従来のフローティング・ゲート・メモリに必要な高い電源電圧によって、バッテリー寿命が厳しく制限される。さらに、フローティング・ゲート・メモリをCMOSに組み込むことには厳しいコスト上の不利益が存在し、九つ（9）ものリソグラフィ・ステップの追加が必要になると考えられる。

10

【0003】

ランダムにアクセス可能な半導体 - 酸化物 - 窒化物 - 酸化物 - 半導体（SONOS）（金属 - 酸化物 - 窒化物 - 酸化物 - 半導体（MONOS））とも呼ばれる。SONOS及びMONOSという用語は、SONOSゲート導体としてポリシリコンが用いられ、MONOSゲート導体として金属が用いられる点を除き、基本的に同じタイプのメモリ・セルを表すことに留意されたい）メモリは、例えば約5Vなどの適度な動作電圧を用いるため、フローティング・ゲート・メモリの実施可能な代替物と考えられる。このようなメモリ・セルでは、メモリ状態は、制御ゲート電極とデバイスのチャネル領域との間に配置された絶縁体層に蓄えられた電荷によって表される。メモリ・セルのプログラミング条件に応じて、例えば、高い電源電圧を3.3Vから1.8Vに下げることが可能となり、別個の電源をなくしてバッテリー寿命を延ばすことさえ可能である。さらに、SONOSメモリは、典型的には、プログラミングに一樣なトンネル現象を用いるため、通常はフローティング・ゲート・メモリに関連するホットホール注入などの信頼性問題は、回避される。

20

【0004】

しかしながら、SONOSセルは、スケールアップ問題と無関係ではない。プログラミングに必要な適度な電圧は、利用可能なトランジスタ設計に制限を課す。デバイスのチャネル長が短すぎる場合には、このような電圧においてもパンチスルーを含む短チャネル効果が容易に発生する場合がある。パンチスルーを防ぐためにチャネル・ドーピング濃度を上げるとは、接合ブレイクダウンの低下及びいずれかのメモリ機能の破壊に繋がりがねない。

30

【0005】

SONOSメモリ・セルのスケールアップは、プレーナ型デバイスに限定されていた。セレクト・ゲート及びメモリ・ゲートは、典型的には別々に形成され、これらのタイプのセル・サイズは、通常は大きい。最近、90nmルールで設計されたセル・サイズ $0.157\mu\text{m}^2$ のSONOSプレーナ型ビット・セルが報告された。例えば、非特許文献1を参照されたい。サイズはより小さいが、今後の世代ではチャネル長がよりスケールアップしにくくなる可能性があるため、プレーナ型セルには限界がある。さらに、プレーナ型ONO（酸化物 - 窒化物 - 酸化物）メモリ・ゲートは、どのCMOSゲート・プロセスとも別個に作らなければならない。従来技術のSONOSセル・アレイを生成するために、CMOSプロセスに加えてマスクを四つ（4）追加することが必要である。CMOSプロセスからSONOSメモリ・ゲートを切り離す必要があるため、高性能CMOSへの組み込みは費用のかかるものとなる可能性がある。

40

【0006】

【非特許文献1】C.T.Swift,G.L.Chindalore, K.Harber, T.S.Harp, A.Hoefler, C.M.Hong, P.A.Ingersoll, C.B.Li,E.J.Printz, J.A.Yater; "An embedded 90nm SONOS nonvolatile memoryutilizing hot electron programming and uniform tunnel erase", IEDMTech

50

.Dig., pp.927-930, December 2002

【発明の開示】

【発明が解決しようとする課題】

【0007】

以上の観点から、従来技術の不揮発性メモリ・セルより低い電圧でランダムなアクセス及びプログラムが可能な高密度SONOSメモリ・セルを形成するための方法を提供する必要性がなおも存在する。

【課題を解決するための手段】

【0008】

本発明は、プレーナ型CMOSトランジスタを用いる従来技術のセルより面積が小さい不揮発性メモリ・セル、即ちSONOSメモリ・セルを提供する。本発明は、また、従来技術のセルより低い電圧でプログラムすることが可能な不揮発性SONOSメモリ・セルを提供する。本発明は、さらに、製造プロセスが業界標準のCMOSプロセスと共通の不揮発性SONOSメモリ・セルを提供する。本発明は、さらに、従来技術のSONOS及びフローティング・ゲートNVRAMセルと比べて進歩した不揮発性SONOSメモリ・セルをも提供する。

【0009】

具体的には、本発明は、ランダムにアクセス可能なストレージ位置を持つ2トランジスタ(2-Tr)SONOSメモリ・セルを提供する。1つの実施形態においては、メモリ・トランジスタは、半導体基板の表面に配置されたプレーナ型デバイスであり、セレクト・トランジスタは、半導体基板内に存在するトレンチ構造内部に配置される。本発明のこの実施形態においては、セレクト・ゲートとして機能するように(深さが約1 μ mから約2 μ mのオーダーの)「浅い」トレンチ構造が用いられる、即ち、換言すれば、セルのアクセス電界効果トランジスタ(FET)はトレンチ構造の垂直側壁に沿って位置する。セルの面密度に影響を与えることなく、セルのチャンネル長を定めるトレンチ深さをより大きくすることが可能なので、セレクト・ゲートの短チャンネル挙動を防止することができる。セレクトMOSFETはトレンチの側壁に沿って形成されるため、そのチャンネル長は、連続する技術ノードの最小構造体サイズの縮小に伴うスケールリングによって制約されることはないが、トレンチ断面の寸法は、技術ノードの最小構造体サイズに合わせて容易にスケールリングすることが可能であり、従って、面積上の不利益は回避される。65nm論理ライブラリで設計された2-TrSONOSセルは、0.15 μ m²のオーダーになると推定されており、これは現在市場に存在するいかなる2-Trメモリ・セルのおよそ1/5より小さいことになる。

【0010】

本発明の第1の実施形態においてもたらされるさらなる利点は、(1)メモリ・セルの動作には現行のフラッシュ・メモリの半分の電圧を用いており、このことが、メモリ・セルの酸化物信頼性に関してより高いマージンをもたらすこと、(2)メモリFETが読取り動作の際にバイアスされないので、1-TrNORに比べてディスターブ特性などの読取りが本質的に優っていること、を含む。さらに、SONOSTレンチ・セルをCMOSに組み込むのに必要な付加的なマスクの数は、最大で4と推定される。

【0011】

トレンチ構造は、これらのより縮小されたサイズの2-TrSONOSセルを得る際の鍵となる要因である。しかしながら、埋め込みダイナミック・ランダム・アクセス・メモリ(eDRAM)技術におけるトレンチ構造とは異なり、本発明のトレンチ構造の深さはそれより遥かに浅い。トレンチ構造の深さは、有害な短チャンネル効果を最小にするチャンネル長を収容しさえすればよく、この目的のためには約0.5 μ mから約1.0 μ mのトレンチ深さで十分であると考えられる。

【0012】

本発明のセルの第2の独自の特徴は、セレクト・ゲートのコンタクト方法である。セルをコンパクトな状態にしておくために、金属コンタクトが、トレンチ構造の上に直接配置

10

20

30

40

50

され、(トレンチの)ゲートとの接触に用いられる。本発明に独自の第3の特徴は、トレンチのソース側拡散部である。ここでは、トレンチ・セレクト・ゲートのソースは、トレンチ構造の最も底部に配置され、深いN-バンド注入部(これは一般に「共通埋め込みソース」と呼ばれる)に接する。(埋め込みプレートに接するように)eDRAMアレイを囲むN-拡散ガード・リングに酷似した、アレイを囲むN-拡散ガード・リングを通して、アレイの縁部においてソース制御が提供される。

【0013】

具体的には、且つ広義には、本発明の第1の実施形態は、約1 μm から約2 μm の深さを有する複数のトレンチ構造を含む少なくとも1つのアレイ領域を含む半導体基板であって、トレンチ構造の各々は、トレンチ構造の垂直側壁上に配置されたチャネルを有するセレクト・トランジスタを含み、トレンチ構造がトレンチ分離領域によって分離されている、半導体基板と、トレンチ構造の各々の底壁の下に配置されたソース拡散部と、半導体基板の表面に配置された酸化物/窒化物/酸化物ゲート誘電体を含み、トレンチ構造に隣接する、メモリ・トランジスタと、を含む不揮発性ランダム・アクセス・メモリ・セルを提供する。

【0014】

上述の2-Tr SONOSメモリ・セル構造体に加えて、本発明はまた、これを製造する方法を提供する。広義には、上述の不揮発性ランダム・アクセス・メモリ・セルを形成するために用いられる方法は、複数のトレンチ構造を半導体基板のアレイ領域内に形成するステップであって、トレンチ領域の各々は約1 μm から約2 μm の深さを有する、ステップと、トレンチ構造の各々の下にソース拡散部を形成し、トレンチ構造の各々の側壁に沿って垂直セレクト・チャネルを形成するステップと、トレンチ構造の各々の内部にセレクト・トランジスタを形成するステップと、トレンチ構造の間にトレンチ分離領域を設けるステップと、半導体基板の表面に酸化物/窒化物/酸化物(ONO)ゲート誘電体を含むメモリ・トランジスタを形成するステップであって、メモリ・トランジスタはトレンチ構造に隣接して配置される、ステップと、を含む。

【0015】

本発明の第2の実施形態においては、メモリ・トランジスタとセレクト・トランジスタとはいずれも、半導体基板に形成されたトレンチ構造内に配置される。この実施形態においては、65nm論理世代における現行のSONOSセル・サイズの約1/2までスケールリング可能なSONOSTレンチ・メモリ・セルが提供され、CMOSプロセスの上流では単一のマスク・プロセスのみが用いられる。本質的に、第2の実施形態において説明されるSONOSTレンチ・メモリ・セルは、標準的なCMOSプロセスを、不揮発性ランダム・アクセス・メモリ・ストレージ及びアクセス要素のプロセスから分離する。この実施形態において鍵となる要因は、セレクト・ゲートとメモリ・ゲートをトレンチ構造に組み込むことである。トレンチ構造は、典型的には、半導体基板の上面から底部のトレンチ壁まで測定したときの深さが、約1 μm から約2 μm である。(DRAMストレージ・キャパシタの深さ8 μm に比べて)相対的に浅いトレンチ深さは、CMOS論理デバイスにおいて課題となる短チャネル効果の影響を余り受けないセレクト・トランジスタとメモリ・トランジスタの両方を収容することが容易である。ここでは、セレクト・ゲートはトレンチ構造の底部で成長し、ONO薄膜を含むメモリ・トランジスタはトレンチ構造の上部に形成される。セレクト・ゲートとメモリ・ゲートをトレンチ構造内で組み合わせられるようにすることによって、65nm論理技術において概ね0.07 μm^2 ~0.09 μm^2 のセル・サイズまでセルを縮小することが可能である。さらに、トレンチSONOSセレクト・ゲートとメモリ・ゲートの両方の生成を通常CMOSプロセスから完全に分離することができる、すなわち、異なるゲート誘電体を生成するのに特別なブロック・マスクは不要であり、論理回路の性能を損なうことなくメモリ・セルの機能を完全に最適化することができる。トレンチSONOSセルをCMOS論理技術に実装するには、単にベースとなる論理プロセスにマスクを1つ追加するだけである。

【0016】

具体的には、且つ広義には、本発明の第2の実施形態は、約1 μ mから約2 μ mの深さを有する複数のトレンチ構造を含む少なくとも1つのアレイ領域を含む半導体基板であって、トレンチ構造の各々は、トレンチ構造の垂直側壁上に配置されたチャネルを有するセレクト・トランジスタを含む下部と、酸化物/窒化物/酸化物ゲート誘電体を含むメモリ・トランジスタを含む上部とを含む、半導体基板と、トレンチ構造の間に配置されたトレンチ分離領域と、トレンチ構造の各々の底壁の下に配置されたソース拡散部と、を含む不揮発性ランダム・アクセス・メモリ・セルを提供する。

【0017】

上述の2-Tr SONOSメモリ・セル構造体に加えて、本発明はまた、これを製造する方法を提供する。広義には、上述のメモリ・セル構造体を形成するために用いられる方法は、複数のトレンチ構造を半導体基板のアレイ領域内に形成するステップであって、トレンチ領域の各々は約1 μ mから約2 μ mの深さを有する、ステップと、トレンチ構造の各々の下にソース拡散部を形成し、トレンチ構造の各々の側壁に沿って垂直セレクト・チャネルを形成するステップと、トレンチ構造の各々の下部内にセレクト・トランジスタを形成するステップと、トレンチ構造の各々の上部内に、酸化物/窒化物/酸化物ゲート誘電体を含むメモリ・トランジスタを形成するステップと、トレンチ構造の間にトレンチ分離領域を形成するステップと、を含む。

【発明を実施するための最良の形態】

【0018】

ランダムにアクセス可能なストレージ位置を持つ2-Tr SONOSメモリ・セル、及びこれを製造する方法を提供する本発明は、本出願に添付された図面を参照してより詳細に説明される。本出願の図面は、説明を目的として提供されるものであり、従ってこれは縮尺に合わせて描かれていないことに留意されたい。

【0019】

第1の実施形態：セレクト・ゲートがトレンチ構造内に配置され、メモリ・ゲートがトレンチ構造を含む半導体基板の表面に配置される、2-Tr SONOSメモリ・セル

【0020】

本発明の2-Tr SONOSメモリ・セルを製造する第1の実施形態は、少なくとも1つのアレイ領域100と、少なくとも1つのアレイ領域100の周辺部に位置する少なくとも1つの領域102とを含む、図1に示されるような構造体10を準備するステップで開始する。領域102は、本明細書ではアレイ周辺部領域と呼ばれる。図1に示される構造体10は、アレイ領域100において、基板12の上部に複数の開口部16を有するパッド・スタック14を含む半導体基板12を含む。構造体10はまた、アレイ領域100において、半導体基板12内に配置されたトレンチ構造18を含む。アレイ周辺部領域102の半導体基板12は、パッド・スタック14のブランケット層によって保護されることに留意されたい。

【0021】

図1に示される半導体基板12は、例えば、Si、SiC、SiGe、SiGeC、Ge合金、GaAs、InAs、InP、及び、他のIII/V族又はII/V族化合物半導体を含む、いずれかの従来の半導体材料を含む。半導体基板12はまた、例えば、シリコン・オン・インシュレータ又はSiGeオン・インシュレータなどの層状半導体を含むものとすることができる。典型的には、半導体基板12は、Si、SiGe、SiC、SiGeC、シリコン・オン・インシュレータ、又はSiGeCオン・インシュレータなどの、Si含有半導体である。

【0022】

パッド・スタック14は、底部のパッド酸化物層と上部のパッド窒化物層とを含む少なくとも2つの材料層からなる。パッド・スタック14の個々の層は、本発明の図面においては図示されない。パッド・スタック14の厚さは、スタック内の材料層の数に応じて変わってもよい。典型的には、パッド酸化物及びパッド窒化物を含むパッド・スタック14の全体の厚さは、約20nmから約500nmである。1つの例示的な実施形態において

10

20

30

40

50

は、パッド酸化物は約5 nmから約10 nmの厚さを有し、パッド窒化物は約100 nmから約200 nmの厚さを有する。

【0023】

パッド・スタック14は、例えば、化学気相堆積(CVD)、プラズマ強化化学気相堆積(PECVD)、蒸着、化学溶液堆積、又は原子層堆積といった、1つ又は複数の従来のブランケット堆積技術を用いて、半導体基板12の表面に形成される。堆積プロセスに加えて、パッド・スタック14の種々の材料層は、熱酸化又は熱窒化によって形成することができる。上述の技術の組み合わせを用いることもできる。

【0024】

アレイ領域100とアレイ周辺部領域102との両方において半導体基板12上にパッド・スタック14を形成した後で、次に、領域100及び102におけるパッド・スタック14上に酸化物ハードマスク(図示せず)が形成される。酸化物ハードマスクは、パッド・スタック14の種々の材料層を形成するための上述の技術の1つを用いて形成される。酸化物ハードマスクの厚さは、これを形成するのに用いられる技術に応じて変わってもよい。酸化物ハードマスクの典型的な厚さは、約20 nmから約400 nmである。次に、レジスト材料の堆積及びリソグラフィによって、アレイ領域100にトレンチ開口部を有するレジスト(図1にはそのいずれも図示されない)が形成される。リソグラフィ・ステップは、塗布されたレジストを所望のパターン(即ち、トレンチ・パターン)の放射線に露光させるステップと、露光されたレジストを従来の現像剤を用いて現像するステップとを含む。トレンチ開口部を有するレジストを形成した後で、パターンは、まず、反応性イオン・エッチング、イオンビーム・エッチング、プラズマ・エッチング、又はレーザー・アブレーションなどの異方性エッチング・プロセスを用いて、酸化物ハードマスクに転写される。レジストは、トレンチ・パターンが酸化物ハードマスクに転写された後で除去するか、又は、パターンをハードマスクからパッド・スタック14に転写し、次いで半導体基板12に転写する間は構造体上に残し、その後で上述のように除去することができる。このような後のレーザー・パターン転写ステップは、上述されたものと同じエッチング・プロセスを用いて実施することができる。半導体基板12の上面から測定して約1 µmから約2 µmの深さを有する複数のトレンチ構造18(図1にはそのうちの2つが示される)が、アレイ領域100の半導体基板12内に形成される。

【0025】

アレイ領域100にトレンチ構造18が形成された後で、トレンチ構造18を画定するのに用いられた酸化物ハードマスクは、それまでに除去されていない場合には、酸化物を選択的に除去してパッド・スタック14の窒化物面で停止する従来の剥離プロセスを用いて除去される。

【0026】

次に、イオン注入プロセスによって、セルのソース拡散部20とセレクト・ゲート・チャネル22とを形成することができる。これらの2つの注入が実施された後の構造体が図2に示される。図示されるように、ソース拡散部20は、半導体基板12内におけるトレンチ構造18の底壁の外側周辺に形成され、セレクト・ゲート・チャネル22は、半導体基板12内における各々のトレンチ構造18の側壁の外側周辺に形成される。

【0027】

ソース拡散部20及びセレクト・ゲート・チャネル22の形成に用いられる注入の順序は、本発明にとって重要ではない。しかしながら、典型的には、ソース拡散部の注入は、セレクト・ゲート・チャネルの注入の前に行われる。

【0028】

ソース拡散部20は、n型ドーパント原子(即ち、例えばP、Sb、又はAsといった元素周期表のVB族の元素)、又は、p型ドーパント原子(即ち、例えばIn、B、又はBF₂といった元素周期表のIIIB族の元素)を用いてドープすることができる。典型的には、ソース拡散部20の形成にはn型ドーパントが用いられる。ソース拡散部20の形成に用いられる注入エネルギーは、典型的には、約10 keVから約40 keVであり

10

20

30

40

50

、高濃度ドーピングされたソース拡散部20を形成するためには約 1×10^{15} 原子/cm²から約 5×10^{15} 原子/cm²のイオン線量(ドーパ量)が典型的に用いられる。必要に応じて、ソース拡散部20の注入の際に、トレンチ構造18の側壁を窒化物スペーサなどのマスク層で保護してもよい。ソース拡散部20のドーパント濃度は、セレクト・ゲート・チャンネル22のドーパント濃度より遥かに高いため、側壁を保護してソース注入によるチャンネルの汚染を防止することが必要な場合がある。保護スペーサは、セレクト・ゲート・チャンネル22の注入の前に除去される。

【0029】

セレクト・ゲート・チャンネル22は、ソース拡散部20の極性とは反対の極性を有する。典型的には、セレクト・ゲート・チャンネル22は、p型ドーパントでドーピングされる。セレクト・ゲート・チャンネルの注入は、典型的には垂直入射から約5°から約10°の傾斜角を利用する傾斜注入プロセス(angle implantation process)を用いて行われる。セレクト・ゲート・チャンネル22に必要なチャンネルのドーパ量は、後でトレンチ構造18に形成されるゲート誘電体の厚さによって決まる。10~15nmのゲート誘電体に約0.3Vから約1.5Vの範囲のしきい電圧(V_t)を与えるために、典型的には、約 1×10^{13} 原子/cm²から約 1×10^{15} 原子/cm²のイオン線量が用いられる。

10

【0030】

代替的に、アレイ・ドーピング・プロセスを用いてセレクト・ゲート・デバイスのV_tを設定することもできる。典型的には、標準的なバルク論理技術においては、Pウェルを画定するために、通常、トリプル・ウェルが生成される。このようなウェルは、深い注入部(250keVから350keV)と、中間の注入部(約150keV)と、浅い注入部(約50keV)とで構成される。

20

【0031】

注入プロセスの後、例えば、酸化、窒化、及び/又は酸窒化などの熱成長プロセスを用いて、トレンチ構造の各々の壁(例えば、底壁と側壁)に沿ってセレクト・ゲート誘電体24が形成される。代替的に、CVD又はPECVDなどの従来の堆積プロセスを用いることもできる。酸化物、窒化物、酸窒化物、又はそれらの多層で構成されるセレクト・ゲート誘電体24は、典型的には、約3nmから約15nmの厚さを有する。次いで、トレンチ構造18の各々は、導電性材料26によって充填され、半導体基板12の表面のレベル、又は、例えば半導体基板12の表面下約10nmから約20nmといった表面より僅かに下のレベルまで、くぼ(凹)まされる。セレクト・ゲート誘電体24及び導電性材料26を含む、結果として得られる構造は、例えば図3において示される。この図面では、参照符号28を用いてトレンチ構造18の各々に存在するセレクト・トランジスタを画定していることに留意されたい。セレクト・トランジスタ28は、垂直セレクト・ゲート・チャンネル22と、セレクト・ゲート誘電体24と、導電性材料26とを含む。領域20が、セレクト・トランジスタ28のソースを形成し、(後に形成される)メモリ・トランジスタの拡散部の1つが、セレクト・トランジスタ28のドレインを形成する。

30

【0032】

導電性材料26は、金属、金属合金、金属シリサイド、ドーピングされたポリシリコン、又は、多層を含むそれらの組み合わせを含む。導電性材料26は、ソース拡散部20と同一の極性でドーピングされたポリシリコンであることが好ましい。導電性材料26は、セレクト・トランジスタ28のゲートとして機能する。導電性材料26は、従来の堆積プロセスを用いて形成される。ドーピングされたポリシリコンが導電性材料26として用いられる場合には、その場(in situ)ドーピング堆積プロセスが用いられることが好ましい。導電性材料26を凹ませることは、反応性イオン・エッチングなどの異方性エッチング・プロセスを用いて行われる。

40

【0033】

セレクト・トランジスタ28が処理されると、例えば、リソグラフィ及びエッチングによって基板12内にトレンチを形成し、そのトレンチを酸化物などのトレンチ誘電体で充填することを含む当該技術分野で周知の従来プロセスを用いて、アレイ領域100及びア

50

レイ周辺部領域 102 にトレンチ分離領域 30 が形成される。通常は、分離トレンチを形成するのに用いられるトレンチの深さは、セレクト・トランジスタ 28 を含むトレンチ構造 18 より浅いことに留意されたい。図面では、アレイ領域 100 におけるトレンチ分離領域 30 は、セレクト・トランジスタ 28 を含む 2 つのセレクト・トレンチ構造を分離している。

【0034】

トレンチ分離領域 30 が形成された後、レジスト・マスク（図 4 では図示せず）の開口部を通した p 型（B）などの一連の注入によって、アレイ・ウェル 34 が生成される。図示される実施形態においては、アレイ・ウェル 34 は、典型的には P ウェルである。本発明のプロセスのこの時点で、アレイ・ウェル 34 とは反対の導電性を持つ別のウェル領域 35 を領域 102 に形成することができる。

10

【0035】

次いで、別のマスク（同じく図示せず）を用いて、セレクト・トランジスタ 28 を含むトレンチ構造 18 の各々の下のソース拡散部 20 同士を接続する N - バンド 36（又は代替的には、P - バンド）を注入する。N - バンド 36（又は P - バンド）は、典型的には、約 1 MeV のエネルギーと、約 1×10^{13} 原子 / cm^2 から約 3×10^{13} 原子 / cm^2 のイオン線量とを用いて形成される。

【0036】

アレイ・ウェル 34 は、トレンチ・セレクト・ゲート・デバイスのチャネルのドーピング（ドーパ量）及びメモリ・ゲートのドーピングを設定するのに用いることもできるであろう。アレイ・ウェル 34 は、アレイの外側にある（後に形成される）p - 拡散ガード・リング上に位置する（後に形成される）コンタクトを通してバイアスされる。N - バンド 36 / ソース拡散部 20 は、p - 拡散ガード・リングに隣接する（後に形成される）n - 拡散ガード・リング上に位置するコンタクトを通してバイアスされる。アレイ・ウェル 34 は、SONOS セル・デバイス要素をセットするのに必要な、本発明における唯一の付加的なウェル・マスクである。

20

【0037】

他の CMOS ウェル 35 が（CMOS 素子のためのチャネルのドーピングを設定するように）処理された後、アレイ領域 100 を露出させアレイ周辺部領域 102 を保護するように、シリコン窒化物の保護層が堆積され、ノンクリティカル・ブロック・マスク（第 3 の独自のマスク）を用いてパターン形成される。次いで、酸化物 - 窒化物 - 酸化物（ONO）誘電体スタックを含むメモリ・トランジスタのゲート誘電体 38 が生成される。図 5 を参照されたい。ONO 誘電体スタック 38 は、典型的には、約 1.2 nm から約 3 nm の厚さ、好ましくは約 2 nm の厚さを有する底部トンネル酸化物と、約 5 nm から約 15 nm の厚さ、好ましくは約 7.5 nm の厚さを有する窒化物層と、約 2.5 nm から約 7.5 nm の厚さ、好ましくは約 5 nm の厚さを有する上部酸化物とから構成される。底部トンネル酸化物は、CVD 又は PECVD といった従来の堆積プロセスを用いて形成することができ、又は熱酸化プロセスを用いることもできる。誘電体スタック 38 の窒化物層は、典型的には、例えば PECVD 又は低圧化学気相堆積（LPCVD）プロセスといった堆積プロセスによって形成される。上部酸化物は、典型的には、例えば、CVD 又は PECVD を含む堆積プロセスによって形成される。

30

40

【0038】

次に、従来の堆積プロセスを用いて、アレイ領域 100 における ONO 誘電体スタックの上に、金属、金属合金、金属シリサイド、ポリシリコン、又はそれらの多層を含むゲート導体 40 が形成され、パターン形成される。図 5 に示される構造体を参照されたい。ゲート導体 40 は、図面において参照符号 42 で表記されるメモリ・トランジスタのゲートであることに留意されたい。

【0039】

メモリ・トランジスタのゲート導体 40 が形成された状態で、露出した ONO 38 及び保護窒化物の残りの領域をアレイ周辺部領域 102 から除去することが必要である。これ

50

は、ノンクリティカル・ブロック・マスクの塗布によって、又は、他の窒化物領域が存在しない場合にはマスクのない選択的エッチング・プロセスによって、達成することができる。マスク・プロセスが用いられる場合には、全てのCMOS領域を開放して、湿式エッチング化学物質又は乾式エッチング化学物質が基板12に対して選択的にONO及び下の保護窒化物層を除去できるようにするレジスト・マスクが施される。次いでレジストが除去される。アレイ周辺部領域102がきれいになると、周知の標準的なプロセスを用いて、CMOS論理トランジスタのためのゲート誘電体が形成され、続いてゲート導体が堆積されパターン形成される。

【0040】

必要に応じて、アレイ周辺部領域102のゲート導体40及び論理ゲートの上に、誘電体キャップ(図示せず)を形成してもよい。次いで、堆積及びエッチングによって、ゲート導体の側壁に側壁スペーサ44が形成される。これらのプロセスに続いて、典型的には、CMOS nFET及びpFETの拡散部(延長部を含む)46の生成を可能にする注入マスクに進む。SONOSメモリ・トランジスタ42は付随するCMOSより高い電圧下で動作するデバイスであることが多いため、メモリ・ゲートの拡散領域を別々にドーピングするために分離アレイ延長部マスクが必要となる場合があり、これはCMOSマスク一式に含める第4の独自の且つ最後のマスクとなる。

【0041】

メモリ及びCMOS拡散部が生成された後、続くプロセスは、例えば、層間誘電体48を形成するステップと、層間誘電体48にコンタクト開口部を設けるステップと、コンタクト開口部を例えばW又はCuなどの導電性材料50で充填するステップとを含む、標準的なCMOS論理プロセスに従う。開口部を導電性材料50で充填する前に、従来のシリサイド化プロセスを用いて、露出した表面をシリサイド化することができる。図5においては、シリサイド領域は、参照符号52で表記される。ゲート導体40の上に誘電体キャップが存在しない実施形態においては、ゲート導体40がポリシリコンからなる場合には、ゲート導体40の上にシリサイドを形成することができる。

【0042】

図5においては、参照符号50BLはビットライン・コンタクトを示し、参照符号50SGCはセレクト・ゲート・コンタクトを示し、参照符号50Wはウェル・コンタクトを示し、参照符号50BはN-バンド(又はP-バンド)コンタクトを示すことに留意されたい。

【0043】

このセルの1つの独自の特徴は、トレンチ・セレクト・ゲートが金属コンタクトに、例えば導電性材料50に接することである。メモリ・ゲート・コンタクト50は、ビットライン・コンタクト50BLと全く同じものであり、ビットライン・コンタクト50BLと同時に処理される。2つの金属配線M1レベル及びM2レベルが、図6に示されるように、SONOSメモリ・アレイの生成を完了させるのに必要である。ここでは、メモリ・ゲートは第1の金属レベルに配線され、ビットラインは第2の金属レベルに配線される。結果として得られる構造体は、例えば図6に示される。M1レベル及びM2レベルは、当該技術分野で周知の従来プロセスを用いて形成される。図面においては、V1は、M2とBLコンタクト50BLの間の、導電体で充填されたビアを指す。参照符号54は誘電性材料を示し、符号56は導電性材料を指す。

【0044】

ここで、本発明のメモリ・アレイにおける個々のメモリ・セルで行われる電氣的動作を説明する。SONOSセルの基本的なプログラミング動作は、a)書き込み「0」、b)書き込み「1」/消去「0」、c)読み出し「1」又は読み出し「0」、である。これらの動作は、上述の2-Tr SONOSメモリ・セルを表すセルA~Dを含む、提案されるSONOSセル・アレイを示す概略図である図7を参照して、以下に説明される。

【0045】

a)書き込み「0」:この動作においては、「0」をセルAに書き込むことが求められ

10

20

30

40

50

る。セルAに接続されたビットライン（ビットライン1）は-5Vでバイアスされ、そのセレクト・ゲート1の電圧は-5Vにされる。セレクト・トランジスタはオフ状態であり、従ってビットライン負荷を最小にする。セルAのメモリ・ゲート（メモリ・ゲート・ライン1）の電圧は+5Vにされ、アレイのPウェルとNバンド（ソース）は-5Vにバイアスされる。このような状態で、電子は、ビットライン拡散部とメモリ・ゲートとの間の高い電界によって駆動され、メモリ・セルのONOに捕捉（トラップ）される。電子がONOに注入されると、メモリ・デバイスの V_t は大幅に増加し、読み出されるときに電流の流れを防止する。アレイ・ウェル（Pウェル）を-5Vにバイアスすることによって、（書き込み）禁止（inhibit）セルDのONOにホールが捕捉されないようにすることに加えて、拡散部が順方向バイアスされないことが保証されることに留意されたい。禁止セル（B、C、及びD）はいずれも、ONO誘電体におけるキャリアの捕捉及び/又は放出を最小化するように、即ちビットライン2は+5Vで、メモリ・ゲート・ライン2は-5Vでバイアスされる。禁止セルB及びCのビットライン及びメモリ・ゲートは、同一の電圧である（Bでは+5V、Cでは-5V）ため、これらについては、ゲートとビットライン拡散部との間の電界が無視でき、ONOとの間の電荷キャリアの移動は起こらない。（セルDに極性をバイアスすることによって、即ちビットライン2を+5Vで、メモリ・ゲート・ライン2を-5Vでバイアスすることによって生じる）ビットライン拡散部内の大きな空乏領域の存在により、セルDのメモリ・ゲートとビットライン拡散部との間の電界が小さくなるため、セルDのONOは、捕捉電子の損失を無視することができる。さらに、Pウェルを-5Vでバイアスすることによって、セルDのメモリ・トランジスタのソースとドレインとの間のシリコン表面が低いホール濃度を有し、セルDのONOにホールが捕捉されないようにすることが保証される。

【0046】

b) 書き込み「1」（又は、消去「0」）：セルAに「1」を書き込むために、BLは+5Vでバイアスされ、セレクト・ゲートの電圧は再び-5Vにされ、ここでもセレクト・トランジスタはオフである。メモリ・ゲートの電圧は-5Vにされ、アレイのPウェル及びNバンド（ソース）は+5Vにバイアスされる。選択されたセルがこのようなバイアス状態の場合には、メモリ・トランジスタのソースとドレインとの間の蓄積されたシリコン表面からONO内へのホール注入が支配的である。全てのビットラインが+5Vであるため、同じメモリ・ゲート・セレクト・ライン（例えば、メモリ・ゲート・ライン1）を共有する全てのセルは、書き込み「1」/消去動作を受ける。同じメモリ・ゲート・ライン上の全てのセルに「1」が書き込まれる/消去されると、所望のビット・パターンを生成するために、書き込み「0」が選択的に行われる。禁止セル（C及びD）のアレイのPウェル及びメモリ・ゲート（メモリ・ゲート・ライン2）は+5Vでバイアスされているため、メモリ・ゲートの下の半導体内に比較的小さいバンド曲がりが生じる。このことは、禁止セルの電界が弱すぎて電荷状態が変わらないことを保証する。

【0047】

c) 読み出し：セルAから「1」又は「0」を読み出すために、BLはより低い電圧（例えば1.5V）でバイアスされ、セレクト・ゲートの電圧は+5Vにされる。メモリ・ゲート、アレイ・ウェル、及びNバンド（ソース）は、接地される。非アドレス（禁止）セルに関しては、ビットラインはフロート状態であり、及び/又は、セレクト・ゲートはゼロであり、従って、これらのセルは読み出し動作中はビットラインから分離される。微小なビットライン電流が検出された場合には、これは、メモリ・デバイスの V_t が比較的高く、弱い導電のみが生じ、従って「0」（捕捉電子）がセルに書き込まれていることを意味する。比較的大きな電流が検出された場合には、これは、メモリ・デバイスの V_t が（ONO内の捕捉ホールのため）負であり、デバイスがオンであり、従って、「1」がセルに書き込まれていることを意味する（即ち空乏モードのプレーナ型メモリ・デバイス）。

【0048】

第2の実施形態：半導体基板内に形成されたトレンチ構造内部にセレクト・ゲートとメ

10

20

30

40

50

メモリ・ゲートの両方が配置される2 - T r SONOS

【0049】

本発明のこの第2の実施形態は、以下の利点をもたらす。(1)トレンチ構造のメモリ・ゲートは、CMOSプロセスの前に生成し、CMOSプロセスに完全に組み込むことができる。ONO誘電体は、CMOSプロセスの前に生成され、CMOSデバイスを劣化させることなく最適化することができる。(2)トレンチ構造のメモリ・セレクト・ゲートは、従来技術のeDRAMトレンチより構造的に浅く(最大で $1\mu\text{m} \sim 2\mu\text{m}$)、例えば、セレクト・ゲートの酸化、レジスト凹み形成プロセス、ONO形成、及び1回のトレンチ・プロセス(充填、平坦化、及び凹み形成)といった簡単なプロセスを用いて形成することができる。(3)極めて小さなセル・サイズを達成することができる($0.07\mu\text{m}^2$ から $0.09\mu\text{m}^2$ のオーダー)。

10

【0050】

本発明の第2の実施形態は、図2に示される構造体を形成する際の上述のプロセス・ステップを用いることで開始する。この実施形態においては、アレイ領域100のみが示される。次に、本発明の第1の実施形態に関して上述されたような熱成長プロセスを用いて、トレンチ構造18の各々の壁(側壁及び底壁)に沿ってセレクト・ゲート誘電体24が形成される。セレクト・ゲート誘電体24は、上述の絶縁材料のうちの1つからなり、セレクト・ゲート誘電体24の厚さは、第1の実施形態において説明された範囲内にある。セレクト・ゲート誘電体24は、例えば、図8に示される。セレクト・ゲート誘電体24を形成した後、トレンチ構造18内にレジスト(図面には示さない)が形成され、このレジストは、トレンチ構造18の上部18uから(半導体基板12の上面から概ね $0.5\mu\text{m}$ 下まで)凹まされ、トレンチ構造18の各々の上部18uにおいてセレクト・ゲート誘電体24を露出させる。レジストは、従来の堆積プロセスを用いて形成され、凹ませるプロセスは、レジスト材料の所定の部分を選択的に除去する時限反応性イオン・エッチング・プロセスを含む。次に、凹まされたレジストがトレンチ構造18の各々に存在する状態で、セレクト・ゲート誘電体24がトレンチ構造18の各々の上部18uから除去され、トレンチ構造18の裸の側壁(即ち半導体材料)を露出させる。セレクト・ゲート誘電体24は、セレクト・ゲート誘電体24を選択的に除去してトレンチの裸の側壁で停止する等方性乾式エッチングなどのエッチング・プロセスを用いて、トレンチ構造18の各々の上部18uから除去される。

20

30

【0051】

トレンチ構造18の各々の上部18uからセレクト・ゲート誘電体24を除去した後、凹まされたレジストは、エッチングによってトレンチ構造18の各々から完全に除去され、その後、ONO誘電体スタック38がトレンチ内に形成され、例えば、図8に示される構造体を提供する。ONO誘電体スタック38は、第1の実施形態において上述されたように形成され、底部トンネル酸化物、中間窒化物層、及び上部酸化物で構成される。底部トンネル酸化物は、(各トレンチの上部においては)トレンチ構造18の側壁の裸の表面に位置決めされ、各々のトレンチ構造18の下部においてはセレクト・ゲート誘電体24上に位置決めされる。

【0052】

40

次に、図9に示されるように、トレンチ構造18の各々は、本発明の第1の実施形態において上述されたような導電性材料26で充填される。トレンチ構造18の各々の中に形成される導電性材料26は、N+ドーパされたポリシリコンなどのドーパされたポリシリコンを含むことが好ましい。導電性材料26は、その場堆積プロセスを含む堆積によって形成され、CMPなどの従来の平坦化プロセスが用いられる。この実施形態においては、導電性材料26は、セレクト・トランジスタ28及びその上に重なるメモリ・トランジスタ40のゲート材料として用いられることに留意されたい。充填及び平坦化の後、隣接するトレンチ構造18の上部を分離するように、少なくとも1つのトレンチ分離領域30が構造体の中に形成される。トレンチ分離領域30は、本発明の第1の実施形態において上述されたように形成される。トレンチ分離領域30を形成した後、半導体基板12の上に

50

配置されたパッド・スタック 14 は、パッド材料 14 を選択的に除去する従来の剥離プロセスを用いて剥離される。

【0053】

次に、図 10 に示されるように、従来のイオン注入プロセスを用い、続いて従来の活性化アニールを用いて、トレンチ構造 18 の各々に隣接して半導体基板 12 内に拡散領域 70 が形成される。拡散領域 70 を形成した後、導電性材料 50 で充填されたコンタクト開口部を有する層間誘電体 48 が形成される。拡散領域 70 の上の導電性材料は、ビットライン・コンタクトと呼ばれ、従って、その領域を指すのに参照符号 50BL が用いられる。トレンチ構造 18 の各々の上の導電性材料は、メモリ・セレクト・ゲート・コンタクト（即ちワードライン）と呼ばれ、従って、その領域を指すのに参照符号 50MSG が用いられる。次いで、標準的な相互接続技術を用いて、導電体で充填されたライン及びビアを含む付加的な導電性材料が形成される。図 10 においては、参照符号 72 は層間誘電体を指し、参照符号 74 は導電性領域を指し、M1 は第 1 の金属レベルを示すのに用いられ、M2 は第 2 の金属レベルを示すのに用いられる。

10

【0054】

幾つかの例においては、以下の技術を用いて、トレンチの底壁からセレクト・ゲート誘電体 24 を除去することができる。トレンチにONOを形成した後、アレイをレジストによって被覆する。次いで、ONOとセレクト・ゲートとを反応性イオン・エッチングしてトレンチの底部を開口し、深いトレンチ・コンタクトにする。レジストを剥離した後、アレイと深いトレンチ・ソース・ライン・コンタクトとを同時に導電性材料 26 で充填する。

20

【0055】

図 10 に示され、本発明の第 2 の実施形態によって説明された構造体は、ここでは、e-トンネル 1 トレンチ SONOS メモリ・セルと呼ばれる。この実施形態においては、メモリ・セレクト・ゲートは DT ソース・ラインと平行に延び、ビットラインは DT ソース・ライン及びメモリ・セレクト・ゲートと直角に延びることに留意されたい。本発明の第 2 の実施形態によって提供されるセルについての可能なセル・レイアウトは、例えば図 11 に示される。セル A ~ C は、電気的動作に関して表示され、説明される。

【0056】

ここで、アレイのメモリ・セルの各々で行われる電気的動作を説明する。基本的なプログラミング動作は、a) 書き込み「0」、b) 書き込み「1」/消去、c) 読み出し「1」又は「0」、である。

30

【0057】

a) 書き込み「0」：図 11 に示されるセル A に「0」を書き込むために、ビットライン (BL) は -5V でバイアスされ、メモリ・セレクト・ゲート (MSG) の電圧は 5V にされ、アレイの P ウェルは -5V にバイアスされる。このような状態で、電子は、メモリ・セルの反転層とメモリ・セレクト・ゲートとの間の高電界によって駆動され、トレンチのメモリ・セル部分の ONO に捕捉される。ビットラインと深いトレンチ・ソース・ラインとがいずれも -5V であるため、セレクト・トランジスタ及びメモリ・トランジスタのチャネルを通してごくわずかな電流しか存在しない。同じ電圧にされた MSG を共有する禁止セル (セル C) は、ビットライン拡散部とメモリ・セレクト・ゲートとの間が低電界であるため、プログラムされないことになる。P ウェルが -5V でバイアスされているため、セル C からのビットライン電流は比較的小さい。メモリ・デバイスと直列のセレクト・トランジスタ (厚いゲート誘電体) の存在によって、高温電子 (ホットエレクトロン) がセル C に「0」を書き込むことが防止される。さらに、プログラム・セルとして同じビットラインを共有する禁止セル (セル B) は、そのメモリ・セレクト・ゲートが -5V であるため、書き込まれないことになる。電子が ONO に注入されると、メモリ・デバイスのしきい電圧は大幅に増加し、読み出されるときに電流を大幅に低減させるはずである。

40

【0058】

50

b) 書き込み「1」(又は、消去「0」): 図11に示されるセルAに「1」を書き込むために、BL及び深いトレンチ・ソース・ラインは+5Vでバイアスされる。メモリ・セレクト・ゲートは-5Vにバイアスされ、アレイのPウェルは+5Vにバイアスされる。選択されたセルがこのようなバイアス状態の場合には、ONOへのホール注入が支配的である一方、捕捉電子は、メモリ・ゲートとビットライン拡散部との間の高電界によって、メモリ・デバイスのビットライン拡散部に逆注入される。同じメモリ・ゲート・セレクト・ラインを共有する全てのセル(例えば、セルC、メモリ・ゲート・セレクト・ライン1)は、書き込み「1」/消去動作を受ける。同じメモリ・ゲート・ライン上の全てのセルに「1」が書き込まれる/消去されると、所望のビット・パターンを生成するために、書き込み「0」が選択的に行われる。禁止セルBのMSG、BL、及び深いトレンチ・ソース・ラインが全て+5Vであるため、禁止セルBは、消去されず、チャンネル電流も流れない。

10

【0059】

c) 読み出し: 図11に示されるセルAから「1」又は「0」を読み出すために、BLはより低い電圧(例えば1.5V)でバイアスされ、メモリ・セレクト・ゲートの電圧は+1.5Vにされる。アレイ・ウェル及び深いトレンチ・ソース・ラインは、接地される。電流が検出されない場合には、これは、メモリ・デバイスのしきい電圧が高過ぎてオンにされず、従って「0」がセルに書き込まれていることを意味する。電流が検出された場合には、これは、メモリ・デバイスのしきい電圧が低く(また、負である可能性が極めて高く)、デバイスがオンであり、従って、「1」がセルに書き込まれていることを意味する(即ち空乏モードのプレーナ型メモリ・デバイス)。近接する禁止セルは、ゲートがオンにされることを防ぐために、接地するか、又は、僅かに負にバイアスすることも可能である。

20

【0060】

図12は、高温電子注入メモリ・セルが形成される、本発明の第2の実施形態の代替的な実施形態を示す。代替的な実施形態は、セレクト・ゲート誘電体が用いられないことを除き、本発明の第2の実施形態について上述されたものと同じの基本的なプロセス・ステップを用いる。セレクト・ゲート誘電体の使用に代えて、ONO誘電体スタック38が、トレンチ構造の各々の内部に直接形成され、プロセスは、上記の図8~図10において説明されたように進行する。ONO誘電体スタック38は、両方のトランジスタ・デバイスのためのゲート絶縁体として用いられることに留意されたい。

30

【0061】

図12に示される構造体は、ここでは、高温電子注入型1トレンチSONOSメモリ・セルと呼ばれる。この実施形態においては、ビットラインは深いトレンチ・ソース・ラインと平行に延び、MSGは深いトレンチ・ソース・ライン及びビットラインと直角に延びることに留意されたい。さらに、セルは、メモリ・デバイス及びセレクト・デバイスとしての2つの目的を果たす単一の垂直メモリMOSFET(ONO)をトレンチ内に含む。本発明の第2の実施形態によって提供されるセルについての可能なセル・レイアウトは、例えば図13に示される。図面においては、セルA~Cは、以下に説明される電気的動作に関して表示され、説明される。

40

【0062】

ここで、アレイのメモリ・セルの各々で行われる電気的動作を説明する。基本的なプログラミング動作は、a) 書き込み「0」、b) 書き込み「1」/消去、c) 読み出し「1」又は「0」、である。

【0063】

a) 書き込み「0」: 図13に示されるセルAに「0」を書き込むために、ビットライン(BL)は+5Vでバイアスされ、深いトレンチ・ソース・ラインは接地にバイアスされる。メモリ・セレクト・ゲートの電圧は+5Vに(又はそれより高く)され、アレイのPウェルは0Vにバイアスされる。このような状態で、高温電子の注入が行われ、電子はメモリ・セルのONO内に急速に捕捉される。ここでも、同じ電圧にされたMSGを共有

50

する禁止セル（セルB）は、それらのビットラインがゼロであるため、プログラムされない。V_{ds} = 0であるため、セルBのチャンネル電流はゼロである。プログラム・セルとして共通のビットラインを共有する禁止セル（セルC）は、それらのMSGが0Vであるため、プログラムされない。電子がONOに注入されると、メモリ・デバイスのしきい電圧は、読み出されるときにチャンネル電流を防止できるような値まで増大することになる。

【0064】

b) 書き込み「1」（又は、消去「0」）：このモードについての消去条件は、第2の実施形態において説明された消去モードと同様である。「1」を書き込むために、BL及び深いトレンチ・ソース・ラインは+5Vでバイアスされる。メモリ・セレクト・ゲートは-5Vにバイアスされ、アレイのPウェルは+5Vにバイアスされる。選択されたセルがこのようなバイアス状態の場合には、ONOへのホール注入が支配的である一方、捕捉電子は、メモリ・ゲートとビットライン拡散部との間の高電界によって、メモリ・デバイスのビットライン拡散部に逆注入される。同じメモリ・ゲート・セレクト・ラインを共有する全てのセル（例えば、セルB、メモリ・セレクト・ライン1）は、書き込み「1」/消去動作を受ける。同じメモリ・ゲート・ライン上の全てのセルに「1」が書き込まれる/消去されると、所望のビット・パターンを生成するために、書き込み「0」が選択的に行われる。同じビットライン上の禁止セル（セルC）は、MSGが+5Vであるため、消去されない。

【0065】

c) 読み出し：「1」又は「0」を読み出すために、ビットラインはより低い電圧（例えば1.5V）でバイアスされ、メモリ・セレクト・ゲートの電圧は+1.5Vにされる。アレイ・ウェル及び深いトレンチ・ソース・ラインは、接地される。電流が検出されない場合には、これは、メモリ・デバイスのしきい電圧が高過ぎてオンにされず、従って「0」がセルに書き込まれていることを意味する。電流が検出された場合には、これは、メモリ・デバイスのしきい電圧が低く（また、負である可能性が極めて高く）、デバイスがオンであり、従って、「1」がセルに書き込まれていることを意味する（即ち空乏モードのメモリ・デバイス）。近接する禁止セルのメモリ・セレクト・ゲートは、ゲートがオンにされることを防ぐために、僅かに負にすることができる。

【0066】

本発明は、その好ましい実施形態に関して具体的に示され、説明されたが、当業者であれば、本発明の趣旨及び範囲を逸脱することなく、形態及び細部における上記の又は他の変更が可能であることが分かるであろう。従って、本発明は、説明され図示されたどおりの形態及び細部に限定されるものではなく、特許請求の範囲内にあることが意図されている。

【図面の簡単な説明】

【0067】

【図1】本発明の2-Tr SONOSメモリ・セルを製造するために、本発明の第1の実施形態において用いられる基本的なプロセス・ステップを示す図（断面図）である。第1の実施形態においては、セレクト・ゲートはトレンチ構造内部に配置され、メモリ・ゲートは、該トレンチを含む半導体基板の表面に配置される。

【図2】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第1の実施形態において用いられる基本的なプロセス・ステップを示す図（断面図）である。第1の実施形態においては、セレクト・ゲートはトレンチ構造内部に配置され、メモリ・ゲートは、該トレンチを含む半導体基板の表面に配置される。

【図3】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第1の実施形態において用いられる基本的なプロセス・ステップを示す図（断面図）である。第1の実施形態においては、セレクト・ゲートはトレンチ構造内部に配置され、メモリ・ゲートは、該トレンチを含む半導体基板の表面に配置される。

【図4】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第1の実施形態において用いられる基本的なプロセス・ステップを示す図（断面図）である。第1

10

20

30

40

50

の実施形態においては、セレクト・ゲートはトレンチ構造内部に配置され、メモリ・ゲートは、該トレンチを含む半導体基板の表面に配置される。

【図5】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第1の実施形態において用いられる基本的なプロセス・ステップを示す図(断面図)である。第1の実施形態においては、セレクト・ゲートはトレンチ構造内部に配置され、メモリ・ゲートは、該トレンチを含む半導体基板の表面に配置される。

【図6】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第1の実施形態において用いられる基本的なプロセス・ステップを示す図(断面図)である。第1の実施形態においては、セレクト・ゲートはトレンチ構造内部に配置され、メモリ・ゲートは、該トレンチを含む半導体基板の表面に配置される。

【図7】図1~図6に示されるプロセス・ステップによって得られる本発明の2-Tr SONOSセルで各々が構成されたセルA~Dを含む提案されるセル・アレイを示す概略図である。

【図8】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第2の実施形態において用いられる基本的なプロセス・ステップを示す図(断面図)である。第2の実施形態においては、セレクト・ゲートとメモリ・ゲートはいずれも、半導体基板内に形成されたトレンチ構造内部に配置される。

【図9】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第2の実施形態において用いられる基本的なプロセス・ステップを示す図(断面図)である。第2の実施形態においては、セレクト・ゲートとメモリ・ゲートはいずれも、半導体基板内に形成されたトレンチ構造内部に配置される。

【図10】本発明の2-Tr SONOSメモリ・セルを製造するために本発明の第2の実施形態において用いられる基本的なプロセス・ステップを示す図(断面図)である。第2の実施形態においては、セレクト・ゲートとメモリ・ゲートはいずれも、半導体基板内に形成されたトレンチ構造内部に配置される。

【図11】図10に示される本発明の2-Tr SONOSメモリ・セルを含むセル・アレイ・レイアウト(上から見た図)である。

【図12】本発明の第2の実施形態を用いて形成することができる代替的な2-Tr SONOSメモリ・セルを示す図(断面図)である。

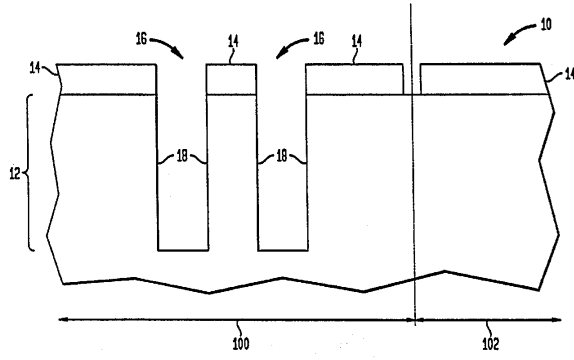
【図13】図12に示される本発明の2-Tr SONOSメモリ・セルを含むセル・レイアウト(上から見た図)である。

10

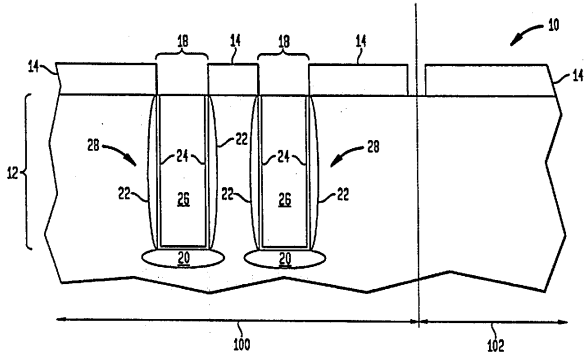
20

30

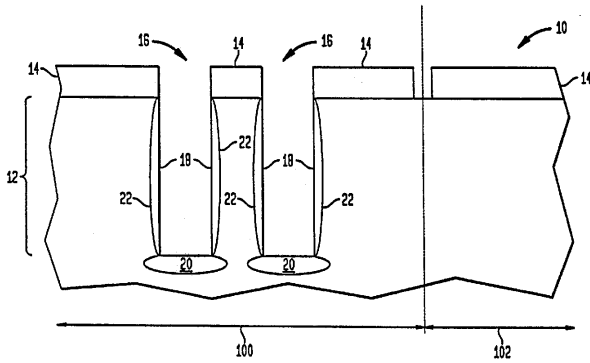
【図1】



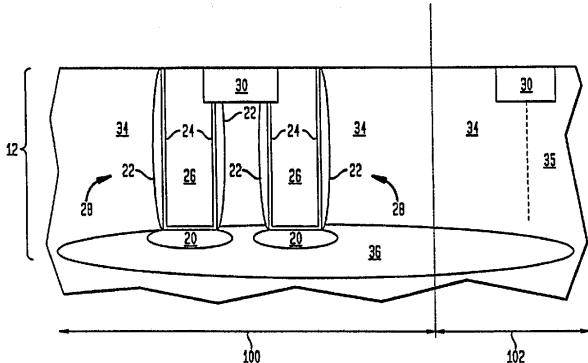
【図3】



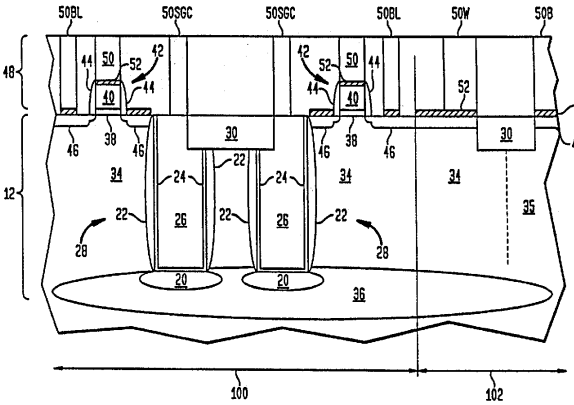
【図2】



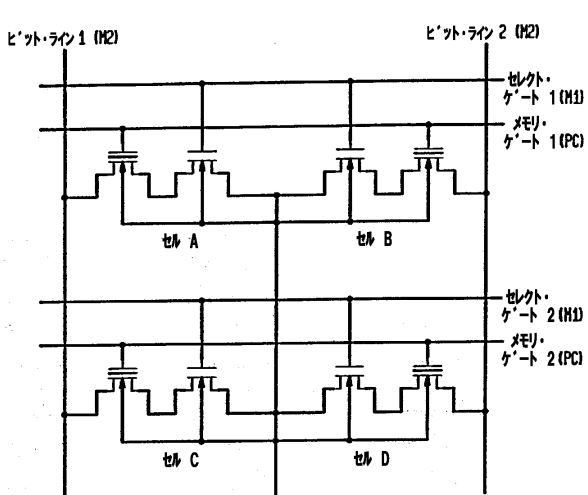
【図4】



【図5】

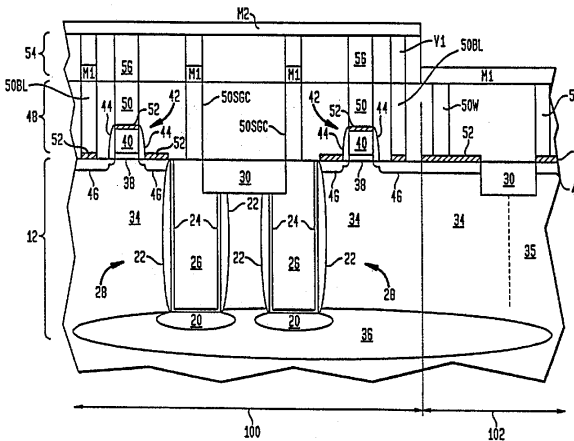


【図7】

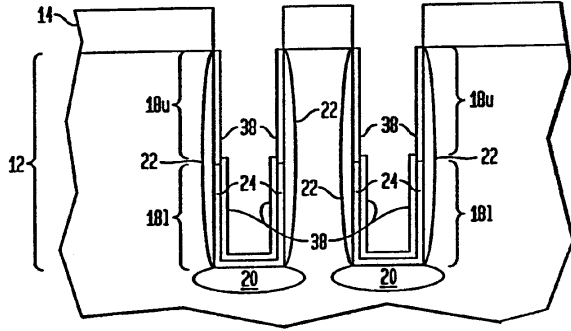


共通埋め込みソース (CBS) および pウェル

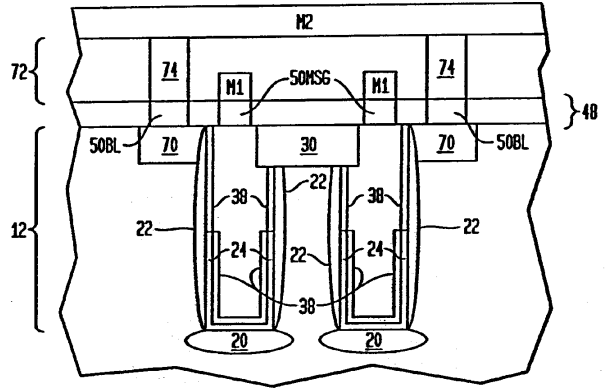
【図6】



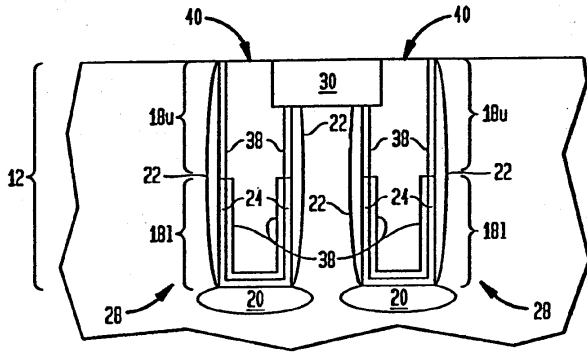
【 図 8 】



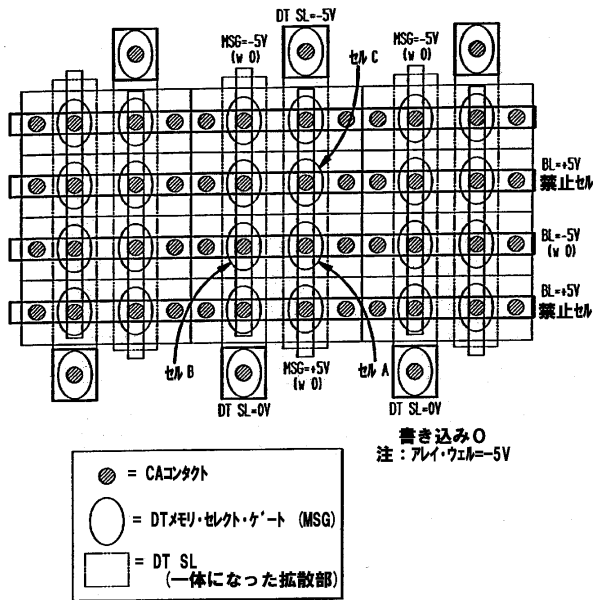
【 図 10 】



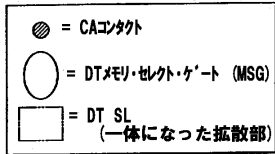
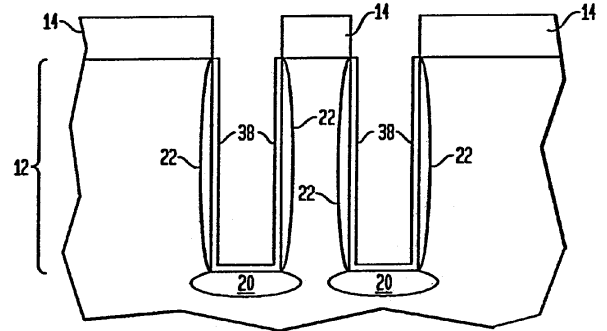
【 図 9 】



【 図 11 】

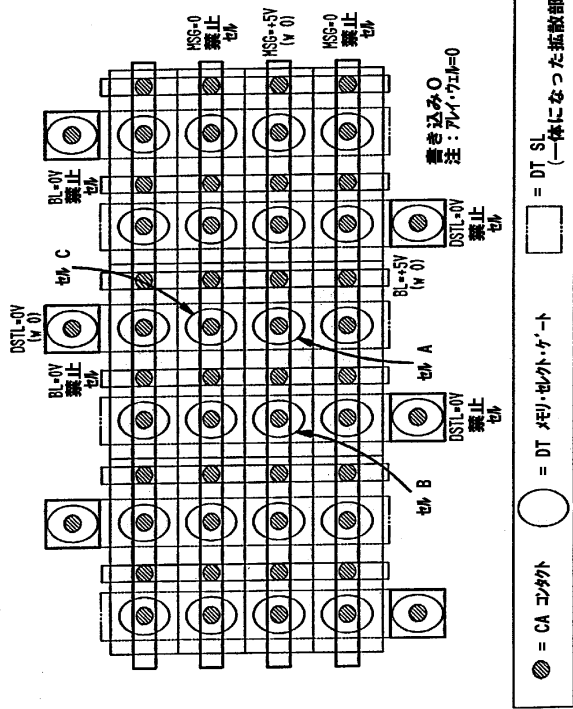


【 図 12 】



書き込み O
注：アレイ・ウェアル = -5V

【 図 13 】



フロントページの続き

- (51)Int.Cl. F I
H 0 1 L 27/10 (2006.01)
- (74)代理人 100086243
 弁理士 坂口 博
- (72)発明者 マンデルマン、ジャック
 アメリカ合衆国 2 8 7 3 1 ノースカロライナ州 フラット・ロック クレアモント・ドライブ
 1 1
- (72)発明者 ホー、ハーバート
 アメリカ合衆国 1 2 5 5 3 ニューヨーク州 ニュー・ウィンザー ルビー・ロード 1 2
- (72)発明者 ニン、ターク
 アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ ウェストン・レーン 3
 0 8 5
- (72)発明者 オタニ、ヨイチ
 スイス連邦国 C H - 3 2 8 2 ベルン州 バルゲン ニーダーリート・シュトラッセ 3 7

審査官 河合 俊英

- (56)参考文献 特表2004-520716(JP,A)
 特開2002-373948(JP,A)
 国際公開第2004/017417(WO,A1)
 特開2003-209188(JP,A)
 特開2003-281897(JP,A)
 特表2005-538537(JP,A)
 特開平11-026709(JP,A)
 特開2003-100914(JP,A)
 実開昭48-075570(JP,U)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 8 2 4 7
 H 0 1 L 2 7 / 1 0
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 7 8 8
 H 0 1 L 2 9 / 7 9 2