



(12)发明专利

(10)授权公告号 CN 104052409 B

(45)授权公告日 2018.01.19

(21)申请号 201410095300.2

(51)Int.Cl.

(22)申请日 2014.03.14

H03F 1/02(2006.01)

(65)同一申请的已公布的文献号

H03F 3/189(2006.01)

申请公布号 CN 104052409 A

H03F 3/20(2006.01)

(43)申请公布日 2014.09.17

(56)对比文件

(30)优先权数据

US 2007/0275676 A1, 2007.11.29,

61/799,723 2013.03.15 US

US 2007/0275676 A1, 2007.11.29,

61/787,733 2013.03.15 US

WO 01/010013 A1, 2001.02.08,

61/801,549 2013.03.15 US

CN 102007699 A, 2011.04.06,

61/867,233 2013.08.19 US

MAZZANTI A ET AL.A 1.4 GHz-2 GHz

14/201,845 2014.03.08 US

wideband CMOS class-E power amplifier

(73)专利权人 美国亚德诺半导体公司

delivering 23 dBm peak with 67% PAE.《2005

地址 美国马萨诸塞州

IEEE RADIO FREQUENCY INTEGRATED CIRCUIT

(72)发明人 B·谢佛 B·赵

(RFIC) SYMPOSIUM》.2005,第425-428页.

审查员 石蒙蒙

(74)专利代理机构 中国国际贸易促进委员会专

权利要求书3页 说明书12页 附图10页

利商标事务所 11038

代理人 陈华成

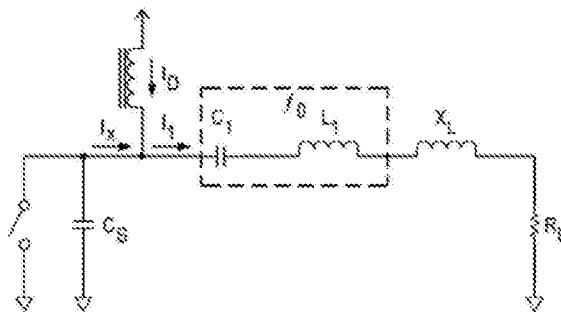
(54)发明名称

全数字零电压切换

(57)摘要

本发明涉及全数字零电压切换。功率效率是功率放大器的重要设计要求。为了改进功率效率,本公开中所提出的解决方案包括一种用于通过所要电流脉冲形状来直接驱动切换功率放大器的全数字零电压切换设备。所述设备包括数字引擎和数/模转换器(DAC)。所述数字引擎处理基带数据且产生数字输出。所述数字引擎的所述数字输出驱动所述DAC来产生具有所述所要电流脉冲形状的数控电流输出。使用所述数控电流输出来直接驱动所述切换功率放大器以改进功率效率。包含以数字形式产生的电流脉冲的所述数控电流输出由所述数字引擎和所述DAC准确地控制,且因此允许所述切换功率放大器以比常规功率放大器高的功率效率来最佳地操作。

B
CN 104052409 B



CN

1. 一种用于使用一个或多个数/模转换器DAC通过零电压切换来优化切换功率放大器的功率效率的设备, 其包括:

数字引擎, 其配置以接收基带信号输入、使用所述数字引擎中的数字上变频转换模块将基带信号上变频转换并且输出射频RF数字输出以驱动DAC的输入; 以及

DAC, 其配置以从所述数字引擎接收RF数字输出以生成数控电流输出, 其中所述DAC的所述数控电流输出连接到所述切换功率放大器的驱动晶体管的发射极以提供用于所述切换功率放大器的零电压切换。

2. 根据权利要求1所述的设备, 其中所述数控电流输出具有切换波形, 所述切换波形包含具有各种量值的均匀间隔的电流脉冲, 其中所述均匀间隔的电流脉冲包含:

当所述切换功率放大器接通且所述驱动晶体管上的电压处于极小电平时, 具有根据脉冲形状的量值的脉冲; 以及

当所述切换功率放大器断开时, 几乎没有量值的脉冲。

3. 根据权利要求1或2所述的设备, 其中:

所述切换功率放大器包括使用高击穿电压化合物半导体材料的共基极配置中的共源共栅级; 且

所述数控电流输出具有大约数百毫安的电流。

4. 根据权利要求1或2所述的设备, 其中所述切换功率放大器包括具有E类或F类配置的放大器。

5. 根据权利要求1或2所述的设备, 其进一步包括:

一个或多个谐振器输出滤波器, 其与F类操作相关联, 其中集电极处的电压波形接近方波形以减少额外功率耗散。

6. 根据权利要求1或2所述的设备, 其中所述DAC包括开关阵列, 且通过所述开关阵列中的开关的输出阻抗控制来控制所述数控电流输出的量值。

7. 根据权利要求1或2所述的设备, 其中所述DAC包括电阻器阵列, 其可配置以基于所述数字引擎的所述数字输出来提供所述数控电流输出的不同量值。

8. 根据权利要求1或2所述的设备, 其中在不存在电流到电压转换级的情况下, 所述DAC使用所述数控电流输出来驱动所述切换功率放大器。

9. 根据权利要求1或2所述的设备, 其进一步包括基极电压产生器以提供用于所述驱动晶体管的具有电压波形的基极电压, 其中所述基极电压产生器包括:

复现模块, 其连接到所述DAC的所述数控电流输出, 用于镜射所述数控电流输出; 以及

电压调节器, 其连接到所述复现模块的输出, 用于基于所述复现模块的所述输出来根据所述电压波形产生基极电压。

10. 根据权利要求1或2所述的设备, 其进一步包括基极电压产生器以提供具有电压波形的基极电压, 其中所述基极电压产生器包括:

数字信号处理器, 其连接到所述数字引擎的所述数字输出, 用于处理所述数字输出以在所述数字信号处理器的输出处根据所述电压波形产生电压信息; 以及

电压产生器, 其连接到所述数字信号处理器的所述输出, 用于基于所述电压信息来产生所述基极电压。

11. 根据权利要求1或2所述的设备, 其中所述数字引擎包括以下各项中的一者或多者:

数字预失真模块以及脉冲成形器。

12. 根据权利要求1所述的设备,其中所述数字引擎包括:

多个数字上变频转换模块,所述数字上变频转换模块中的每一者用于混合不同频率下的各个载波以产生数字中间频率。

13. 根据权利要求12所述的设备,其中所述数字引擎进一步包括:

求和节点,其用于对所述数字中间频率进行求和以产生多载波信号。

14. 根据权利要求13所述的设备,其中所述数字引擎进一步包括:

数字预失真模块,其将所述多载波信号当作输入来产生经预失真的信号;以及

脉冲成形器,其将经预失真的信号当作输入来产生所述数字引擎的所述数字输出。

15. 一种用于使用一个或多个数/模转换器DAC通过零电压切换来优化切换功率放大器的功率效率的方法,其包括:

由数字引擎处理所输入的基带信号;

通过所述数字引擎中的数字上变频转换模块在数字域中将所述基带信号进行上变频转换;

输出所述数字引擎的射频RF数字输出来驱动所述DAC的输入;

基于所述数字引擎的所述RF数字输出由所述DAC输出具有切换波形的数控电流输出;以及

直接用所述DAC的所述数控电流输出来驱动所述切换功率放大器,其中所述DAC的所述数控电流输出连接到所述切换功率放大器的驱动晶体管的发射极以提供用于所述切换功率放大器的零电压切换。

16. 根据权利要求15所述的方法,其中:

所述切换波形包含具有各种量值的均匀间隔的电流脉冲;

由所述DAC输出所述数控电流输出包括:

当所述切换功率放大器接通且所述驱动晶体管上的电压处于极小电平时,输出具有根据脉冲形状的量值的脉冲;以及

当所述切换功率放大器断开时,输出几乎没有量值的脉冲。

17. 根据权利要求15或16所述的方法,其中由所述DAC输出所述数控电流输出包括将大约数百毫安的电流输出到所述切换功率放大器,所述功率放大器包括使用高击穿电压化合物半导体材料的共基极配置中的共源共栅级。

18. 根据权利要求15或16所述的方法,其中直接用所述数控电流输出来驱动所述切换功率放大器包括在不存在电流到电压转换级的情况下,使用所述数控电流输出来驱动所述切换功率放大器。

19. 根据权利要求15或16所述的方法,其进一步包括:

在切换晶体管的基极处提供具有电压波形的基极电压,其中提供所述具有电压波形的基极电压包括:

使用连接到所述DAC的所述数控电流输出的复现模块来镜射所述数控电流输出;以及

使用连接到所述复现模块的输出的电压调节器来基于所述复现模块的所述输出根据所述电压波形产生所述基极电压。

20. 根据权利要求15或16所述的方法,其进一步包括:

在切换晶体管的基极处提供具有电压波形的基极电压,其中提供所述具有电压波形的基极电压包括:

使用连接到所述数字引擎的所述数字输出的数字信号处理器来处理所述数字输出,以在所述数字信号处理器的输出处根据所述电压波形产生电压信息;以及

使用连接到所述数字信号处理器的所述输出的电压产生器来基于所述电压信息产生所述基极电压。

21.一种用于驱动天线的射频发射器系统,所述天线经配置以发射射频信号,其包括:

切换功率放大器,其用于产生待由所述天线发射的所述射频信号;

数字引擎,其配置以接收基带信号输入、使用所述数字引擎中的数字上变频转换模块将基带信号上变频转换并且输出射频RF数字输出以驱动DAC的输入;以及

数/模转换器,其配置以接收RF数字输出来生成数控电流输出,其中所述数控电流输出驱动所述切换功率放大器的驱动晶体管的发射极。

22.根据权利要求21所述的射频发射器系统,其中所述数字引擎包括:

多个数字上变频转换模块,所述数字上变频转换模块中的每一者用于混合不同频率下的各个载波以产生数字中间频率;

求和节点,其用于对所述数字中间频率进行求和以产生多载波信号;

数字预失真模块,其将所述多载波信号当作输入来产生经预失真的信号;以及

脉冲成形器,其将经预失真的信号当作输入来产生所述数字引擎的所述数字输出。

23.一种用于使用一个或多个数/模转换器DAC通过零电压切换来优化切换功率放大器的功率效率的设备,所述设备包括:

用于由数字引擎处理所输入的基带信号的装置;

用于通过所述数字引擎中的数字上变频转换模块在数字域中将基带信号进行上变频转换的装置;

用于输出所述数字引擎的射频RF数字输出来驱动所述DAC的输入的装置;

用于基于所述数字引擎的所述RF数字输出由所述DAC输出具有切换波形的数控电流输出的装置;以及

用于直接用所述DAC的所述数控电流输出来驱动所述切换功率放大器的装置,其中所述DAC的所述数控电流输出连接到所述切换功率放大器的驱动晶体管的发射极以提供用于所述切换功率放大器的零电压切换。

24.一种用于使用一个或多个数/模转换器DAC通过零电压切换来优化切换功率放大器的功率效率的设备,所述设备包括用于执行根据权利要求16到20中任一权利要求所述的方法的装置。

25.根据权利要求24所述的设备,其中所述设备是计算装置。

全数字零电压切换

[0001] 优先权数据

[0002] 本非临时专利申请受益于或主张以下申请的优先权：2013年3月15日提交的标题为“DUTY CYCLE DETECTION CIRCUIT FOR DOUBLE DATA RATE CONVERTER”的第61/799,723号美国临时申请（代理人案号为26256-0146-P/APD4710-1-US）；2013年3月15日提交的标题为“DIGITAL SWITCHING”的第61/787,733号美国临时申请（代理人案号为26256-0148-P/APD4674-1-US）；2013年3月15日提交的标题为“RADIO FREQUENCY (RF) DOMAIN DIGITAL PREDISTORTION (DPD)”的第61/801,549号美国临时申请（代理人案号为26256-0149-P/APD4673-1-US）；2013年8月19日提交的标题为“HIGH OUTPUT POWER DIGITAL-TO-ANALOG CONVERTER SYSTEM”的第61/867,233号美国临时申请（代理人案号为26256-0197-P/ACQ165-1-US）。这些所参考的专利申请特此全部以引用的方式并入本文中。

技术领域

[0003] 本公开属于射频(RF)功率放大器的技术领域。更明确地说，本公开属于使用数/模转换器(DAC)来控制功率放大器中的信号电流以优化其功率效率的技术领域。

背景技术

[0004] 功率放大器(PA)在如今的电子学中有许多重要应用，其中之一是射频发射器中的功率放大器的应用，其中将低功率信号放大成具有相当大功率的较大信号以用于驱动发射器的天线。功率放大器是发射信号链中的最薄弱环节之一。在过去几年里，已开发出或重新发现了许多新的PA架构，以改进线性、效率、带宽和输出功率。

[0005] 功率放大器具有许多类别，例如A类、AB类、B类、C类、E类或F类放大器。A类功率放大器是最高效的。功率放大器使用AB类、B类或C类配置，其中与A类相比，功率驱动晶体管接通持续完整循环的相应较小分数，以改进效率。图1展示A类、AB类、B类和C类放大器的说明性电流波形。这些放大器的效率极大地依赖于相对于电压波形来控制电流波形，以便最小化功率耗散。然而，用于控制电流波形的解决方案已不足以实现最佳效率。

发明内容

[0006] 功率效率是功率放大器的重要设计要求。为了改进功率效率，本公开中所提出的解决方案包括一种用于通过所要电流脉冲形状来直接驱动切换功率放大器的全数字零电压切换设备。所述设备包括数字引擎和数/模转换器(DAC)。所述数字引擎处理基带数据且产生数字输出。所述数字引擎的所述数字输出驱动所述DAC来产生具有所述所要电流脉冲形状的数控电流输出。使用所述数控电流输出来直接驱动所述切换功率放大器以改进功率效率。包含以数字形式产生的电流脉冲的所述数控电流输出由所述数字引擎和所述DAC准确地控制，且因此允许所述切换功率放大器以比常规功率放大器高的功率效率来最佳地操作。

附图说明

- [0007] 图1展示A类、AB类、B类和C类放大器的说明性电流波形；
- [0008] 图2展示根据本公开的一些实施方案的模型化为开关的说明性E类功率放大器；
- [0009] 图3A展示根据本公开的一些实施方案的具有奇数谐波闭塞滤波器的说明性F类功率放大器；
- [0010] 图3B展示根据本公开的一些实施方案的F类功率放大器的说明性电压波形和示范性电流波形；
- [0011] 图4展示用于驱动功率放大器的系统；
- [0012] 图5展示常规数/模转换器可产生的说明性波形；
- [0013] 图6展示根据本公开的一些实施方案的高能效功率放大器中所使用的说明性波形；
- [0014] 图7展示根据本公开的一些实施方案的用于驱动功率放大器的经改进系统；
- [0015] 图8展示根据本公开的一些实施方案的说明性电压波形、电流波形的说明性所要形状以及说明性数控电流输出；
- [0016] 图9展示根据本公开的一些实施方案的用于驱动功率放大器的经改进系统的示范性实现方式；
- [0017] 图10展示根据本公开的一些实施方案的用于驱动功率放大器的经改进系统的示范性实现方式；
- [0018] 图11展示说明根据本公开的一些实施方案的用于使用一个或多个数/模转换器(DAC)通过零电压切换来优化切换功率放大器的功率效率的方法的示范性流程图；
- [0019] 图12展示根据本公开的一些实施方案的具有用于驱动功率放大器的经改进系统的示范性发射器系统；并且
- [0020] 图13展示根据本公开的一些实施方案的具有用于驱动功率放大器的经改进系统的示范性发射器系统。

具体实施方式

- [0021] 理解功率放大器的功率效率以及零电压切换
- [0022] 通过使用其中将功率驱动晶体管作为开关来操作的E类和F类配置，对功率放大器的功率效率的进一步改进是可能的。图2展示模型化为开关的说明性E类功率放大器。当闭合时，开关具有低电阻阻抗，且当打开时，开关具有高电阻。如果开关(即，驱动晶体管)接通，那么输出电压接近零。因此，最大电流流经开关，并且开关上的电压非常小。相反，如果开关断开，那么输出电压较高。因此，无电流或极小电流流经所述开关，并且开关上的电压较高。在两种情况下，开关功率耗散极小，从而优化效率。
- [0023] 实际上，归因于其中功率由晶体管耗散的电流与电压波形的重叠，E类放大器具有功率效率限制。缺乏对电流波形的恰当控制可进一步加重功率耗散问题。F类放大器可进一步改进此重叠。图3A展示根据本公开的一些实施方案的具有奇数谐波闭塞滤波器的说明性F类功率放大器。这些说明性谐波闭塞滤波器允许电压组合方波形，以减少电压与电流波形之间的重叠量。图3B展示根据本公开的一些实施方案的F类功率放大器的说明性电压波形

和示范性电流波形。通过添加阻止奇数谐波到达负载的滤波器，在漏极处峰化回来使得波形较方(例如,在波形的峰值最大值和最小值处较平),从而减少电压电流波形重叠,且进而改进功率效率。

[0024] 用于驱动功率放大器的实例性系统及其无效性

[0025] 为了用这些波形驱动功率放大器,通常使用高速数/模转换器(DAC)来驱动以多种类别的放大器中的任一者来配置的放大器的输入。举例来说,可使用DAC来接通F类功率放大器的切换晶体管的栅极电压,因此漏极电压较低,且电流最高,以得到最佳功率耗散。图4展示用于驱动功率放大器的此类系统。所述系统需要用于正交调制器接口的中间电流到电压转换级。此要求会增加系统复杂性和低效性。此外,具有电流到电压转换增加了整个系统的组件数目以及功率消耗。

[0026] 数/模转换器(DAC)所产生的波形以及信号波形的形状

[0027] 图5展示常规数/模转换器(DAC)可产生的说明性波形。DAC通常在频谱上驱动原始射频信号(图5中描绘),且需要对所述信号进行再成形以改进功率放大器(PA)性能。图6展示根据本公开的一些实施方案的高能效功率放大器中所使用的说明性波形。以较高效率和线性来驱动PA的合意信号(图6中描绘)与现存系统中的DAC所产生的信号看起来差别很大。本公开的系统和方法可高效地填补所述间隙/差异。

[0028] 经改进的系统:全数字零电压切换(ZVS)

[0029] 为了提供合意信号以及信号波形的相应形状(如图6中所示),使用全数字ZVS系统来同时优化PA线性和效率,同时实现较大带宽。全数字ZVS系统对图4中所示的发射架构进行改进。具体地说,经改进的解决方案提供对进入功率放大器中的电流脉冲的形状的全数字控制,以优化射频转换的功率效率。此外,经改进的解决方案涉及具有以数字形式产生的电流输出的高效率功率放大器,所述电流输出包含来自数/模转换器(DAC)的电流脉冲,以改进RF转换的效率。

[0030] 图7展示根据本公开的一些实施方案的用于驱动功率放大器的经改进系统。所述系统包括使用一个或多个数/模转换器(DAC)702通过零电压切换来优化切换功率放大器703的功率效率的设备。如图所示,将切换功率放大器703模型化为具有驱动晶体管704的开关。Vbase706(例如,用于提供基极电压的模块,或本文称为基极电压产生器)连接到晶体管704的基极,并且将漏极电流表示为 I_D ,且将晶体管704上的电压表示为 V_D 。此系统中的 I_D 和 V_D 的所要信号波形可对应于图6的 $I_D(A)$ 和 $V_D(V)$ 的示范性波形(其也在本公开的稍后部分中在图8中展示),用于实现零电压切换以改进功率效率。

[0031] 所述设备包括DAC702,其具有驱动切换功率放大器703的数控电流输出,其中DAC702的数控电流输出连接到切换功率放大器703的驱动晶体管704的发射极。此配置相当于将双极晶体管用作驱动晶体管的共基极配置,或等效地,此配置相当于(金属氧化物半导体)场效应晶体管作为驱动晶体管(其中数控电流输出将连接到驱动晶体管的源极)的共栅极配置。通过控制发射极电流,数控电流输出允许也控制 I_D 。DAC702以高取样速率操作,例如在千兆赫范围内操作,使得可更准确地控制发射极和集电极电流的所要电流脉冲形状。当切换放大器接通时,发射极/集电极电流较高,且晶体管上的电压较低,因此,功率放大器的功率耗散可最小化。

[0032] 所述设备进一步包括数字引擎708,其接收基带信号输入且提供数字输出,所述数

字输出驱动DAC702的输入,以使DAC702输出具有(所要)切换波形的数控电流输出。换句话说,通过数字引擎的数字输出来控制DAC702,以便允许DAC产生合适的数控电流输出,即,使DAC的电流输出成形以相对于晶体管704上的电压具有恰当的量值,从而改进功率效率。

[0033] 所得设备包括DAC702和数字引擎708(以及其中的任何合适组件),其提供对流经功率放大器的电流的全数字控制,从而提供全数字ZVS系统。全数字ZVS系统提供若干优点。一个优点包括消除常规架构中必要的电流到电压转换级。有效地,全数字ZVS系统在无电流到电压转换级的情况下允许DAC702(直接)驱动切换功率放大器。使用DAC702直接产生高效率功率放大器中所要的信号去除了用于正交调制器接口的中间电流到电压转换级。这降低了接口低效性和设计复杂性。这还减少了系统的功率消耗和组件计数,并实现了发射信号链中的较高集成等级。另一优点归因于使用全数字引擎来提供数控信号输出。为了实现较高功率效率,界定电流和电压的形状以最小化功率放大器中的电压与电流的重叠且因此最小化有源装置中的功率耗散是关键的。通过使用DAC702以数字方式控制数控电流输出的电流脉冲的形状,晶体管接通和断开时的较生硬过渡是可能的,从而具有较多设计灵活性。电流脉冲的表示的准确性可受DAC速度和分辨率影响。

[0034] 所要的电压波形、电流波形和切换波形

[0035] 图8展示根据本公开的一些实施方案的说明性电压波形、电流波形的说明性所要形状以及说明性数控电流输出。说明性电压波形 $V_D(V)$ 类似于F类功率放大器的所要波形。当功率放大器接通时,电压为零(或接近零),且根据电流波形 $I_D(A)$ 的所要形状从发射极汲取电流。根据所要形状而展示的条表示由本公开的用于改进功率放大器的功率效率的全数字ZVS切换系统产生的数控电流输出的(切换波形的)一组示范性电流脉冲。具体地说,切换波形包括具有各种量值的均匀间隔的电流脉冲(例如,为了与所要电流波形匹配)。脉冲的间距(例如,脉冲的宽度)取决于DAC702的速度。在一个实施例中,脉冲的宽度可大约为数十皮秒。均匀间隔的电流脉冲包括:在切换功率放大器接通且驱动晶体管上的电压处于极小电平(例如, $V_D(V)$ 低于低电压阈值、接近零和/或为零)时,具有根据脉冲形状(例如,电流波形 $I_D(A)$ 的脉冲形状)的量值的脉冲;以及在切换功率放大器断开时(例如,在 $V_D(V)$ 较高且/或高于低电压阈值时),不具有量值(或接近零)的脉冲。

[0036] 经改进系统的数字引擎、功率放大器、输出网络以及负载

[0037] 返回参看图7,数字引擎708可包括以下各项中的一者或多者:数字上变频转换(DUC)模块710、数字预失真(DPD)模块712以及脉冲成形器714。虽然展示了所有三个组件,但这些组件中的一者或多者的连接(例如,连接所述组件的方式)和选择可依据应用而变化。举例来说,系统的变化形式可在DUC模块710和脉冲成形器714之前包括DPD模块712。基带信号经过数字引擎708的组件,且数字引擎708的输出被作为输入馈送到DAC702以驱动DAC702。数字引擎708与DAC702一起驱动功率放大器704且控制电流形状。

[0038] DUC模块710的上变频转换完全在数字域中进行,且可利用高级技术节点(例如,28nm过程)来减少系统功率消耗。这将锁相环(PLL)、压控振荡器(VCO)和调制器从信号链中消除,且避免了零中间频率(ZIF)或复杂中间频率(CIF)架构中存在的问题,如正交误差校正和本地振荡器(LO)馈通。

[0039] DPD模块712可补偿DAC和(共源共栅)功率放大器的非线性所导致的非理想性能。包括DPD模块通过在其非线性区中运行这些组件来改进功率放大器的效率。

[0040] 脉冲成形器714包括波成形网络。这可以是一种算法，所述算法获得线性输入信号，并将其映射到输出序列，所述输出序列将正确量的能量递送到输出网络。通过这样做，功率晶体管上的能量损失保持最小。

[0041] 功率放大器703可为切换模式功率放大器中的任一者，例如E类或F类配置。功率放大器可包括使用高击穿电压化合物半导体材料的共基极配置中的共源共栅级，且来自DAC702的数控电流输出具有大约数百毫安(例如，100毫安以上、介于100毫安与512毫安之间，或更高)的电流。通过共源共栅配置，发射极电压可保持足够低而不超过DAC可以之为基础的高级过程的电压裕量。使用高击穿电压化合物半导体材料(例如GaN或GaAs)，高集电极电压是可能的，从而允许DAC的高电流(大约数百毫安)连同高集电极电压摆动以从功率装置产生较大量的功率。功率放大器703可包括单个结构或多个并行结构。

[0042] 输出网络716包括匹配网络以及任何可能的谐波调谐网络，以控制谐波内容且类似集电极电压(例如F类操作中所使用的集电极电压)的方波形。所述设备可包括与F类操作相关联的一个或多个谐振器输出滤波器。谐振器输出滤波器通过对波形进行成形以减少有源晶体管704上所耗散的功率，来控制集电极电压和/或电流的谐波内容。这又增加了功率放大器效率。

[0043] 射频扼流器718连接在功率放大器与功率供应之间，以允许DC电流流经晶体管。Rload720表示加载网络。Rload720可为实际负载阻抗，或可能为跟随功率放大器716之后的滤波器的输入端口的阻抗。

[0044] 经改进系统的数/模转换器的示范性实现方式

[0045] 如图7中所见，各种实现方式均可能用于提供DAC702。图9展示根据本公开的一些实施方案的用于驱动功率放大器的经改进系统的实现方式，其中DAC902可用不同方式实施。举例来说，DAC可包括开关阵列，且所述开关阵列中的开关的输出阻抗控制控制数控电流输出的量值。在一些实施例中，DAC可包括电流源阵列，其可配置以基于数字引擎的数字输出来提供数控电流输出的不同量值。在一些实施例中，DAC包括电阻器阵列，其可配置以基于数字引擎的数字输出来提供数控电流输出的不同量值。

[0046] 在一些实施例中，DAC包括电流源阵列和电阻器阵列。电流源阵列转换(来自数字引擎的)数字输出信号的最高有效位，且电阻器阵列转换(来自数字引擎的)数字输出信号的最低有效位。它们经组合以提供DAC的数控电流输出。在分段式DAC设计的另一实施例中，DAC包括开关阵列和电阻器阵列。

[0047] 一般来说，用于产生精密电流脉冲以直接驱动功率放大器的驱动晶体管的DAC应以非常高的速度(在千兆赫范围内)操作，以便准确地提取输入调制信息。出于此原因，优选的是使用电流导引DAC来实施DAC，且不用比电流导引DAC慢很多的电容器阵列来实施DAC。

[0048] 在一个实施方案中，可用并行DAC结构来实施DAC702，其中复制DAC结构以实现较大的输出电流。DAC702可为包括四个、六个或八个(或更多)并行DAC核心的DAC系统。同一输入字可作为数字输入信号提供给并行DAC核心，且来自DAC核心的输出可经组合以提供具有大约数百毫安的电流输出的聚合模拟输出。在切换功率放大器703的共源共栅级中放大并组合DAC的输出。共源共栅级可包括直接连接到八个并行DAC核心的八个(或更多)并行共源共栅放大器。共源共栅级可包括功率组合网络以组合共源共栅放大器的输出处的输出功率。

[0049] 预期这些技术的组合可用以提供分段式设计中的DAC的架构,其中使用这些示范性实现方式中的一者将输入字的某些位转换成模拟信号,且使用这些示范性实现方式中的另一者将输入字的其它位转换成模拟信号。

[0050] 在驱动晶体管的基极/栅极处提供合适的电压波形

[0051] 除了提供合适的电流波形之外,还用驱动晶体管的基极(或栅极,如果使用场效应晶体管)处的恰当电压波形来驱动所述驱动晶体管。如图8中所见,电压的说明性波形与电流的说明性波形合作(以一些方式依赖于彼此),以提供零电压切换。返回参看图9,不同实现方式是可能的,用于提供基极电压产生器904以提供用于驱动晶体管的具有所要电压波形的基极电压。可用各种方式来实施基极电压产生器(标记为“Vbase”)904偏压电路。

[0052] 在一些情况下,基极电压产生器904可使用Vbase调节器908来提供基极电压。Vbase调节器908用从主电流路径B镜射的复现模块906(或反馈电流分支)来封闭环路。在此实施例中,基极电压产生器包括:复现模块906,其连接到DAC的数控电流输出,用于镜射数控电流输出;以及电压调节器(Vbase调节器908),其连接到复现模块的输出,用于基于复现模块的输出来根据电压波形产生基极电压。

[0053] 在一些情况下,(信号路径A的)数字引擎所处理的信号可经过数字信号处理器(DSP)910(具有一些合适的DSP功能),且驱动Vbase产生器912来提供栅极控制信号。在此情况下,输入调制信息同时存在于DAC电流和Vbase电压两者中。基极电压产生器可包括:数字信号处理器910,其连接到数字引擎的数字输出,用于处理数字输出以在数字信号处理器的输出处根据电压波形产生电压信息;以及电压产生器(Vbase产生器912),其连接到数字信号处理器模块的输出,用于基于电压信息来产生基极电压。

[0054] 经改进的系统:多载波发射器

[0055] 较宽的动态范围和极好的线性是将在高频率下用于多载波情形中的DAC的典型要求。在这些情形中,信号产生电路(即,DAC)和功率放大电路(即,功率放大器)集成在一起,以实现高输出驱动能力并提升动态范围。同时,可应用频域或时域内建DPD,以改进系统的线性。因此,所述经改进的系统在构造多载波发射器中是有利的。

[0056] 图10描绘作为用于驱动功率放大器的经改进系统的示范性实现方式的一部分的多载波数字引擎1002。多个数字上变频转换块(例如,DUC1004a、1004b、1004c和1004d,且可依据信道的数目具有更多)中的数字频率调谐能力混合不同频率下的各个载波,且将数字中间频率求和在一起(例如,通过求和节点)以产生多载波信号。在使多载波信号经过DPD1006和脉冲成形器1008之后,多载波数字引擎1002的输出信号接着经过单个DAC/功率放大器系统,以产生所要的输出信号。在此系统中,单个发射器能够代替多个单载波发射器。这简化了系统设计,大大降低了功率消耗,且提供极大的设计灵活性。

[0057] 经改进的方法:全数字ZVS

[0058] 图11展示说明根据本公开的一些实施方案的用于使用一个或多个数/模转换器(DAC)通过零电压切换来优化切换功率放大器的功率效率的方法的示范性流程图。方法1100包括:由数字引擎处理所输入的基带信号(框1102);提供数字引擎的数字输出以驱动DAC的输入(框1104);由DAC输出具有切换波形的数控电流输出(框1106);直接用DAC的数控电流输出来驱动切换功率放大器(框1108)。DAC的数控电流输出连接到切换功率放大器的驱动晶体管的发射极。

[0059] 明确地说,数控电流输出(与框1106和1108有关)的切换波形包括具有各种量值(例如,根据所要电流波形提供量值)的均匀间隔的电流脉冲。此外,由DAC输出数控电流输出(框1106)可包括在切换功率放大器接通且驱动晶体管上的电压处于极小电平时输出具有根据脉冲形状的量值的脉冲,以及在切换功率放大器断开时输出几乎没有量值的脉冲。

[0060] 在一些情况下,由DAC输出数控电流输出(框1106)包括将大约数百毫安的电流输出到功率放大器,所述功率放大器包括使用高击穿电压化合物半导体材料的共基极配置中的共源共栅级。

[0061] 在一些情况下,由数字引擎处理基带信号包括通过以下各项中的一者或者对基带信号进行滤波:数字上变频转换模块、数字预失真模块以及脉冲成形器。

[0062] 在一些情况下,直接用所述数控电流输出来驱动所述切换功率放大器(框1108)包括在不存在电流到电压转换级的情况下,使用所述数控电流输出来驱动所述切换功率放大器。

[0063] 具有经改进ZVS系统的实例性发射器

[0064] 图12展示根据本公开的一些实施方案的具有用于驱动功率放大器的经改进系统的示范性发射器系统1200。具有天线1202的发射器可进一步包括经改进的系统。所述经改进的系统包括切换功率放大器1204。此外,所述经改进的系统包括数/模转换器1206,其具有驱动切换功率放大器的数控电流输出,其中DAC1206的数控电流输出连接到(切换)功率放大器1204的驱动晶体管的发射极。此外,所述经改进的系统包括数字引擎1208,其接收基带信号输入且提供驱动DAC1204的输入的数字输出。所述DAC基于驱动DAC的输入的数字输出来输出具有切换波形的数控电流输出。将功率放大器1204所产生的输出信号提供到天线1202以供发射。

[0065] 在无线基础设施市场中,已存在为了增加发射器的动态范围和频率范围的持续战斗。所提出的方法和系统使所述技术向Bit2RF系统迈进了一步,Bit2RF系统将数位直接翻译成发射路径中的射频信号。这同时实现了较高的输出驱动能力、较宽的频率范围以及较高的功率效率。这可在分布式天线系统网络(即,有源天线和较小小区系统)中尤其合适。

[0066] 图13展示具有用于驱动功率放大器的经改进系统的又一示范性发射器系统。就是说,所述经改进的系统具有多载波数字引擎1302,其为所述数字引擎的变体。如先前关于图10所论述,经改进的系统和方法在高频率下在多载波情形中可特别好地起作用。使用图10中所示的实现方式,单个发射器能够代替多个单载波发射器。这简化了系统设计,大大降低了功率消耗,且提供极大的设计灵活性。

[0067] 如图13中所示,经改进的发射器系统包括多载波数字引擎1302、数/模转换器(DAC)1304、(切换)功率放大器1306以及天线1308。DAC1304具有驱动(切换)功率放大器1306的数控电流输出,其中DAC1304的数控电流输出连接到切换功率放大器1306的驱动晶体管的发射极。此外,所述经改进的系统包括多载波数字引擎1302,其接收基带信号输入且提供驱动DAC1304的输入的数字输出。DAC基于驱动DAC1304的输入的数字输出来输出具有切换波形的数控电流输出。将功率放大器1306所产生的输出信号提供到天线1308以供发射。

[0068] 多载波数字引擎1302可用与图10中所示相同的方式来实施。举例来说,数字引擎可包括以下各项中的一者或者:多个数字上变频转换块,所述数字上变频转换块中的每

一者用于混合不同频率下的各个载波以产生数字中间频率；求和节点，其用于对数字中间频率进行求和以产生多载波信号；数字预失真模块，其将所述多载波信号当作输入来产生经预失真的信号；以及脉冲成形器，其将经预失真的信号当作输入来产生数字引擎的数字输出。

[0069] 示范性实现方式和变化

[0070] 在以上对实施方案的论述中，可容易地置换、取代或以其它方式修改电容器、时钟、DFF、分压器、电感器、电阻器、放大器、开关、数字核心、晶体管和/或其它组件以便适应特定电路需要。此外，应注意，互补电子装置、硬件、软件等的使用提供用于实施本公开的教示的同样可行的选项。此处所说明的晶体管和电流吸收对电流供应DAC的选择无意限制电路拓扑的选择。

[0071] 在一个实例性实施方案中，附图的任何数目的电路可实施于相关联电子装置的板上。所述板可为一般电路板，其可容纳电子装置的内部电子系统的各种组件，并且进一步提供用于其它外围设备的连接器。更具体来说，所述板可提供系统的其它组件可借以电学通信的电连接。任何合适的处理器（包括数字信号处理器、微处理器、支持芯片组等）、存储器元件等可基于特定配置需要、处理要求、计算机设计等来适当地耦合到所述板。例如外部存储装置、额外传感器、用于音频/视频显示的控制器和外围装置等其它组件可作为插入卡、经由电缆附接到所述板或集成到所述板本身中。

[0072] 在另一个实例性实施方案中，附图的电路可作为独立模块（例如，具有被配置来执行具体应用或功能的相关联组件和电路的装置）来实施或作为电子装置的专用硬件中的插入模块来实施。请注意，本公开的特定实施方案可容易地部分或完全包括在芯片上系统（SOC）封装中。SOC代表将计算机或其它电子系统的组件集成到单个芯片中的IC。其可含有数字功能、模拟功能、混合信号功能以及通常射频功能：上述所有功能可提供在单个芯片衬底上。其它实施方案可包括多芯片模块（MCM），其中多个单独IC定位在单个电子封装内并且被配置来通过电子封装彼此密切地交互。在各种其它实施方案中，放大功能性可实施于专用集成电路（ASIC）、现场可编程门阵列（FPGA）和其它半导体芯片中的一个或多个硅核心中。

[0073] 还必须注意的是，本文概述的所有说明、尺寸和关系（例如，处理器的数目、逻辑运算等）仅被提供用于举例和教示的目的。此类信息可在不脱离本公开的精神或所附权利要求书的范围的情况下显著地变化。所述说明仅适用于一个非限制性实施例，并且因此，其应被视为如此。在前述描述中，已经参考特定处理器和/或组件布置描述了实例性实施方案。可在不脱离所附权利要求书的范围的情况下对这类实施方案做出各种修改和改变。因此，应以说明性意义而非限制性意义来看待所述描述和图式。

[0074] 在某些情形中，本文论述的特征可适用于能够受益于直接由DAC驱动的高效率功率放大器的射频无线通信、雷达、音频和视频设备、基站、发射器和其它基于数字处理的系统。

[0075] 请注意，在本文提供的许多实施例的情况下，可根据两个、三个、四个或更多个电学组件来描述交互。然而，这只是出于清楚和举例的目的来进行。应了解，系统可用任何合适的方式来合并。根据类似设计替代方案，附图的任何所示组件、模块和元件可用各种可能的配置来组合，这些配置全部明确地属于本说明书的广泛范围内。在某些情况下，仅通过参

考有限数目的电学元件来描述一组给定流程的一个或多个功能性可能更容易。应了解，附图的电路及其教示可容易地按比例缩放并且可容纳很多组件以及更复杂/完善的布置和配置。因此，所提供的实施例不应限制潜在适用于无数其它架构的电路的范围或抑制其广泛教示。

[0076] 请注意，在本说明书中，对包括在“一个实施方案”、“实例性实施方案”、“一实施方案”、“另一个实施方案”、“一些实施方案”、“各种实施方案”、“其它实施方案”、“替代性实施方案”等中的各种特征(例如，元件、结构、模块、组件、步骤、操作、特性等)的参考旨在意指任何此类特征包括在本公开的一个或多个实施方案中，但是可能或可能未必组合于相同实施方案中。请注意，上述设备的所有任选特征也可相对于本文所述的方法或过程来实施，并且实施例中的细节可在任何一个或多个实施方案中在任何地方使用。

[0077] 众多其它变化、取代、变型、更改和修改可由本领域技术人员来确定，并且预期本公开涵盖属于所附权利要求书的范围内的所有此类变化、取代、变型、更改和修改。为了帮助美国专利和商标局(USPTO)以及另外对本申请颁发的任何专利的任何读者来理解在此所附的权利要求书，申请人希望注意，申请人：(a)不希望任何所附权利要求调用在其提交日期存在的35U.S.C.第112章第六(6)段，除非在特定权利要求中具体使用措词“用于……的装置”或“用于……的步骤”；并且(b)不希望通过说明书中的任何陈述来以未在所附权利要求书中另外反映的任何方式限制本公开。

[0078] 其它注意点、实施例和实现方式

[0079] 请注意，上述设备的所有任选特征也可相对于本文所述的方法或过程来实施，并且实施例中的细节可在任何一个或多个实施方案中在任何地方使用。

[0080] 在第一实施例中，提供一种系统(其可包括任何适合的电路、分压器、电容器、电阻器、电感器、ADC、DFF、逻辑门、软件、硬件、链路等)，所述系统可为任何类型的计算机的一部分，所述系统可进一步包括耦合到多个电子组件的电路板。所述系统可包括：用于使用第一时钟来计时数据从数字核心到宏指令的第一数据输出上的装置，所述第一时钟为宏指令时钟；用于使用第二时钟来计时数据从宏指令的第一数据输出进入物理接口中的装置，所述第二时钟为物理接口时钟；用于使用宏指令时钟来计时第一复位信号从数字核心到宏指令的复位输出上的装置，所述第一复位信号输出用作第二复位信号；用于使用第三时钟来取样第二复位信号以产生取样复位信号的装置，所述第三时钟提供比第二时钟的速率更大的时钟速率；以及用于响应于取样复位信号的跃迁而使第二时钟复位到物理接口中的预定状态的装置。

[0081] 在这些情况(以上)下的“用于……的装置”可包括(但不限于)与任何适合的软件、电路、集线器、计算机代码、逻辑、算法、硬件、控制器、接口、链路、总线、通信路径等一起使用本文论述的任何适合组件。在第二实施例中，系统包括存储器，所述存储器进一步包括机器可读指令，所述机器可读指令在执行时致使所述系统执行以上所论述的活动中的任一者。

[0082] 实施例

[0083] 实施例1为一种用于使用一个或多个数/模转换器(DAC)通过零电压切换来优化切换功率放大器的功率效率的设备，其包括：DAC，其具有驱动所述切换功率放大器的数控电流输出，其中所述DAC的所述数控电流输出连接到所述切换功率放大器的驱动晶体管的发

射极；以及数字引擎，其接收基带信号输入且提供数字输出，所述数字输出驱动DAC的输入，以使所述DAC输出具有切换波形的数控电流输出。

[0084] 在实施例2中，实施例1的标的物可任选地包括所述切换波形包含具有各种量值的均匀间隔的电流脉冲，其中所述均匀间隔的电流脉冲包含：当切换功率放大器接通且驱动晶体管上的电压处于极小电平时，具有根据脉冲形状的量值的脉冲；以及当切换功率放大器断开时，几乎没有量值的脉冲。

[0085] 在实施例3中，实施例1到2中的任一者的标的物可任选地包括所述功率放大器包括使用高击穿电压化合物半导体材料的共基极配置中的共源共栅级；且所述数控电流输出具有大约数百毫安的电流。

[0086] 在实施例4中，实施例1到3中的任一者的标的物可任选地包括所述切换功率放大器包括具有E类或F类配置的放大器。

[0087] 在实施例5中，实施例1到4中的任一者的标的物可任选地包括与F类操作相关联的一个或多个谐振器输出滤波器，其中集电极处的电压波形接近方波形以减少额外功率耗散。

[0088] 在实施例6中，实施例1到6中的任一者的标的物可任选地包括所述DAC包括开关阵列，且所述开关阵列中的开关的输出阻抗控制控制所述数控电流输出的量值。

[0089] 在实施例7中，实施例1到6中的任一者的标的物可任选地包括所述DAC包括电阻器阵列，所述电阻器阵列可配置以基于数字引擎的数字输出来提供数控电流输出的不同量值。

[0090] 在实施例8中，实施例1到7中的任一者的标的物可任选地包括所述DAC在不存在电流到电压转换级的情况下使用数控电流输出来驱动切换功率放大器。

[0091] 在实施例9中，实施例1到8中的任一者的标的物可任选地包括基极电压产生器，其用以提供用于驱动晶体管的具有电压波形的基极电压，其中所述基极电压产生器包括：复现模块，其连接到DAC的数控电流输出，用于镜射数控电流输出；以及电压调节器，其连接到复现模块的输出，用于基于复现模块的输出来根据电压波形产生基极电压。

[0092] 在实施例10中，实施例1到9中的任一者的标的物可任选地包括基极电压产生器，其用以提供具有电压波形的基极电压，其中所述基极电压产生器包括：数字信号处理器，其连接到数字引擎的数字输出，用于处理数字输出以在数字信号处理器的输出处根据电压波形产生电压信息；以及电压产生器，其连接到数字信号处理器的输出，用于基于电压信息来产生基极电压。

[0093] 在实施例11中，实施例1到10中的任一者的标的物可任选地包括所述数字引擎包括以下各项中的一者或多者：数字上变频转换模块、数字预失真模块以及脉冲成形器。

[0094] 在实施例12中，实施例1到11中的任一者的标的物可任选地包括所述数字引擎包括：多个数字上变频转换块，所述数字上变频转换块中的每一者用于混合不同频率下的各个载波以产生数字中间频率。

[0095] 在实施例13中，实施例12的标的物可任选地包括所述数字引擎进一步包括求和节点，所述求和节点用于对数字中间频率进行求和以产生多载波信号。

[0096] 在实施例14中，实施例14的标的物可任选地包括所述数字引擎进一步包括：数字预失真模块，其将多载波信号当作输入来产生经预失真的信号；以及脉冲成形器，其将经预

失真的信号当作输入来产生数字引擎的数字输出。

[0097] 实施例15是一种用于使用一个或多个数/模转换器(DAC)通过零电压切换来优化切换功率放大器的功率效率的方法,其包括:由数字引擎处理所输入的基带信号;提供数字引擎的数字输出来驱动DAC的输入;由DAC输出具有切换波形的数控电流输出;以及直接用DAC的数控电流输出来驱动切换功率放大器,其中所述DAC的数控电流输出连接到切换功率放大器的驱动晶体管的发射极。

[0098] 在实施例16中,实施例15的标的物可任选地包括所述切换波形包含具有各种量值的均匀间隔的电流脉冲;由DAC输出数控电流输出包括:当切换功率放大器接通且驱动晶体管上的电压处于极小电平时,输出具有根据脉冲形状的量值的脉冲;以及当切换功率放大器断开时,输出几乎没有量值的脉冲。

[0099] 在实施例17中,实施例15到16中的任一者的标的物可任选地包括由DAC输出数控电流输出包括将大约数百毫安的电流输出到功率放大器,所述功率放大器包括使用高击穿电压化合物半导体材料的共基极配置中的共源共栅级。

[0100] 在实施例18中,实施例15到17中的任一者的标的物可任选地包括直接用所述数控电流输出来驱动所述切换功率放大器包括在不存在电流到电压转换级的情况下,使用所述数控电流输出来驱动所述切换功率放大器。

[0101] 在实施例19中,实施例15到18中的任一者的标的物可任选地包括在切换晶体管的基极处提供具有电压波形的基极电压,其中提供具有电压变换的电压包括:使用连接到DAC的数控电流输出的复现模块来镜射数控电流输出;以及使用连接到复现模块的输出的电压调节器来基于复现模块的输出根据电压波形产生基极电压。

[0102] 在实施例20中,实施例15到18中的任一者的标的物可任选地包括在切换晶体管的基极处提供具有电压波形的基极电压,其中提供具有电压变换的电压包括:使用连接到数字引擎的数字输出的数字信号处理器来处理数字输出以在数字信号处理器的输出处根据电压波形产生电压信息;以及使用连接到数字信号处理器的输出的电压产生器来基于电压信息产生基极电压。

[0103] 实施例21为一种用于驱动天线的射频发射器系统,所述天线经配置以发射射频信号,所述射频发射器系统包括:切换功率放大器,其用于产生待由天线发射的射频信号;数/模转换器,其具有驱动所述切换功率放大器的数控电流输出,其中DAC的数控电流输出连接到切换功率放大器的驱动晶体管的发射极;以及数字引擎,其接收基带信号输入且提供驱动DAC的输入的数字输出,其中DAC基于驱动DAC的输入的数字输出来输出具有切换波形的数控电流输出。

[0104] 在实施例22中,实施例21的标的物可任选地包括所述数字引擎包括:多个数字上变频转换块,所述数字上变频转换块中的每一者用于混合不同频率下的各个载波以产生数字中间频率;求和节点,其用于对数字中间频率进行求和以产生多载波信号;数字预失真模块,其将所述多载波信号当作输入来产生经预失真的信号;以及脉冲成形器,其将经预失真的信号当作输入来产生数字引擎的数字输出。

[0105] 实施例23是一种用于使用一个或多个数/模转换器(DAC)通过零电压切换来优化切换功率放大器的功率效率的设备,所述设备包括:用于由数字引擎处理所输入的基带信号的装置;用于提供数字引擎的数字输出来驱动DAC的输入的装置;用于由DAC输出具有切

换波形的数控电流输出的装置;以及用于直接用DAC的数控电流输出来驱动切换功率放大器的装置,其中所述DAC的数控电流输出连接到切换功率放大器的驱动晶体管的发射极。

[0106] 实施例24是一种用于使用一个或多个数/模转换器(DAC)通过零电压切换来优化切换功率放大器的功率效率的设备,所述设备包括用于执行实施例16到18中的任一者中所描述的方法的装置。

[0107] 在实施例25中,实施例24中的任一者的标的物可任选地包括所述设备是计算装置。

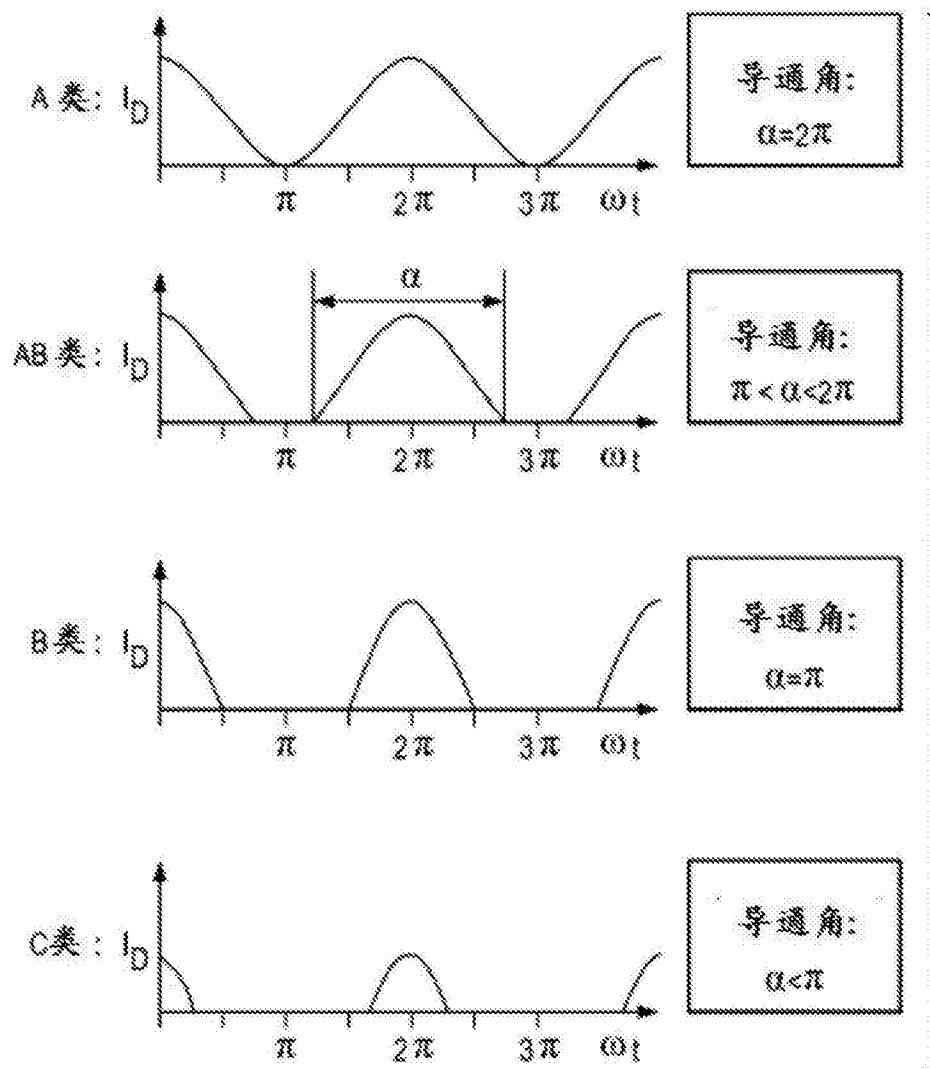


图1

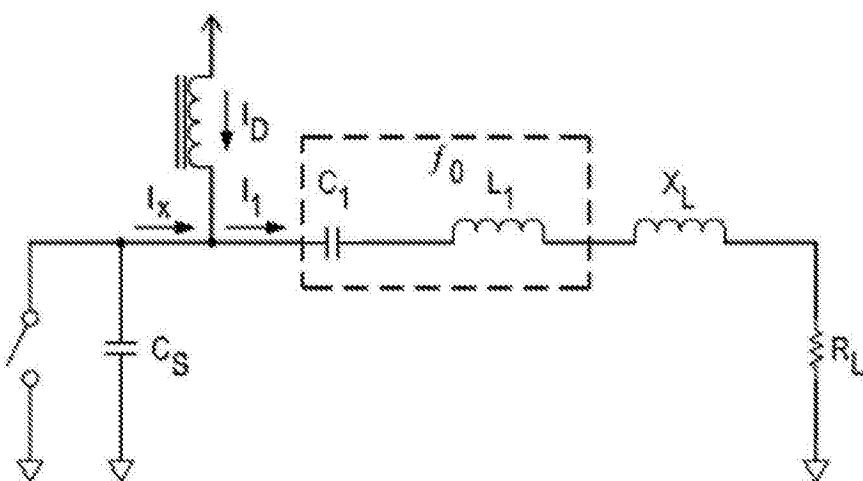


图2

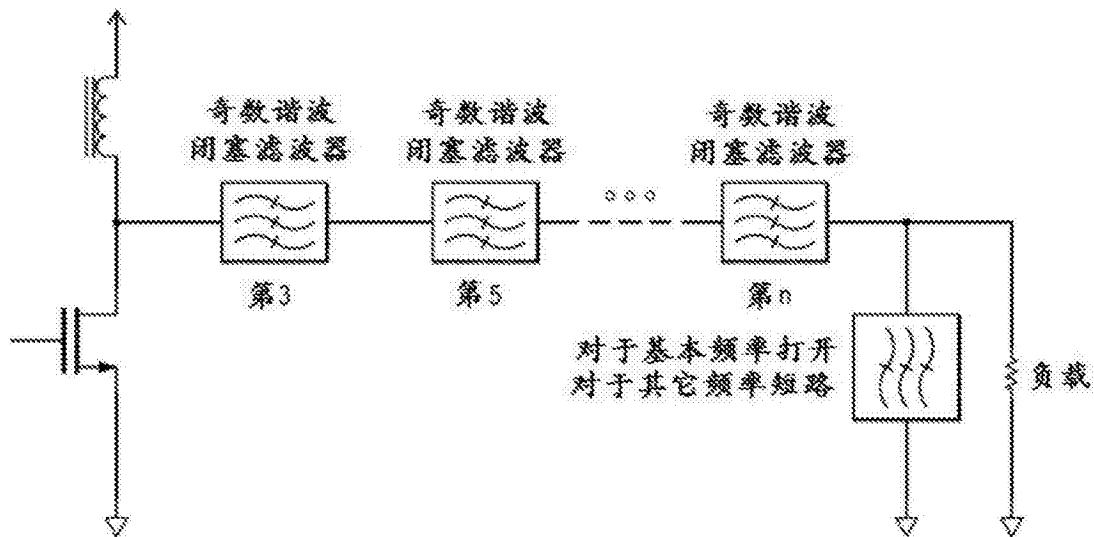


图3A

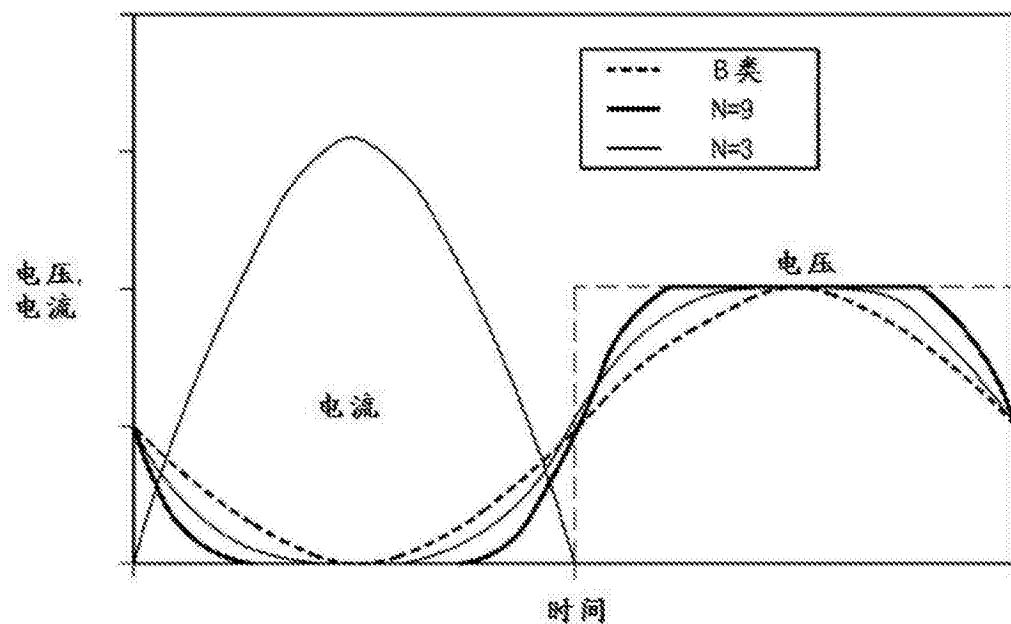


图3B

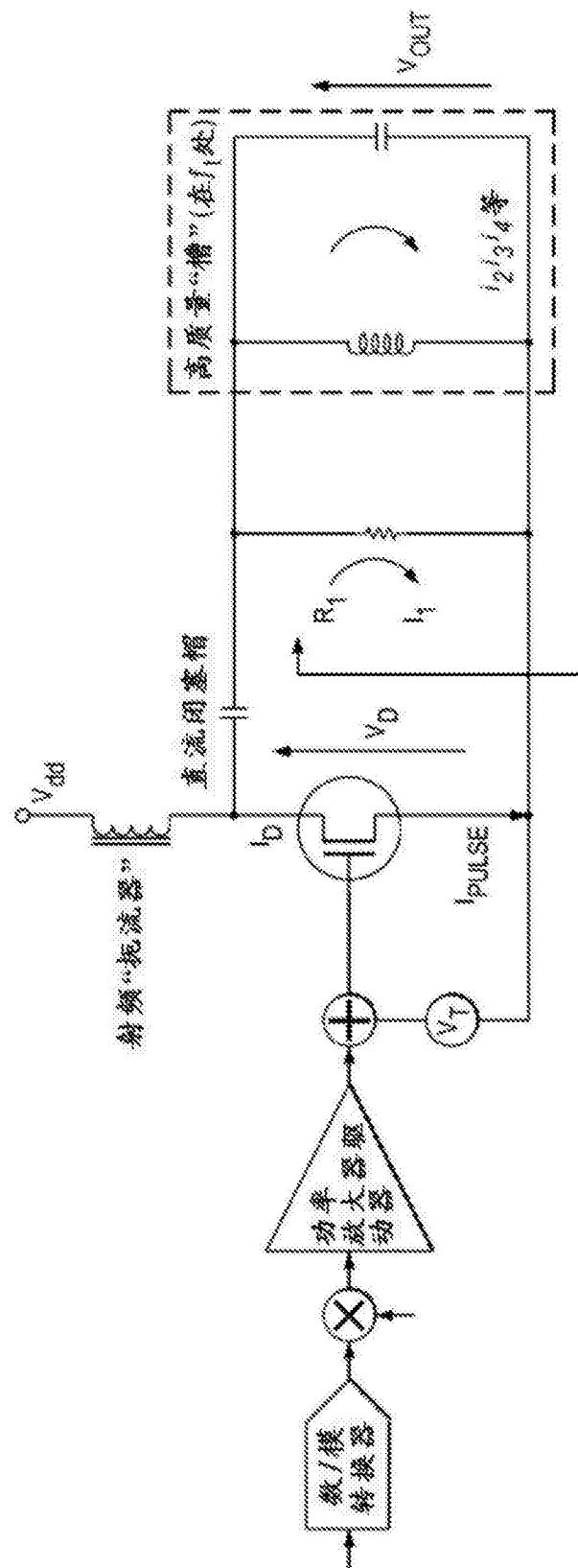


图4

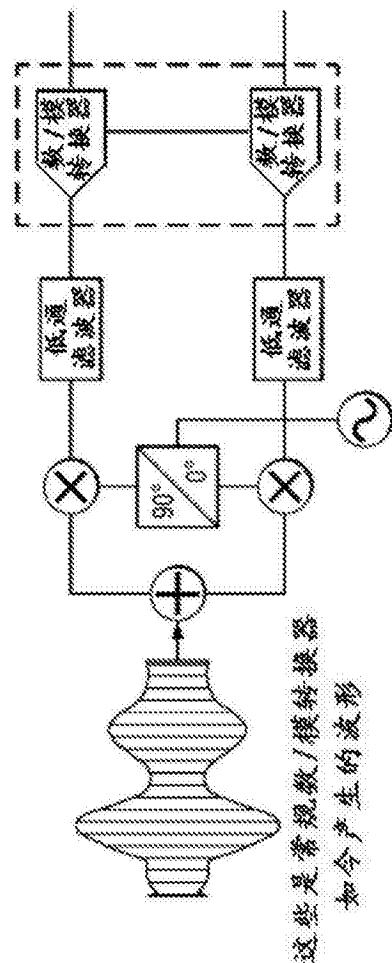


图5

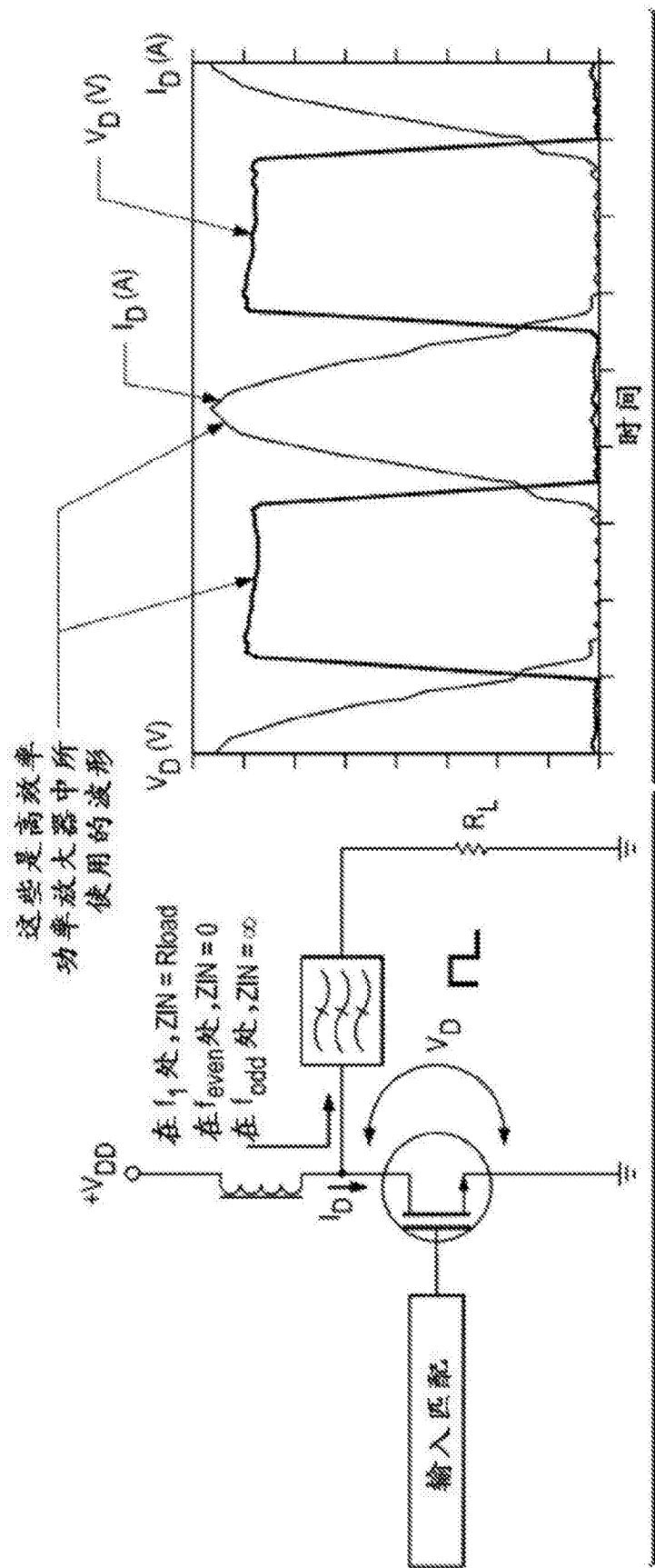


图6

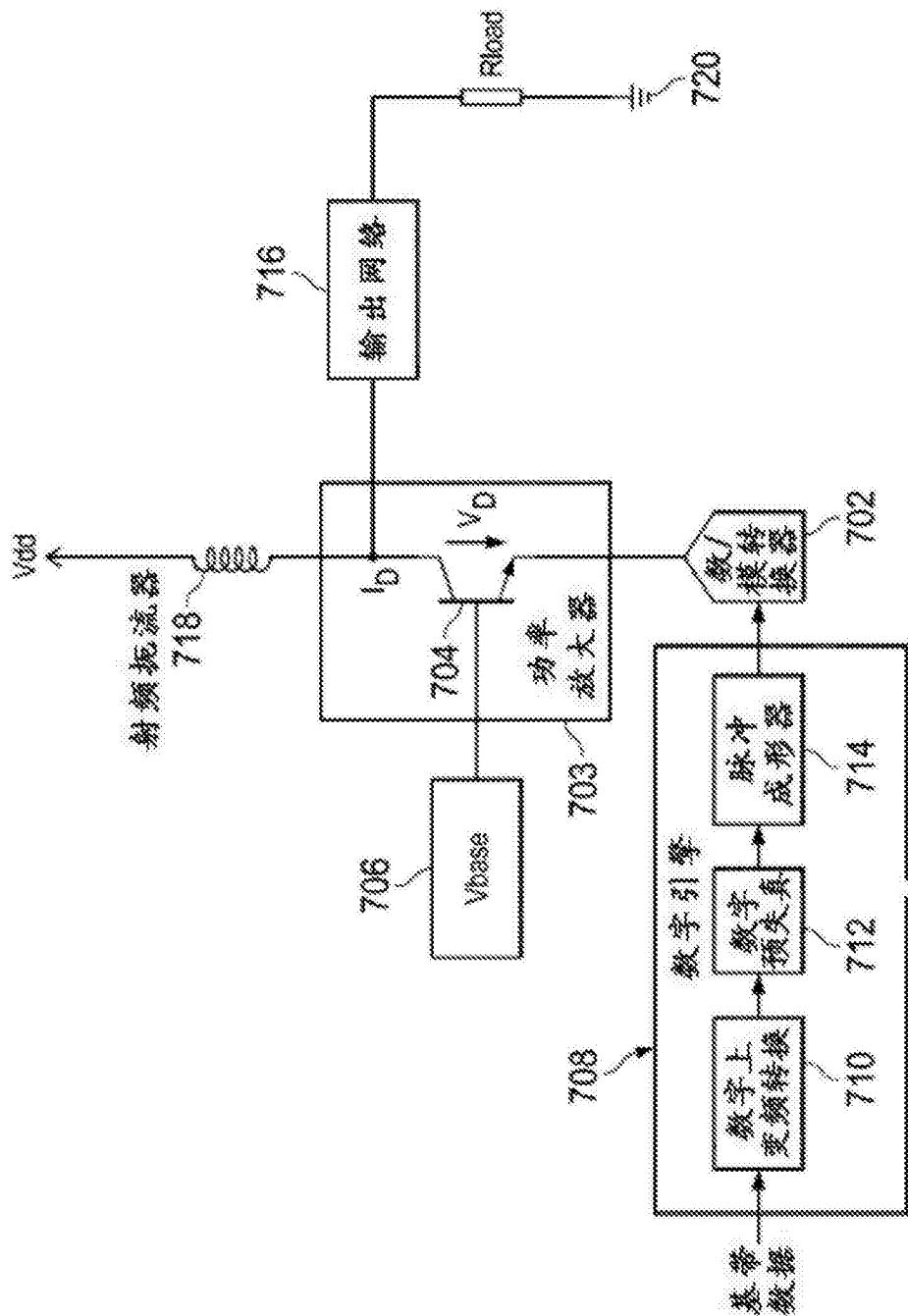


图7

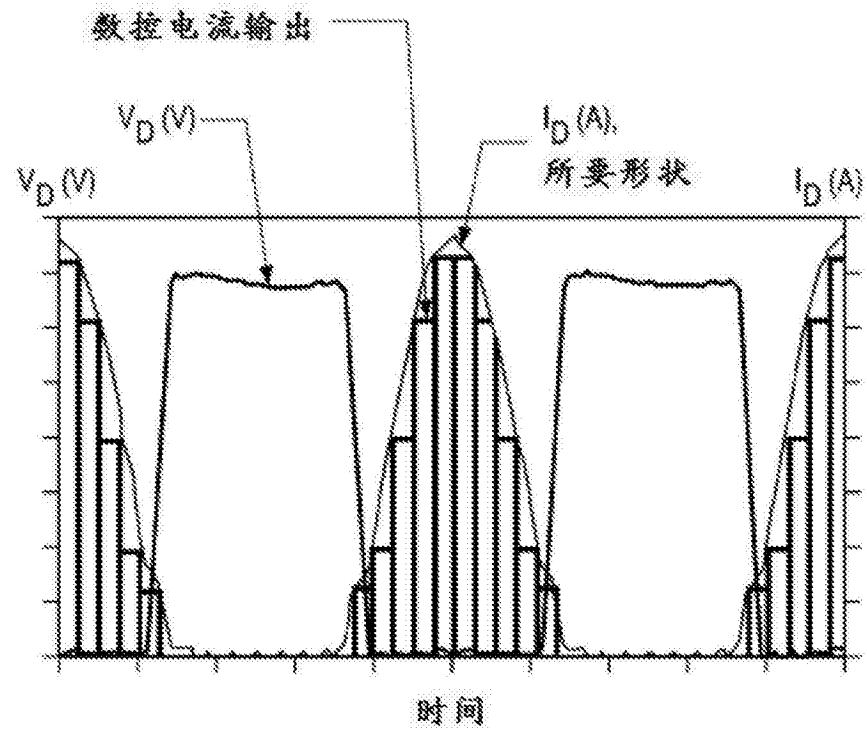


图8

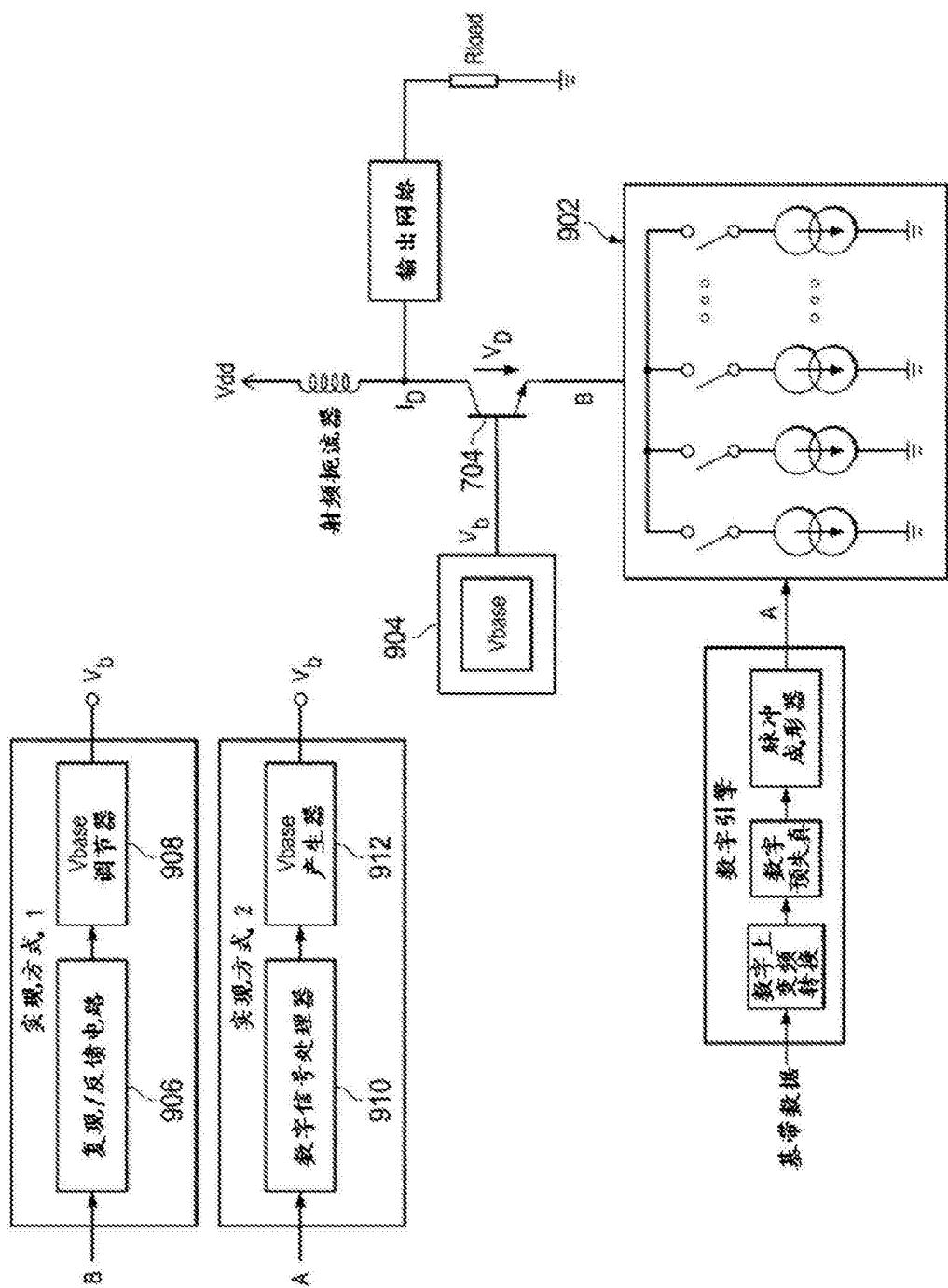


图9

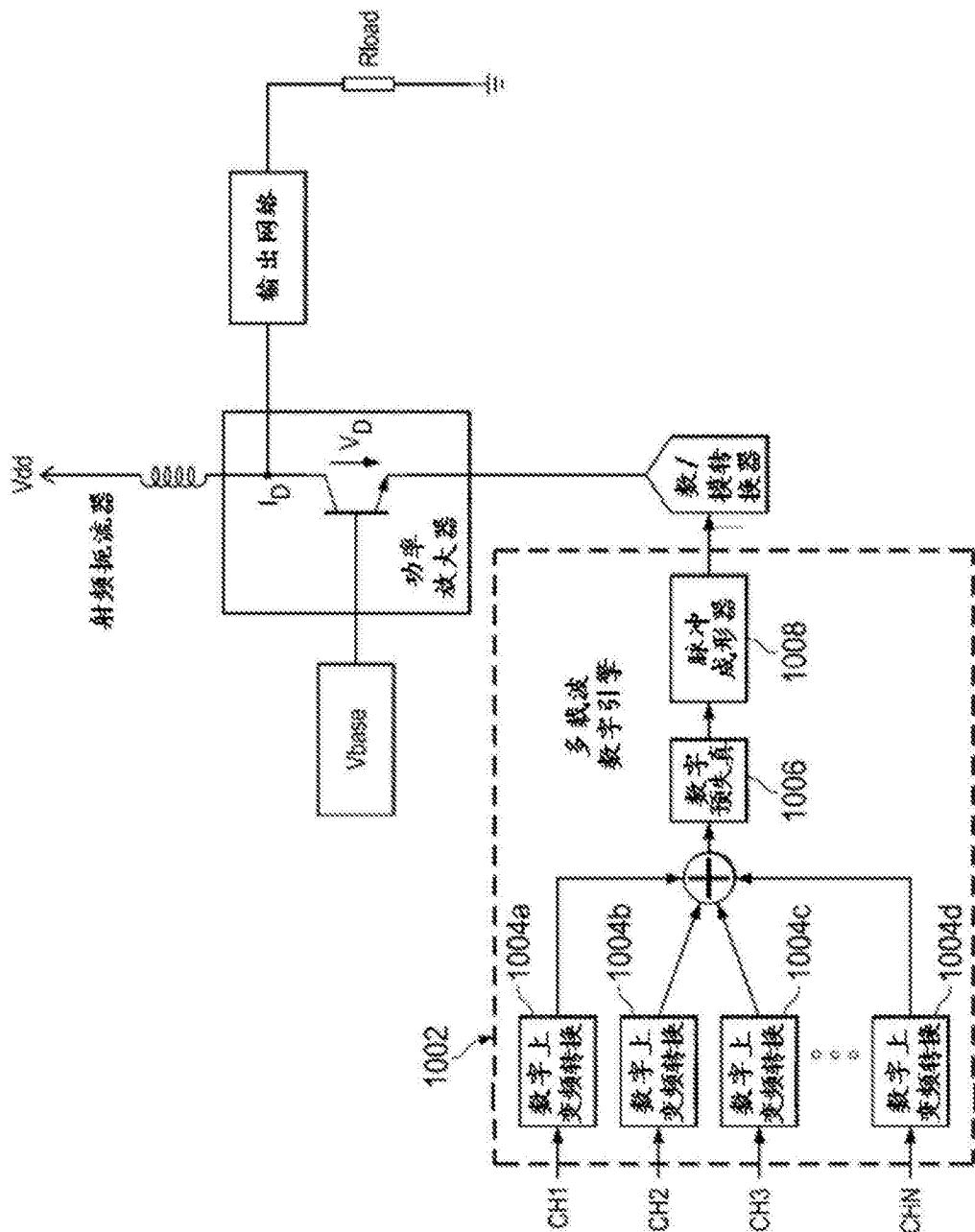


图10

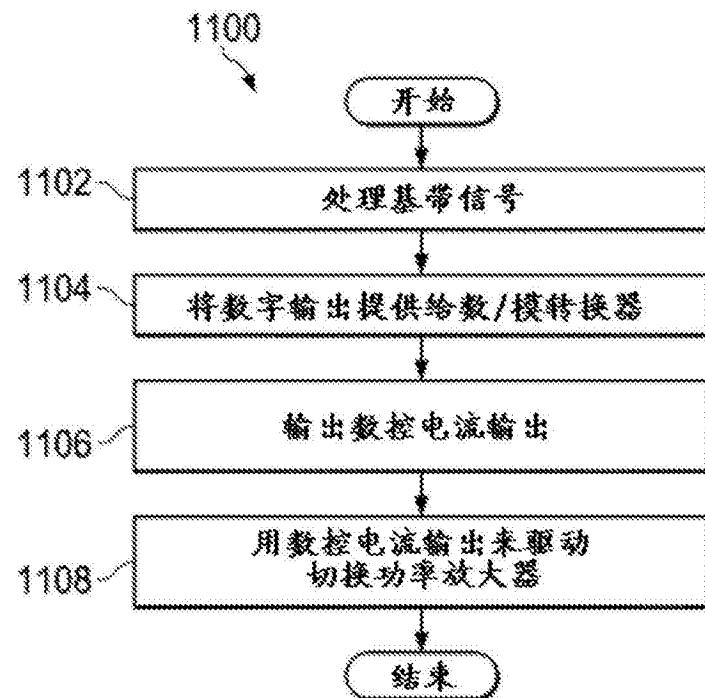


图11



图12



图13