

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 21/8242

H01L 21/70



# [12] 发明专利说明书

[21] ZL 专利号 99103647.6

[45] 授权公告日 2003 年 9 月 24 日

[11] 授权公告号 CN 1122308C

[22] 申请日 1999.3.9 [21] 申请号 99103647.6

[30] 优先权

[32] 1998. 3. 9 [33] US [31] 09/037287

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 B·弗利德纳 W·伯格纳

审查员 骆素芳

[74] 专利代理机构 中国专利代理(香港)有限公司

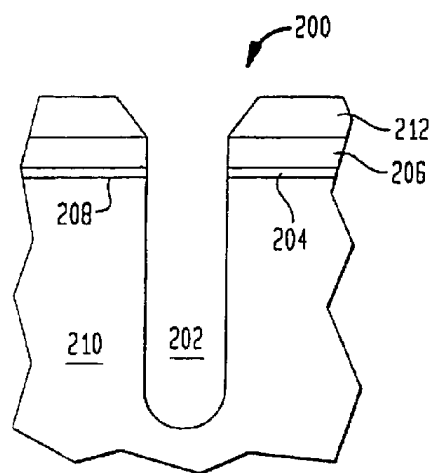
代理人 赵辛章社杲

权利要求书 3 页 说明书 16 页 附图 11 页

[54] 发明名称 一种在硅基质中成形内埋板的方法

[57] 摘要

一种在硅基质中成形内埋板的方法，该方法使用在其中刻有深沟的硅基质。在所述沟中形成高度掺杂的多晶硅层。然后在所述沟中在所述多晶硅层上面形成一个氮化物层。在形成所述多晶硅层和所述氮化物层之后，将多晶硅层和氮化物层从所述沟的侧壁的某些最上面部分除去。以露出位于所述侧壁的最上面部分的硅基质。在露出位于所述侧壁最上面部分的外露的硅基质上形成一个环形氧化物层，从而防止所述多晶硅层的任何边缘因蚀刻步骤而外露。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种在硅基质中成形内埋板的方法，该硅基质上具有刻入其中的深沟，该沟具有限定该沟的深度的侧壁，所述方法包括：  
在所述沟中形成一个高度掺杂的多晶硅层；  
5 在所述沟中于所述多晶硅层上形成一个氮化物层；  
在形成上述多晶硅层和上述氮化物层之后，从所述沟侧壁的最上面部分蚀刻所述多晶硅层和所述氮化物层，从而露出位于所述侧壁的最上面部分的所述硅基质，和  
在露出所述硅基质之后，在位于所述侧壁的最上面部分的外露的  
10 硅基质层上面形成一个环形氧化物层，以便保护由所述蚀刻步骤露出的所述多晶硅层的边缘。
2. 如权利要求1的方法，其中，所述方法还包括在形成所述高度掺杂的多晶硅层之前在所述沟中形成一个薄的热氧化物层。
3. 如权利要求2的方法，其中，所述薄的热氧化物层大 $15\text{\AA}$ 。
- 15 4. 如权利要求1的方法，其中，所述高度掺杂的多晶硅层是用砷掺杂的。
5. 如权利要求4的方法，其中，所述多晶硅层中所述砷的浓度 $5E^{19}/\text{cm}^3$ 。
6. 如权利要求1的方法，其中，所述多晶硅层 $300\text{\AA}$ 厚。
- 20 7. 如权利要求4的方法，其中，所述多晶硅层是用一种化学蒸汽沉积工艺形成的。
8. 如权利要求1的方法，其中，所述氮化物层 $6\text{nm}$ 厚。
9. 如权利要求1的方法，其中，所述氮化物层是用一种低压化学蒸汽沉积工艺形成的。
- 25 10. 如权利要求2的方法，其中，所述蚀刻所述多晶硅层和所述氮化物层的步骤包括：  
在蚀刻所述多晶硅层和所述氮化物层之前，用一种抗蚀剂材料填充所述沟，  
将所述抗蚀剂材料在所述沟中凹入一定深度，  
30 对所述氮化物层和多晶硅层进行蚀刻，  
蚀刻所述热氧化物层，以露出位于所述沟的侧壁的最上面部分的硅基质，和

从所述沟中除去一切残留的抗蚀剂材料。

11. 如权利要求 10 的方法, 其中, 所述沟被制成深入所述硅基质中 8 微米, 其中, 所述抗蚀剂材料凹入至位于所述沟底上方 5.5 - 6.5 微米的高度。

5 12. 如权利要求 10 的方法, 其中, 所述多晶硅层是用  $\text{NF}_3/\text{Cl}_2$  作蚀刻剂通过干蚀刻工艺蚀刻的。

13. 如权利要求 1 的方法, 其中, 所述环形氧化物层 30nm 厚。

14. 一种在硅基质中成形用于动态随机存取存储器装置上的沟状电容器的方法, 所述硅基质上刻有一个深沟, 该沟具有限定其深度的侧壁, 该方法包括:

在所述沟中形成一个薄的热氧化物层,

在所述沟中、在所述热氧化物层上面形成一个高度掺杂的多晶硅层, 部分所述多晶硅层被用于形成构成所述沟状电容器的一部分的内埋板,

15 在所述沟中、在所述多晶硅层的上面形成一个氮化物层, 部分所述氮化物层被用于形成所述沟状电容器的电介质层,

在形成所述热氧化物层、所述多晶硅层和所述氮化物层之后, 将所述氮化物层、所述多晶硅层和所述热氧化物层从所述沟侧壁的一最上面部分除去, 以便露出位于所述侧壁的所述最上面部分的所述硅基

20 质, 在露出所述硅基质以后, 在位于所述侧壁的最上面部分的外露的硅基质上形成一个环形氧化物层, 从而防止所述多晶硅层的任何边缘因所述蚀刻步骤而外露; 和

用掺杂的多晶硅填充所述沟, 部分所述掺杂多晶硅填料起着所述沟状电容器的第二板的作用。

15. 如权利要求 14 的方法, 其中, 所述薄的热氧化物层 15Å 厚。

16. 如权利要求 14 的方法, 其中, 所述高度掺杂的多晶硅层是用砷掺杂的。

17. 如权利要求 16 的方法, 其中, 所述砷在所述多晶硅层中的浓度大于  $5\text{E}^{19}/\text{cm}^3$ 。

18. 如权利要求 14 的方法, 其中, 所述多晶硅层 300 Å 厚。

19. 如权利要求 14 的方法, 其中, 所述多晶硅层是用一种化学蒸

汽沉积工艺形成的。

20. 如权利要求 14 的方法，其中，所述氮化物层 6nm 厚。

21. 如权利要求 14 的方法，其中，所述氮化物层是用一种低压化学蒸汽沉积工艺形成的。

5 22. 如权利要求 14 的方法，其中，所述蚀刻所述热氧化物层、所述多晶硅层和所述氮化物层的步骤包括：

在蚀刻以上诸层之前，用一种抗蚀剂材料填充所述沟，

在所述沟中将所述抗蚀剂材料凹入一定深度，

蚀刻所述热氮化物层和所述多晶硅层，

10 蚀刻所述热氧化物层，以露出位于所述沟侧壁的最上面部分的硅基质，和

从所述沟中除去一切残留的抗蚀剂材料。

23. 如权利要求 22 的方法，其中，所述沟被刻入所述硅基质中 8 微米，其中，所述抗蚀剂材料凹入至位于所述沟底部上方 5.5-6.5 微粒之处。

15 24. 如权利要求 22 的方法，其中，所述多晶硅层是用  $\text{NF}_3/\text{Cl}_2$  作蚀刻剂通过干蚀刻工艺而进行蚀刻的。

25. 如权利要求 14 的方法，其中，所述环形氧化物层 30nm 厚。

20

## 一种在硅基质中成形内埋板的方法

### 技术领域

5 本发明总体上涉及集成电路（ICs）的生产。更具体地讲，本发明涉及一种生产位于设在硅基质上的深沟中的自校准埋板的方法。

### 背景技术

设在蚀刻到硅基质中的深沟中的内埋板结构通常被用于集成电路工业。例如，这种内埋板结构可用于制成诸如沟状电容器的集成电路元件，该元件可被用作诸如动态随机存取存储器装置上的记忆装置  
10 节。不过，用于生产这种内埋板的传统垂直造型工艺比较复杂，而且，如下文将要详述的，不能自动定位。为了更清楚地说明这一问题，将结合图 1-19 对用于在硅片上生产沟状电容器的现有方法加以说明。

如图 1 所示，提供一个硅片 100，在硅片 100 上蚀刻有一个深沟  
15 102。硅片 100 通常具有一个薄的垫状氧化物层 104 和一个设在硅基质 110 的上表面 108 的垫状氮化物层 106。正如本领域所公知的，垫状氧化物层 104 起着张力释放层的作用，用于防止垫状氮化物层 106 在随后的高温处理步骤中与硅基质 110 分离。垫状氮化物层 106 通常大约为 200Å 厚，它在诸如氧化步骤的随后处理步骤中起着基质 110  
20 的上表面 108 的防护层的作用。

尽管在附图中没有示出，通过一个深沟蚀刻工艺在片 100 上形成沟 102。为达此目的，将一个硼硅玻璃（BSG）硬屏蔽层 112 铺在垫状氮化物层 106 上。然后用一种抗蚀剂材料（未示出）在 BSG 硬屏蔽 112 上造型，并用一种传统的硬屏蔽蚀刻工艺蚀刻，如使用  $CF_4/CF_3$ /氩气  
25 蚀刻剂的干蚀刻工艺。一种或几种蚀刻工艺在有待刻出深沟 102 的部位上方切开 BSG 硬屏蔽层 112 以及垫状氮化物层 106 的垫状氧化物层 104。然后使用已知的抗蚀剂清除工艺将用于对硬屏蔽 112 造型的抗蚀剂材料（未示出）除去。然后用一种合适的蚀刻工艺刻出深沟 102，如使用  $HBr/NH_3/O_2$  蚀刻剂的干蚀刻法。在这种情况下，将所述深沟刻  
30 至硅基质 110 上表面 108 以下约 8 微米处的深度，形成沟侧壁 114 和 116。

如图 2 所示，一旦将沟 102 刻入片 100 中，即可使用任何传统硬

屏蔽层清除工艺，例如使用 HF 蒸汽相蚀刻工艺将 BSG 硬屏蔽层 112 除去。此时，开始进行在所述深沟中成型内埋的板状结构的工艺步骤。

参见图 3，实际成型传统的内埋板结构的第一个步骤涉及在垫状氮化物层 106 和沟 102 的表面上沉积一个添加砷的硅四乙基原硅酸盐玻璃 (ASGTEOS) 层 118。如在下文中将更详细地讲述的，ASGTEOS 层 116 被用于在随后的退火步骤中为硅基质 100 的某些部位提供添加砷。该层可以通过传统的化学蒸汽沉积 (CVD) 技术形成，而且通常以诸如大约 40 - 60nm 厚度形成。

一旦涂上 ASGTEOS 层 116，即从所述垫状氮化物层的上表面和从沟 102 的沟侧壁 114 和 116 的某些最上面部分蚀刻。该蚀刻过程是用图 4 - 7 中所示的工艺步骤实现的。

如图 4 所示，首先将一种抗蚀刻材料 120 涂在片 100 上。该抗蚀剂材料填充沟 102 并由一层抗蚀剂材料涂敷片 100 的上表面。然后，如图 5 所示，将抗蚀剂材料 120 凹入或蚀刻回到沟 102 中的理想高度，在这种情况下蚀刻至位于沟 102 底部上方大约 5.5 - 6.5 微米的高度。所述抗蚀剂材料的上述蚀刻，在沟 102 的侧壁 114 和 116 最上部分露出部分 ASGTEOS 层。这一步骤是通过一种传统光致抗蚀剂蚀刻工艺实现的。如下文中更详细地描述的，该步骤是决定这一过程的第一垂直造型步骤的高度的步骤。

一旦将抗蚀剂材料 120 蚀刻回到理想高度，即从片 100 上部蚀刻去 ASGTEOS 层 118，并从侧壁 114 和 116 的外露部分蚀刻去 ASGTEOS 层 118。一种使用诸如 BHF 蚀刻剂的湿蚀刻工艺通常被用于蚀刻，并在所述 ASGTEOS 层上轻度的过蚀刻。在该蚀刻步骤之后，ASGTEOS 层 118 可以略微低至残留抗蚀剂材料高度以下，如图 6 所示。最后，通过用传统光致抗蚀剂清除工艺除去抗蚀剂材料 120 的残留部分；结束该蚀刻过程。一旦除去该抗蚀剂，仅留下部分 ASGTEOS 层 118，由这些部分覆盖沟 120 的底部。

一旦结束 ASGTEOS 层的蚀刻过程，即对该 ASGTEOS 层进行退火，如图 8 - 10 所示。该退火过程可在硅基质 110 上沟 102 底部周围产生一个添加了砷的部位。由该添加了砷的部位形成所述内埋板结构。在所述沟状电容器的特定情况下，所述添加了砷的部位形成所述电容器

的板之一。

在实际退火步骤之前，如图 8 所示，将一个顶部 TEOS 层 122 沉积在片 100 上，以涂覆沟 102。顶部 TEOS 层 122 是一个未掺杂的 TEOS 或臭氧 TEOS 层，由该层防止添加了砷的 TEOS 层 118 掺杂到沟侧壁 114 和 116 的上部和/或防止砷掺杂剂在该掺杂剂驱动退火步骤中从所述沟中逸出。顶部 TEOS 层 122 是用一种传统 CVD 技术形成的，通常以诸如大约 400Å 的厚度使用。

在涂上顶部 TEOS 层 122 之后，对片 100 退火。在该退火步骤中，在特定长度的时间内将温度升高。在此特定情况下，将温度升高到大约 1050°F，保持大约 30 分钟，该高温将砷从 ASGTEOS 118 中转移到砷基质 110 的周围部分，从而在环绕沟 102 底部的砷基质 110 部分中形成一个内埋板结构 124。这一过程如图 9 所示。在该退火步骤之后，将 ASGTEOS 层 118 和顶部 TEOS 层 122 的残留部分除去。这一过程是通过诸如湿蚀刻工艺的传统工艺实现的，例如所述湿蚀刻工艺使用一种 BHF 蚀刻剂。

一旦制成如上所述的内埋板结构 124，就用图 11-5 所示的工艺步骤在接近内埋板 124 的沟壁上形成氮化物层。该氮化物层起着沟状电容器的电介质的作用。这一形成电容器电介质的过程，是形成所述沟状电容器的整个工艺的第二个垂直造型步骤。正如下述将要更详细地讲述的，必需严格控制上述第二个垂直造型步骤，以使氮化物层的上部处在相对于内埋板结构 124 的正确高度上。由于是用两个独立的垂直造型步骤来相对所述内埋结构 124 的顶部定位氮化物层的顶部的，以上两层不能自动定位。

参见图 11，将对成型电容器电介质的过程加以说明。如图 11 所示，将一个氮化物层 126 沉积在片 100 上，涂敷沟侧壁 114 和 116。氮化物层 126 是用一种传统的低压化学蒸汽沉积工艺形成的，而且，举例来说大约 7nm 厚。为了改善氮化物层 126 的质量，可在这一阶段使用湿氧化工艺对氮化物层进行再氧化。该再氧化步骤可通过用氧化物填充一切孔而减少氮化物层 126 上的任何缺陷，并改善氮化物层 126 的电介质性能。

然后，将添加了砷的多晶硅材料 128 涂在片 100 上，以使其如图 12 所示般地填充沟 102。添加了砷的多晶硅材料 128 通常是使用一种

叠层工艺形成的，其中，铺设一层未掺杂的多晶硅，然后铺设一层添加了砷的多晶硅，再铺设一层未掺杂的多晶硅，以形成完整的层 128。在附图中没有示出的这些层在随后的高温氧化成型步骤中混合。当整个添加了砷的多晶硅材料 128 被铺设好以后，实施一个诸如化学-机械抛光 (CMP) 的传统平面化步骤，通过该步骤从片 100 的上表面除去多晶硅材料 128。

此时，多晶硅材料 128 被凹进或蚀刻至沟 102 中的理想深度。多晶硅材料 128 通常是使用传统的干蚀刻工艺进行蚀刻的，如使用 SF6 作反应剂的活性离子蚀刻工艺。正如上文中简单介绍过的，该蚀刻步骤十分重要，因为它决定着氮化物层相对预先成型的内埋板结构 124 的垂直校准。因此，重要的是该蚀刻工艺将多晶硅材料 128 清除至略低于内埋板结构 124 的顶部高度的高度，如图 14 所示。例如，在此情形下，多晶硅材料被蚀至低于所述内埋板结构 124 最上部约 100nm 的高度。如果这两个垂直定位的层不能正确校准，所述沟状电容器就不能适当保持其电荷，从而得到有缺陷的记忆元件。

在多晶硅材料 128 被蚀至适当高度之后，将氮化物层和一切外露的再氧化氮化物层从片 100 上表面和沟侧壁 114 和 116 的最上面部分除去，如图 15 所示。该步骤使用传统的氮化物蚀刻工艺，如使用诸如 HF-甘油蚀刻剂湿蚀刻工艺。该氮化物蚀刻步骤将沟侧壁 114 和 116 最上部的硅基质 100 露出，并终止了成形沟状电容器的氮化物电介质层的过程。

与成形沟状电容器相关的下一个过程是在沟状侧壁 114 和 116 的外露的最上面部分成型保护性氧化物层的过程。在这种情况下，所述保护性氧化物层是用图 16-18 所示步骤形成的双层结构。所述保护性氧化物层被用于覆盖沟侧壁 114 和 116 最上部的外露硅基质 100，盖住外露的氮化物层 126 的边缘，并将内埋的板结构 124 与已存在于沟 102 中的添加了砷的多晶硅 128 隔离，并将在随后的工艺步骤中加入额外的添加了砷的多晶硅材料。另外，使用与成型所述保护性氧化物层相关的高温步骤混合添加了砷的多晶硅材料。

先参见图 16，成型保护性氧化物层的第一步骤涉及实施一个环形氧化物成形步骤。这是用一种传统的环形氧化工艺实现的，如用一种干氧化工艺成型一种薄的环形氧化物层 130。环形氧化物层 130 设在

沟侧壁 114 和 116 外露的最上部分。不过，由于多晶硅材料 128 的表面在环形氧化步骤中也是外露的，在多晶硅材料 128 的上部也会形成环形氧化物层 130，如图 16 所示。在此情况下，在沟状侧壁 114 和 116 上形成大约 8nm 厚的环形氧化物层。另外，由于环形氧化步骤是一个高温步骤，该步骤开始混合砷和多晶硅，形成添加了砷的多晶硅材料 128。

在形成环形氧化物层 130 之后，在片 100 上沉积一个额外的环形氧化物的环形氧化物沉积层 132，以使其涂敷沟 102 的未填充部分。在这种情况下，以大约 30 - 45nm 的厚度沉积环形氧化物沉积层 132。其厚度根据在片 100 上的位置随该片变化的轮廓而改变。例如，环形氧化物沉积层 132 在片 100 的上表面可以大约 45nm 厚，而在沟侧壁 114 和 116 上可以大约 30nm 厚。环形氧化物沉积层 132 是使用一种传统的环形氧化物沉积工艺涂上去的，如等离子体增强的 TEOS 工艺。在这种情况下，该步骤包括一个在大约 1000°F 的温度下进行的 20 分钟的退火步骤。该退火步骤通常可略微使环形氧化物层 132 变薄。正如上文有关高温环形氧化步骤所提到的，该高温退火步骤还能混合组成掺砷多晶硅材料 128 的砷和多晶硅。

在图 18 中示出了形成所述保护性氧化物层的最后步骤。该步骤包括从多晶硅材料 128 上部和片 100 上部蚀去环形氧化物层。用一种诸如使用  $\text{CHF}_3/\text{He}/\text{O}_2$  蚀刻剂的干蚀刻工艺的传统氧化物蚀刻工艺蚀刻所述环形氧化物层。该蚀刻步骤之所以重要，是因为确保将所有环形氧化物层 130 和 132 从沟 102 中的多晶硅材料 128 上部除去是很重要的。如果未能将一切环形氧化物材料除去，可以在沟 102 底部的添加了砷的多晶硅材料 128 和位于材料 128 上部的添加了砷的多晶硅材料之间产生电阻，正如马上就要讲到的。这种电阻可以影响沟状电容器正确发挥作用。

一旦在最上部的沟侧壁 114 和 116 上形成保护性氧化物层，成型沟状电容器的最后步骤是涂上另一层添加了砷的多晶硅材料 134，使其填充沟 102 的其余未填充部分，如图 19 所示。可以与上述添加了砷的多晶硅材料 128 相同的方式以多层形式涂上添加了砷的多晶硅层 134。如果是这样，砷和多晶硅将在随后的工艺步骤中混合，对此本文不再介绍。

上述工艺可形成一个沟状电容器，该电容器由一个内埋板结构 124、一个氮化物电介质层 126、和添加了砷的多晶硅材料 128 组成，所述多晶硅材料起着该电容器第二个板的作用。添加了砷的多晶硅材料 134 构成一种电流通路，用于向材料 128 形成的第二板充电。尽管  
5 这种完整的工艺可形成一种有用的沟状电容器，但存在几种与上述现有工艺相关的缺陷。

首先，如上文所述，有两个垂直造型步骤，这些步骤决定着所述电容器的各种元件的垂直定位。第一个垂直造型步骤从图 5 中看得最清楚。该步骤决定内埋板结构 124 的上部在所述沟中所处的高度。第  
10 二垂直造型步骤从图 14 中看得最清楚。该步骤决定氮化物电介质层 126 的上部在所述沟中所处的高度。该步骤还决定着保护性氧化物层 130 和 132 的底部边缘在所述沟中垂直定位的高度。由于内埋板结构 124 的上部的垂直定位和氮化物层 126 的上部的垂直定位是分两个独立的工艺步骤确定的，这种总体工艺不能够自动校准。就是说，为了  
15 确保以上两层被正确校准，必须对上述两个垂直造型步骤进行非常严格的控制。这是一个困难的过程，并会使得用这种方法生产沟状电容器的成本很高。如果这些垂直层不能够正确校准，该电容器就不能正确保持其电荷，从而得到一种有缺陷的电容器。

另外一个缺陷是，上述工艺是一种复杂的工艺，它包括大量的独  
20 立的工艺步骤。这些步骤会用掉更多的可利用的温度投入，费时，因此降低了该生产工艺的产量，使得该工艺的成本更高。

另外，如上所述，所述环形氧化步骤是重要的，因为它对于确保将大体上所有的环形氧化物层 130 和 132 从沟 102 中的多晶硅材料 128 的上部除去来说是关键的。如果未能将所有的环形氧化物材料除  
25 去，它会在位于沟 102 底部添加了砷的多晶硅材料 128 和覆盖在材料 128 上面的添加了砷的多晶硅材料 134 之间产生电阻问题。该电阻会影响所述沟状电容器的正常功能。为了确保适当地蚀刻上述环形氧化物层，在其上面形成该氧化物层的多晶硅材料 128 的上表面应当尽可能的平坦或平整。如果该上表面基本上是凹形或 V 形的，所述环形氧  
30 化物层的厚度可有很大的变化，使其难于从多晶硅材料 128 的上表面适当地蚀去所有的环形氧化物材料。

为了在多晶硅材料 128 的上面形成一个较平的扁平表面，可将深

沟 102 成形为具有略呈锥形的沟侧壁。就是说，沟 102 在其上部较宽，而在其底部较窄。这有助于确保用于深蚀刻多晶硅材料 128 的蚀刻工艺能产生一种扁平的和较平的上表面供残留的多晶硅材料 128 所有。不幸的是，使用底部比上部窄的锥形沟会使得用上述工艺生产的沟状电容器的电容小于当使用具有垂直侧壁的沟时的可能电容。

### 发明内容

综上所述，本发明的目的在于提供一种生产沟状电容器的方法，该方法可减轻或消除上述与现有工艺相关的问题。

正如下文中将要更详细地讲述的，本文披露了一种在硅基质中成型一种内埋板的方法，该基质上具有一个蚀入其中的深沟。该沟具有决定沟的深度的侧壁。该方法包括在所述沟中形成高度掺杂的多晶硅层的步骤。然后在所述沟中形成一个覆盖所述多晶硅层的氮化物层。在形成多晶硅层和氮化物层之后，将多晶硅层和氮化物层从所述沟侧壁的一些最上面部分蚀去，从而露出侧壁最上面部分的基质。在露出所述侧壁的最上面部分的硅基质后，在该侧壁的最上面部分的外露基

质上形成一层环形氧化物层，从而保护由蚀刻步骤露出的多晶硅层的所有边缘。

在一种实施方案中，所述方法还包括在形成所述高度掺杂的多晶硅层之前，在所述沟中形成一个薄的热氧化物层的步骤。在该实施方案的一种特定形式中，所述薄的热氧化物层大约  $15\text{\AA}$  厚。

在另一种实施方案中，所述高度掺杂的多晶硅中添加了砷。优选地，该多晶硅层中砷的浓度大于大约  $5\text{E}^{19}/\text{cm}^3$ ，该多晶硅层的厚度大约为  $300\text{\AA}$ ，该多晶硅层是用一种化学蒸汽沉积工艺形成的。对于该实施方案而言，所述氮化物的厚度大约为  $6\text{nm}$ ，该氮化物层是用一种低压化学蒸汽沉积工艺形成的。

在又一种实施方案中，其包括所述氧化物层，蚀刻多晶硅层和氮化物层的步骤包括几个步骤。在蚀刻所述多晶硅层和氮化物层之前，用一种抗蚀剂材料填充所述沟。该抗蚀材料随后在一定程度上凹入所述沟中。然后由热氧化物层将氮化物层和多晶硅层蚀去，这一步骤起着蚀刻步骤的作用。然后蚀去所述热氧化物层，以露出所述沟侧壁的最上面部分。最后将所有残留的抗蚀剂材料从所述沟中除去。在该实施方案的一种特定形式中，所述沟被制成深入所述硅基质中大约  $8\text{\mu}$

米，而所述抗蚀材料凹至沟底上方大约 5.5-6.5 微米的高度。

在另一种实施方案中，所述方法被用于在一种硅基质中制成一种沟状电容器，以便用于动态随机存取存储器装置中。在该实施方案中，在蚀刻步骤之后残留下来的多晶硅层部分被用于形成一个内埋板，该板构成所述电容器的一部分。在蚀刻步骤之后保留下来的氮化物层部分被用于形成所述沟状电容器的电介质层。在该实施方案中，在形成所述环形氧化物之后，用掺杂的多晶硅填充所述沟。部分掺杂的多晶硅填料起着所述沟状电容器的第二板的作用。

#### 附图说明

10 通过参考附图阅读以下对本发明优选实施方案的详细说明可以最好地理解本发明的特征。

图 1 是现有硅片的示意性局部剖视图，在该片上设有深沟；

图 2 是图 1 所示硅片在除去硬屏蔽层之后的示意性局部剖视图；

15 图 3 是图 2 所示硅片在将一层 ASGTEOS 层除去之后的示意性局部剖视图；

图 4 是图 3 所示硅片在将一层抗蚀剂层涂在该片上之后的示意性局部剖视图；

图 5 是图 4 所示硅片在所述抗蚀剂层凹入所述深沟中之后的示意性局部剖视图；

20 图 6 是图 5 所示硅片在将所述 ASGTEOS 层从硅片上部蚀去并露出部分深沟以后的示意性局部剖视图；

图 7 是图 6 所述硅片在将所述抗蚀剂层的残留部分从所述深沟中除去以后的示意性局部剖视图；

25 图 8 是图 7 所示硅片在将一个顶部 TEOS 层涂在该片上以后的示意性局部剖视图；

图 9 是图 8 所示硅片在该片经过了退火步骤以后的示意性局部剖视图；

图 10 是图 9 所示硅片在将 TEOS 层从该片中蚀去以后的示意性局部剖视图；

30 图 11 是图 10 所述硅片在将一个氮化物层涂在该片上以后的示意性局部剖视图；

图 12 是图 11 所述硅片在将一个添加了砷的多晶硅层涂在该片上

以后的示意性局部剖视图；

图 13 是图 12 所示硅片在将该片展平以后的示意性局部剖视图；

图 14 是图 13 所示硅片在将所述添加了砷的多晶硅材料凹入所述深沟中以后的示意性局部剖视图；

5 图 15 是图 14 所示硅片在将所述氮化物层的外露部分从所述硅片蚀去以后的示意性局部剖视图；

图 16 是图 15 所述硅片在该片的外露的硅表面和所述多晶硅材料上形成一个环形氧化物层以后的示意性局部剖视图；

10 图 17 是图 16 所示硅片在将一个额外的环形氧化物沉积层成型在该片上以后的示意性局部剖视图；

图 18 是图 17 所示硅片在将部分环形氧化物层从该片上表面和所述多晶硅材料上表面蚀去以后的示意性局部剖视图；

图 19 是图 18 所述硅片在将另一个添加了砷的多晶硅片涂在该片上以后的示意性局部剖视图；

15 图 20 是一种硅片的示意性局部剖视图，在该片上设有一个深沟，在该沟中将按照本发明成形一个沟状电容器；

图 21 是图 20 所述硅片在将一个硬屏蔽层除去以后的示意性局部剖视图；

20 图 22 是图 21 所述硅片在对该片实施一个热氧化步骤之后的示意性局部剖视图；

图 23 是图 22 所示硅片在将一个添加了高浓度砷的多晶硅层涂在该片上以后的示意性局部剖视图；

图 24 是图 23 所述硅片在将一个氮化物层涂在该片上以后的示意性局部剖视图；

25 图 25 是图 24 所示硅片在将一个抗蚀剂层涂在该片上以填充所述沟之后的示意性局部剖视图；

图 26 是图 25 所示硅片在所述抗蚀剂层凹入所述深沟中之后的示意性局部剖视图；

30 图 27 是图 26 所示硅片在将所述氮化物层和多晶硅层的外露部分从该片上蚀去以后的示意性局部剖视图；

图 28 是图 27 所示硅片在将外露的氧化物层从所述沟的侧壁上蚀去以后的示意性局部剖视图；

图 29 是图 28 所述硅片在将所述抗蚀剂层的残留部分从所述沟中除去以后的示意性局部剖视图；

图 30 是图 29 所示硅片在将一个环形氧化物层成型在所述沟侧壁的外露硅表面上之后的示意性局部剖视图；

5 图 31 是图 30 所示硅片在将另一个添加了砷的多晶硅层涂在该片上以填充所述沟之后的示意性局部剖视图。

#### 具体实施方式

本发明披露了一种提供用于在设在诸如硅片的半导体片上的深沟中制造沟状电容器的方法。

10 所述沟状电容器被用在包括存储器 ICs 在内的集成电路 (ICs) 上, 如随机存储器 (RAMs), 动态随机存储器 (动态随机存取存储器), 同步 (SDRAMs) 合并 DRAM 逻辑电路 (埋入的 DRAMs) 或其他电路。

通常, 在所述硅片上平行设置若干 ICs。在处理结束之后, 切割该所述硅片, 以便将该集成电路分开独立的芯片。然后包装这些芯  
15 片, 以得到用于诸如消费品上的成品, 所述消费品如计算机系统、移动电话、个人数字辅助装置 (PDAs) 及其他电子产品。

本发明使用较少的垂直造型步骤, 这使得该工艺能进行自动校准, 从而消除了与控制在不同的垂直造型步骤中形成的各个沟状电容器层的垂直校准相关的问题。

20 在以下说明中, 为了全面理解本发明而提供了若干特殊的细节。不过, 就该说明而言, 对本领域技术人员来说显而易见的是本发明能以多种特殊形式体现。另外, 为了不至于无必要地使本发明变得繁锁, 不再对众所周知的集成电路生产工艺进行详述, 如用于在一种硅基质上沉积各种材料层的工艺, 蚀刻工艺, 以及其他诸如此类的传统  
25 集成电路生产工艺。

为了进行说明, 将使用设置在一种硅片上的深沟里的沟状电容器作为例子对本发明进行说明。在本文所披露的实例中, 沟状电容器被用作动态随机存取存储器装置的存储器节。尽管该实例示出了位于特定空间位置上的特殊元件, 但应当理解的是, 本发明并不局限于这种  
30 特殊形式。相反, 本发明同样适用于一切装置, 这些装置包括使用用本发明方法设置在深沟中的内埋板结构, 而与各种特征的具体形式或在将该内埋板结构成型在所述深沟中以后设置在该板上的各种元件

无关。

现在参见图 20, 将说明用于生产位于设在一个半导体片中的沟状电容器的方法。如图 20 所示, 提供一个半导体片 200, 具有一个刻入片 100 中的深沟 202。举例来说, 半导体片 200 由硅组成。也可使用  
5 其它类型的半导体片。如在背景技术部分结合图 1 和片 100 所述, 片 200 具有一个薄的垫状氧化物层 204 和设在硅基质 210 上表面的垫状氮化物层 206。尽管这不是本发明所必需的, 垫状氧化物层 204 起着张力释放层的作用, 用于在随后的高温处理步骤中防止垫状氮化物层 206 与硅基质 210 分离。垫状氮化物层 206 通常厚约 200Å, 它在随后  
10 的诸如氧化步骤的处理步骤中起着基质 210 的上表面 208 的保护层的作用。

尽管在图 20 中未示出, 但是, 是用一种深沟蚀刻工艺在片 200 上形成沟 202。如在背景技术部分就垫片 100 所述, 将一个硬屏蔽层 212 涂在垫状氮化物层 206 上。例如, 该硬屏蔽层包括 BSG。诸如 TEOS  
15 的其它材料也可用于制成所述硬屏蔽层。然后用一种抗蚀剂材料(未示出)对 BSG 硬表面进行造型, 并使用一种传统的硬表面蚀刻工艺进行蚀刻, 如使用  $CF_4/CF_3$ /氟蚀刻剂的干蚀刻工艺。该蚀刻工艺在待蚀刻的深沟 202 的上方部位将 BSG 硬屏蔽层 208 切开。然后用已知的抗蚀剂清除装置将用于对硬屏蔽层 212 造型的抗蚀剂材料(未示出)除  
20 去。然后用一种合适的蚀刻工艺, 如使用  $HBr/NH_3/O_2$  蚀刻剂的干蚀刻工艺刻出深沟 202。在这种情况下, 将所述深沟剂至位于硅基质 210 的上表面 208 下面约 8 微米的深度。

尽管上述沟 202 大约 8 微米深, 但应当理解的是, 对于本发明来说这不是必需的。相反, 沟 202 可以为任何合适的深度, 这取决于特  
25 殊用途的要求。其中, 使用的是设在其上的沟状电容器。通过以下对本文所披露的特定实例的详细说明, 本领域技术人员可以了解, 内埋板结构的各种元件可以采用多种特殊尺寸, 但仍处于本发明范围之内。

如图 21 所示, 一旦将沟 202 刻进片 200 中, 就可以用诸如在上述背景技术部分所披露的任何传统硬屏蔽去除工艺除去 BSG 硬屏蔽层 212。此时, 开始用于在所述深沟中成型本发明的新型内埋板结构的  
30 工艺步骤。

在以上结合图 1-19 所述的现有方法中,所述工艺涉及所述沟状电容器的内埋板的首次成型、蚀刻和退火,如图 1-10 所示。一旦制成所述内埋板结构,形成一个氮化物层,并对其进行蚀刻,以便形成一个用于所述沟状电容器的电介质层,如图 11-15 所示。如上所述,5 形成所述内埋板和氮化物电介质层的工艺包括两个独立的垂直造型步骤,如图 5 和 14 所示。根据本发明,仅采用一个垂直造型步骤。为实现这一目的,用同一个蚀刻步骤对将被用于制成所述沟状电容器的内埋板和氮化物电介质层的各层进行垂直造型。因此,根据本发明,并如下文中将要更详细地说明的,所述内埋板和所述氮化物层的10 顶部边缘与所述环形氧化物层的底部边缘是自动校准的。

如上所述,根据本发明所述涂覆被用于制成沟状电容器的所述内埋板和氮化物电介质层的两个层的工艺被用于在任何垂直造型步骤涂覆片 200。图 22-24 示出了涂覆所述各层的步骤。

首先,如图 22 所示,进行一个干热氧化步骤。该步骤在沟侧壁15 214 和 216 上形成一个薄的氧化物层 218。尽管该热氧化步骤并非为本发明所绝对需要,但氧化物层 218 在随后的工艺步骤中可保护沟侧壁 214 和 216,并在随后的蚀刻步骤中起着终止蚀刻的作用。在该实施方案中,氧化物层 218 被制成大约  $10\text{\AA}$  至大约  $20\text{\AA}$  的厚度,优选大约  $15\text{\AA}$  厚。尽管在该实例中给出的是上述特定厚度,但应当理解20 本发明并不局限于此。另外,应当理解的是,除干热氧化以外的任何其它传统氧化工艺均可用于形成氧化物层 218。

根据本发明,随后将一个高浓度 h-型掺杂的多晶硅层 220 涂在片 200 上。在一种实施方案中,所述 h-型掺杂多晶硅层含有砷。也可使用磷类掺杂剂。如图 23 所示,多晶硅层 220 被一致地沉积在片25 200 上,以便在沟侧壁 214 和 216 及片 200 的上表面上形成一个厚度大体上一致的层。在该实施方案中,用一种本领域技术人员所熟知的传统化学蒸汽沉积技术,例如低压化学蒸汽沉积(LPCVD)以大约  $300\text{\AA}$  的厚度涂上多晶硅层 220。如在下文中将要更详细地说明的,多晶硅层 220 被用于形成被成型于沟 202 中的沟状电容器的内埋板元件。

30 如上所述,多晶硅层 220 是添加了高浓度砷的多晶硅材料。在该实施方案中,所述多晶硅中砷的浓度大于大约  $5E^{19}/\text{cm}^3$ 。尽管该浓度是作为本特定实施方案的一个例子给出的,但应当理解本发明同样适

用于采用不同浓度的硅或诸如磷或其它常用硅技术掺杂剂的其它掺杂剂的多晶硅层。

一旦如上所述般的涂上了多晶硅层 220，将一个氮化物层 222 沉积在片 200 上，涂覆沟侧壁 214 和 216，如图 24 所示。氮化物层 222 是用一种传统的低压化学蒸汽沉积工艺形成的，与在背景技术部分所述形成氮化物层 126 的工艺相似。在该实施方案中，氮化物层 222 以诸如大约 6nm 至大约 8nm 的厚度沉积，优选大约 6nm。尽管该特定厚度是作为沟状电容器的这种特殊实施方案的一个例子给出的，但应当理解的是，本发明同样适于将其它厚度用于采用了内埋板结构的装置的多不同的特殊结构中。另外，可以用任何传统的涂覆氮化物层的工艺来涂覆氮化物层 222。

与在上述背景技术部分所披露的方法类似，在该阶段可以用诸如湿氧化工艺的工艺对氮化物层 222 进行再氧化，以提高氮化物层 222 的质量。可以用该再氧化步骤通过用氧化物填充所有的孔来减少氮化物层 222 上的任何缺陷。这可以改善氮化物层 222 的电介特性。如上所述，氮化物层 222 起着沟状电容器的电介质的作用。

一旦将氧化物层 218、多晶硅层 220 和氮化物层 222 涂上去，就将其从沟 102 的沟侧壁 214 和 216 的某些最上面部分蚀去。根据本发明，该蚀刻过程是仅用一个垂直造型步骤来完成的，如图 25-29 所示。

如图 25 所示，首先将抗蚀剂材料 224 涂在片 200 上。该抗蚀剂材料填充沟 202 并将一层抗蚀剂材料涂在片 200 的上表面。所有常见的抗蚀剂材料均可用于蚀刻多晶硅层，并可将一个氮化物层用作抗蚀剂材料 224。另外，任何用于涂覆抗蚀剂材料 224 的传统方法，均可用于将抗蚀剂材料 224 涂在片 200 上，如使用一种喷涂技术。

然后，如图 26 所示，将抗蚀剂材料 224 凹入或深蚀刻到位于沟 202 中的需要的高度，将该抗蚀剂材料从沟的上部除去。所述沟的上部是形成沟状电容器的氧化物环的部位，其下部是形成该沟状电容器的内埋板的部位。在所讲述的特定实施方案的情形下，将抗蚀剂材料 224 深蚀刻至位于沟 202 底部上方大约 5.5-6.5 微米的高度。尽管给出了所述深蚀刻的特定范围，但应当理解的是无论抗蚀剂材料在所述沟中被蚀刻的特定高度如何均可同样使用。

所述抗蚀剂材料的深蚀刻，露出了沟 202 的侧壁 214 和 216 上部的部分氮化物层 222。该步骤是用任意的传统蚀刻工艺实现的，例如（但不限于）使用 LF-甘油蚀刻剂的蚀刻工艺。该蚀刻步骤是用于本发明方法的唯一垂直造型步骤。因此，该步骤是决定下面将要介绍的环形氧化物层的底部边缘与氮化物电介质层和将成为内埋板的多晶硅层的上部边缘之间的接合部位的高度。由于在本发明方法中仅采用了这一个垂直造型步骤，所形成的内埋板装置的垂直造型层是自动校准的。

一旦将抗蚀剂材料 224 深蚀刻至所需高度，就把氮化物层 222 和多晶硅层 220 从片 200 的上部和从侧壁 214 和 216 的外露部分蚀去，如图 27 所示。一切能够蚀刻氮化物层和多晶硅层的传统蚀刻工艺均可使用。在所述特定实施方案中，采用了使用  $\text{NF}_3/\text{Cl}_2$  蚀刻剂的干蚀刻工艺。另外，在该实施方案中，氧化物层 218 被用作蚀刻终止层。这样可以防止所述氮化物和多晶硅蚀刻步骤蚀刻或破坏沟侧壁 214 和 216 的最上面部分。如图 28 所示，该蚀刻步骤是通过蚀去沟侧壁 214 和 216 最上面部分的氧化物层 218 而结束的。同样，一切能够蚀刻氧化物层而又不破坏上面的沟侧壁的传统蚀刻工艺均可用于蚀刻氧化物层 218。在所述实施方案中，采用一种使用 BHF 蚀刻剂的湿蚀刻工艺。

上面蚀刻步骤的结果是，氮化物层 222、多晶硅层 220 和氧化物层 218 被凹入略低于残留抗蚀剂材料的高度，如图 27 所示。此时，整个蚀刻过程已结束，而抗蚀剂材料 224 的残留部分被用一切传统的光致抗蚀剂消除工艺所除去。一旦将抗蚀剂材料除去，仅有部分氮化物层 222、多晶硅层 220 和氧化物层 218 保留在所述沟中，由所述层的这些部分覆盖沟 202 的底部，如图 29 所示。

一旦结束氮化物层 222 和多晶硅层 220 的蚀刻过程，与形成所述沟状电容器相关的下一个步骤是在沟侧壁 214 和 216 的外露的最上面部分形成一个保护性氧化物层的过程，如图 30 所示。该保护性氧化物层被用于覆盖位于沟侧壁 214 和 216 最上面部分的外露的硅基质 210，并覆盖氮化物层和多晶硅层 220 的外露的边缘。另外，与形成所述保护性氧化物层相关的高温步骤部分破坏了留在硅基质 210 和添加了砷的多晶硅层 220 之间的氧化物层。

参见图 30, 所述形成保护性氧化物层的步骤涉及实施一个环形氧化物成型步骤。这一目的是用一种传统的环形氧化工艺实现的, 如一种干氧化工艺, 以便形成一个环形氧化物层 226, 环形氧化物层 226 设置在沟侧壁 214 和 216 的外露的最上面部分。在这种情况下, 环形氧化物层 226 以大约 30nm 的厚度成型于沟侧壁 214 和 216 上。另外, 由于该环形氧化步骤是一个高温步骤, 该步骤会部分破坏保留在硅基质 210 和添加了砷的多晶硅层 220 之间的氧化物层 218, 如虚线 228 所示。尽管所述环形氧化物层厚约 30nm, 但不是本发明的一个要求。相反, 该环形氧化物层可以为任何适当的厚度, 该厚度取决于特殊用途的要求, 而且仍属于本发明的范畴。

在形成环形氧化物层 226 以后沉积另一层添加了砷的多晶硅材料 230, 使其填充沟 202, 如图 31 所示。添加了砷的多晶硅层 230 可以用与上述涂覆添加了砷的多晶硅材料 128 和 134 相同的多层方式涂覆。如果是这样, 所述砷和多晶硅将在随后的工艺步骤中混合, 这些步骤在本文中不予讲述。另外, 可以任何其它传统方法涂覆多晶硅层 230, 而这种做法仍属于本发明范畴。所述工艺继续使用传统技术, 以完成所述沟状电容器和存储元件。例如, 上述技术披露于 Nesbit 等的文章中, A 0.6  $\mu\text{m}^2$  256Mb Trech DRAM Cell With Self-Aligned BuriEd Strap (BEST), IEDM 93-627, 该文章被收作本发明的参考资料。通常通过字线和位线将一系列动态随机存取存储器元件相关连接, 形成一种动态随机存取存储器芯片。

上述整个过程可形成一种沟状电容器, 该电容器由一个由多晶硅层 220 构成的内埋板结构, 一个氮化物电介质层 222 和添加了砷的多晶硅材料组成, 所述多晶硅材料 230 起着该电容器的第二个板的作用。添加了砷的多晶硅材料 230 还提供了一条通向构成所述第二个板的部分材料 230 的电流通路。上述整个过程可产生一种沟状电容器, 其中, 所述环形氧化物层 226 和多晶硅层 220 以及氮化物层 222 是沿垂直方向自动校准的。如上文所述, 这是因为为了产生沟状电容器, 仅进行了一个垂直造型步骤。因此, 这种新的方法消除了与在背景技术部分所述的具有多个垂直造型步骤相关的问题。

另一个优点是, 上述工艺具有比上述更复杂的现有工艺较少的步骤。步骤本身在数量上的减少, 使得该工艺与现有工艺相比成本更

低、更节省时间。例如，上述现有工艺包括多个蚀刻步骤，这些步骤间隔着多个高温退火步骤。大量的步骤要耗费较多的时间，并因此降低该生产工艺的产量，使得该工艺的成本增加。采用本发明的较少数量的步骤，并通过所述蚀刻步骤的组合，本发明工艺可提供一种更节省时间，从而使成本更低的用于生产沟状电容器的工艺。

另外，如上述现有方法所述的，位于现有装置上的沟底部里的多晶硅材料 128 是在一个独立的步骤中形成的，该步骤独立于用于形成添加了砷的多晶硅材料 134 的步骤，因此，本发明的方法可以使用一种具有垂直侧壁或者甚至是悬垂的侧壁，而不会在两种不同的多晶硅材料之间产生连接问题。这是因为所有的多晶硅塞 230 是在一个步骤中成型的，这样可产生一种连续的多晶硅塞。这样彻底消除了分别在两个分别涂覆的多晶硅材料之间形成不良接合的潜在问题。使用具有垂直侧壁或悬垂侧壁的沟的能力意味着在一个具有特定深度的沟中形成的沟状电容器的电容可以大于使用具有锥形侧壁的沟时所能达到的电容。

尽管在所述实施方案中，上述沟和深蚀刻步骤彼此之间以及与其它元件之间具有特定的大小关系，但这并不是本发明所必需的。相反，应当理解的是本发明无论所述沟的深度和所述深蚀度步骤的深度之间的大小关系如何都同样实用，只要在形成所述沟状电容器时仅实施了一个垂直造型步骤即可。

尽管已结合特定的实施方案对本发明进行了说明，但可以理解的是，本发明的方法可以多种不同的形式来体现，而仍然落在本发明的范围内。上述多种实施方案中的任一种都同样落在本发明范围内，只要是用一个垂直造型步骤来形成所述内埋板装置。另外，尽管所述硅片不包括设在该片上或所述硅基质中的除所述沟状电容器以外的其它元件，但应当理解的是，本发明可以采用多种特殊的设计，采用设置在所述片上或所述硅基质里的多种元件，使各种元件处于多种位置和相互的取向上，并且仍然落在本发明范围内。因此，本发明的实施例被视为是说明性的而不是限定性的，本发明并不局限于本文所披露的细节，而且可以在所附权利要求范围内加以改进。

图 1  
(现有技术)

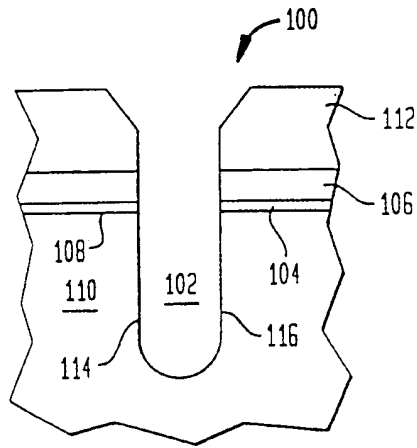


图 2  
(现有技术)

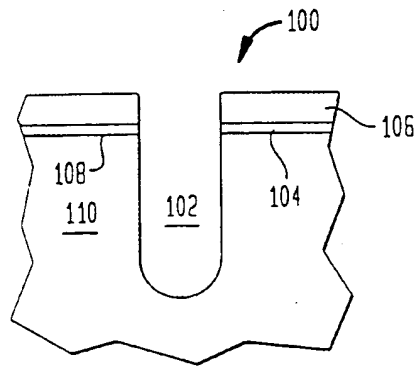


图 3  
(现有技术)

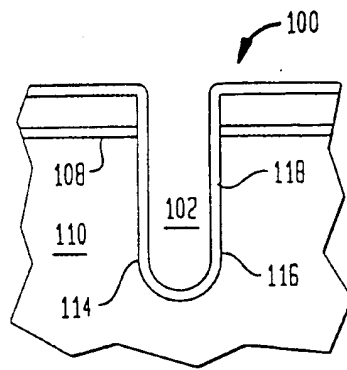


图 4  
(现有技术)

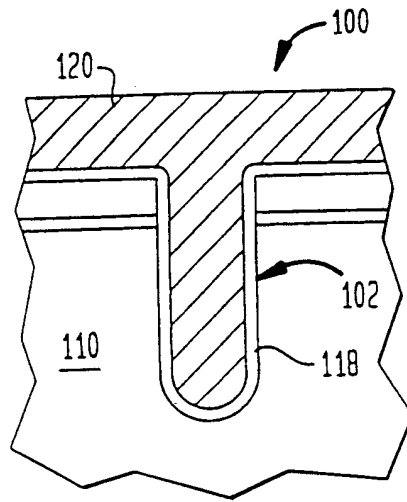


图 5  
(现有技术)

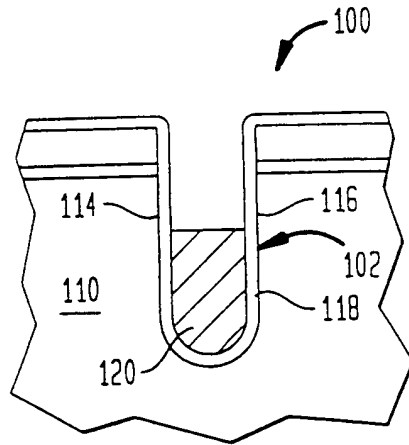


图 6  
(现有技术)

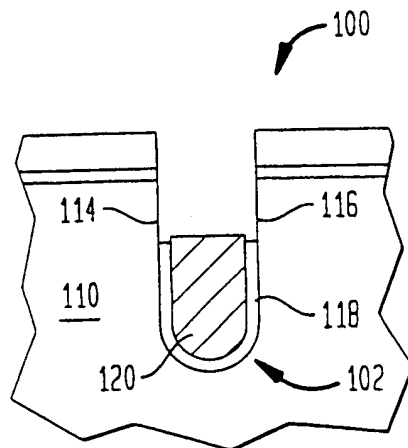


图 7  
(现有技术)

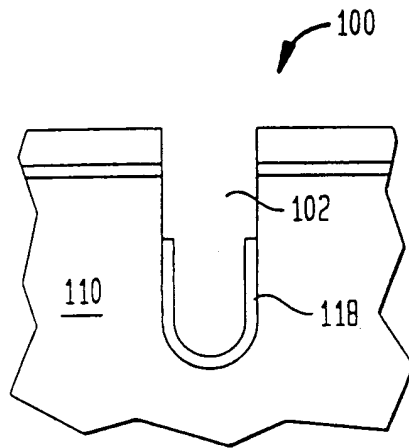


图 8  
(现有技术)

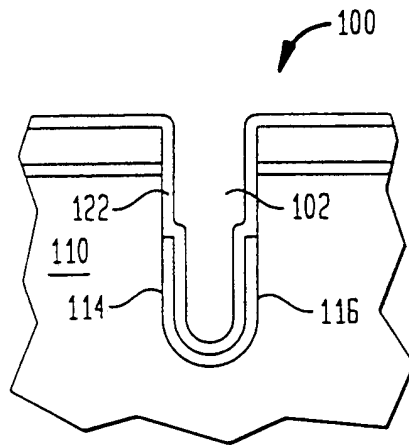


图 9  
(现有技术)

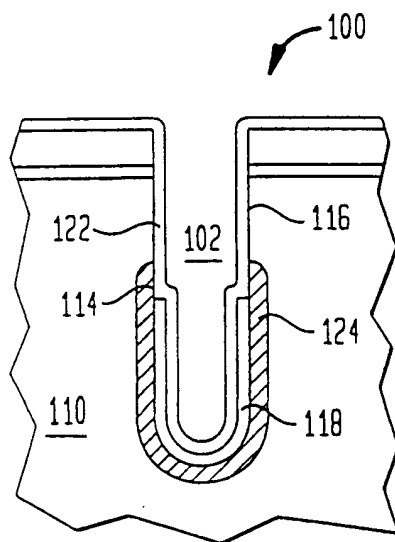


图 10  
(现有技术)

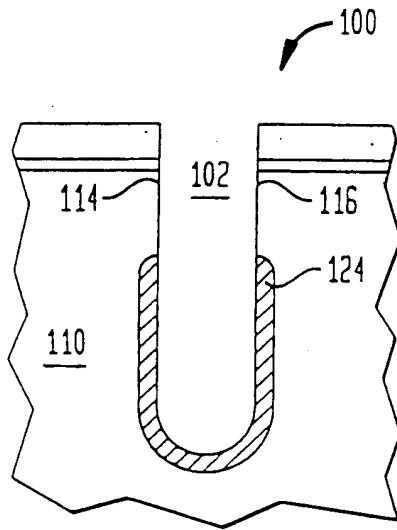


图 11  
(现有技术)

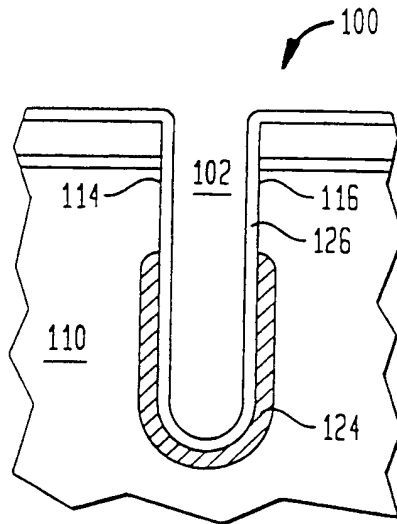


图 12  
(现有技术)

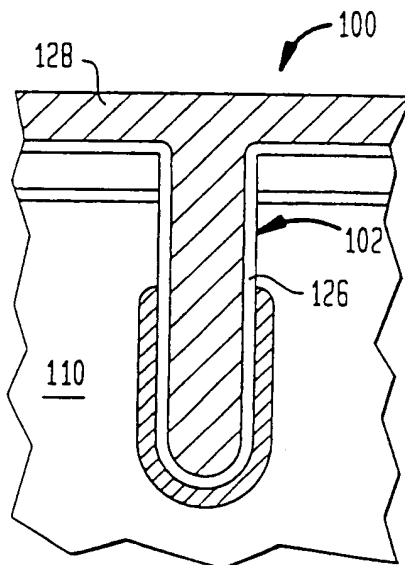


图 13  
(现有技术)

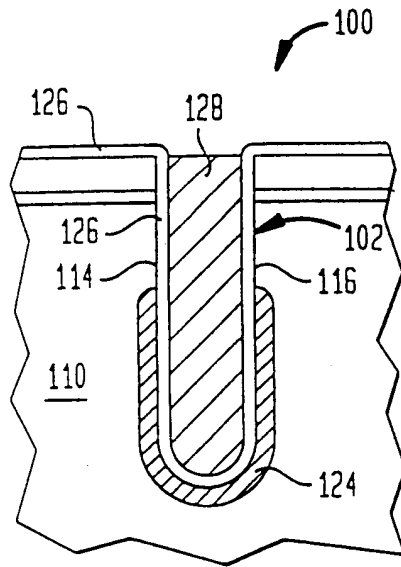


图 14  
(现有技术)

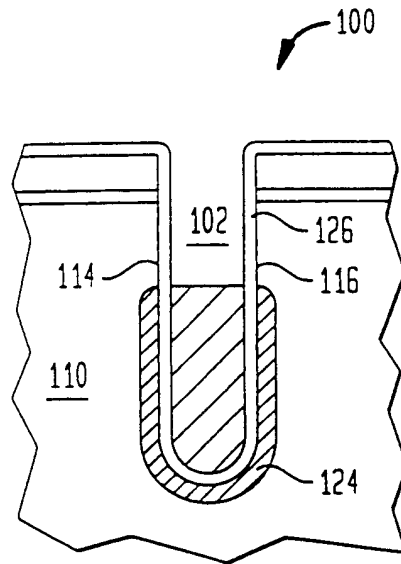


图 15  
(现有技术)

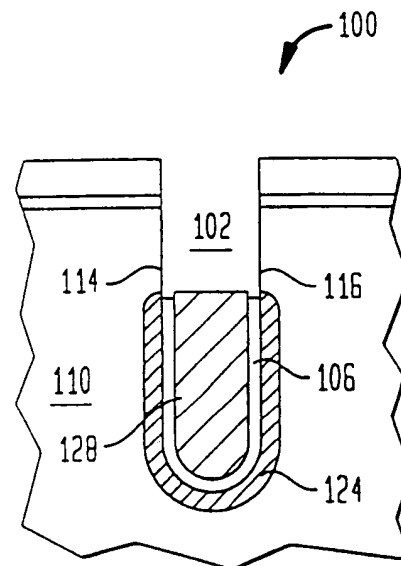


图 16  
(现有技术)

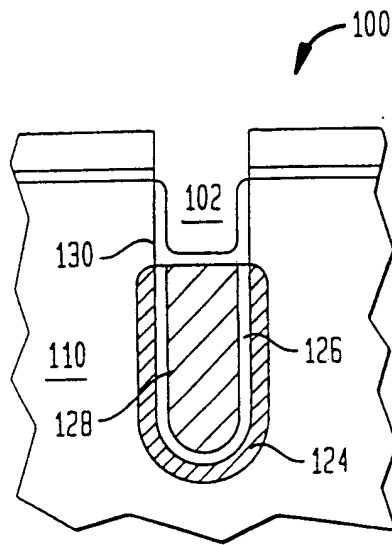


图 17  
(现有技术)

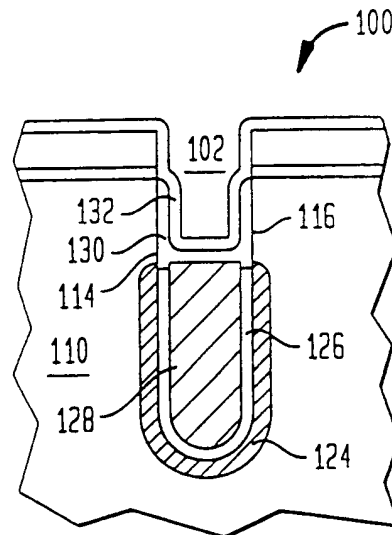
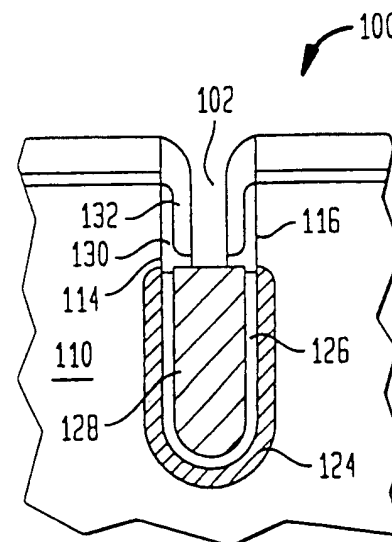


图 18  
(现有技术)



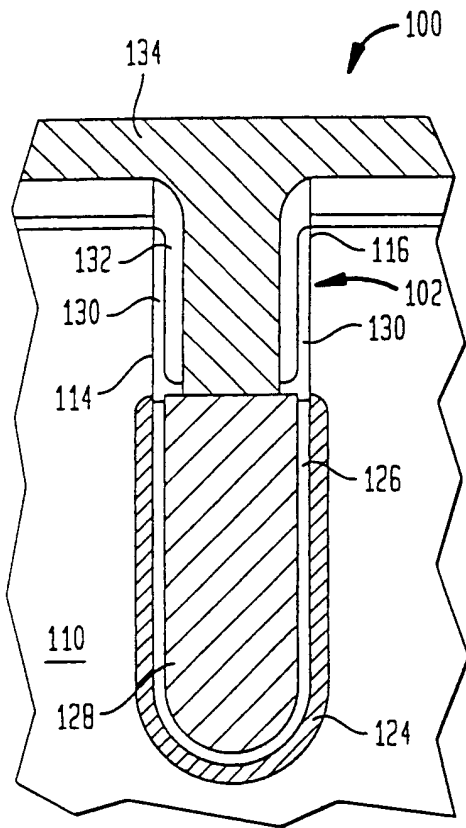


图 19  
(现有技术)

图 20

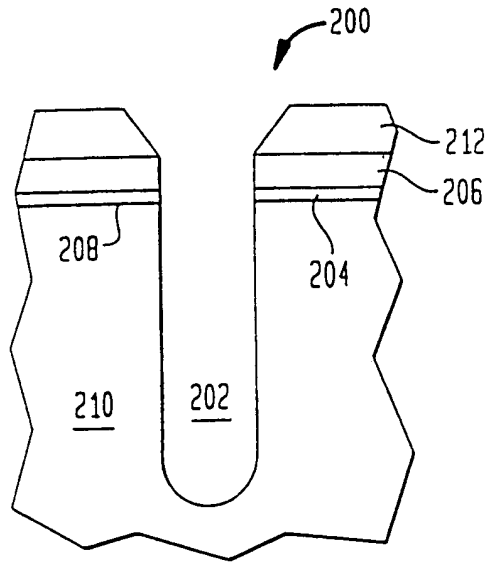


图 21

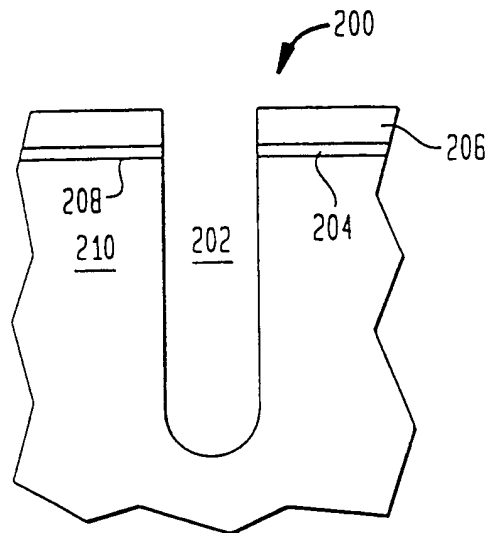


图 22

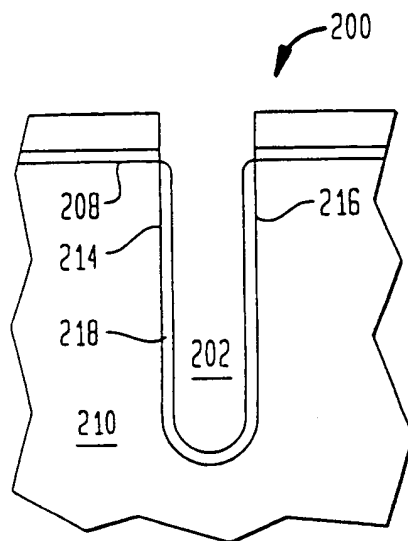


图 23

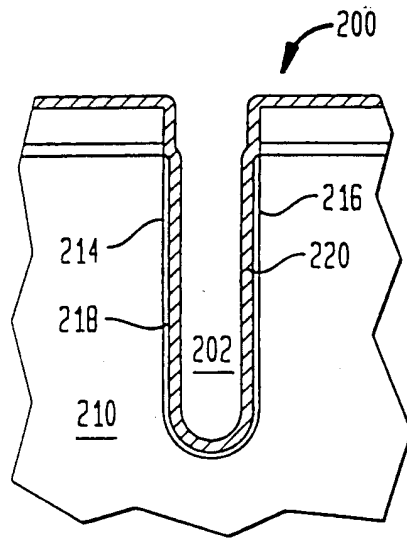


图 24

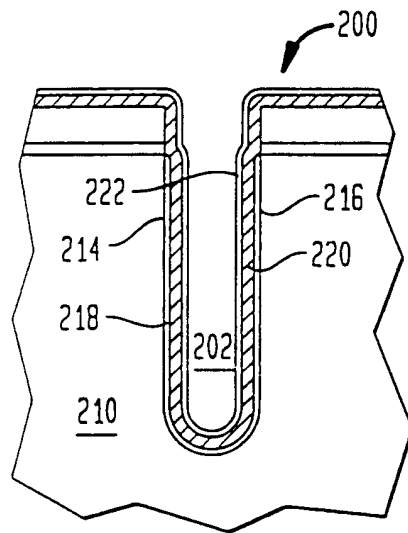


图 25

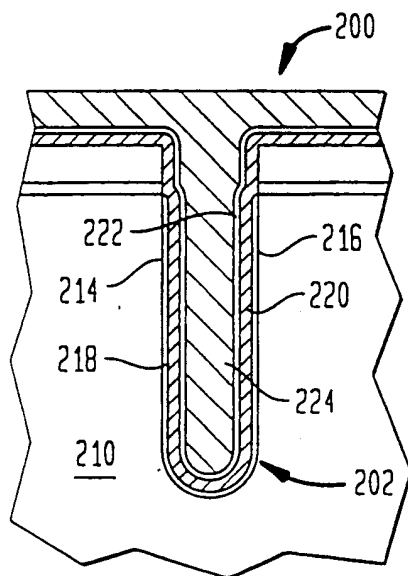


图 26

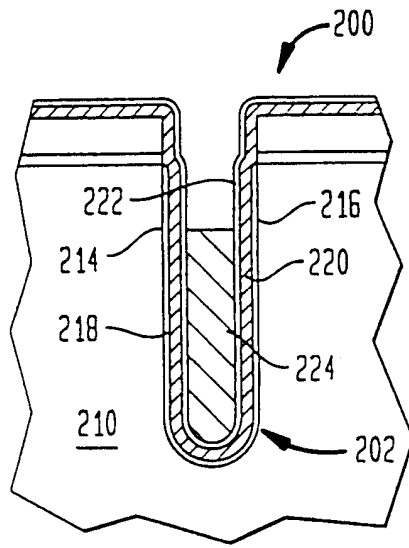


图 27

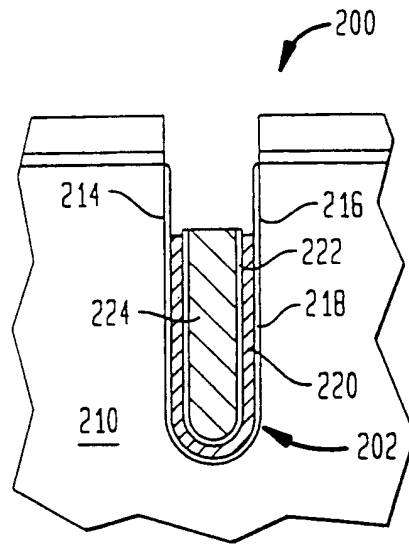


图 28

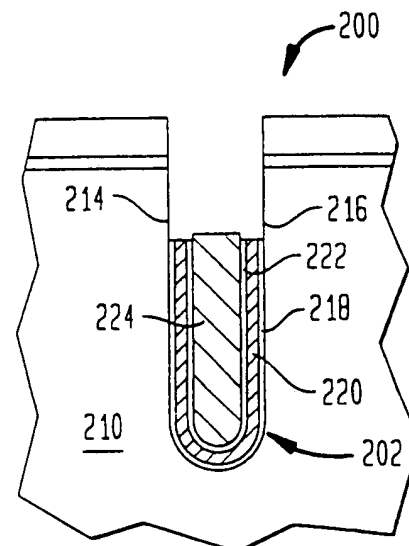


图 29

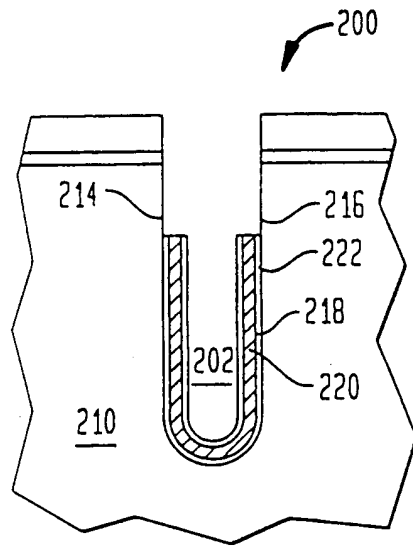


图 30

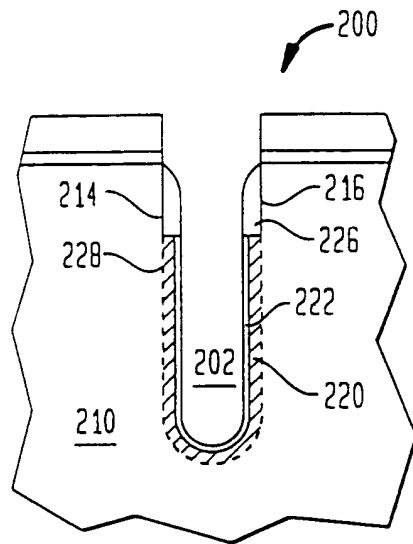


图 31

