

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-163454

(P2007-163454A)

(43) 公開日 平成19年6月28日(2007.6.28)

(51) Int. Cl.

F I

テーマコード(参考)

G O 1 R 31/28 (2006.01)

G O 1 R 31/28

V

2 G 1 3 2

H O 1 L 21/822 (2006.01)

H O 1 L 27/04

T

5 F O 3 8

H O 1 L 27/04 (2006.01)

H O 1 L 27/04

E

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2006-199606 (P2006-199606)
 (22) 出願日 平成18年7月21日(2006.7.21)
 (31) 優先権主張番号 特願2005-331738 (P2005-331738)
 (32) 優先日 平成17年11月16日(2005.11.16)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100071135
 弁理士 佐藤 強
 (72) 発明者 伊藤 直紀
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 石原 秀昭
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 (72) 発明者 手嶋 芳徳
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内

最終頁に続く

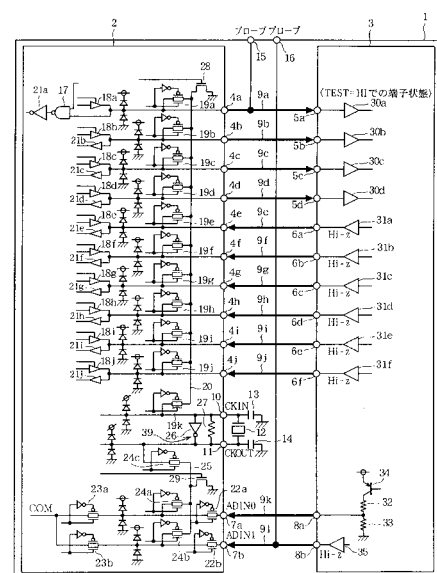
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】チップ間配線が行なわれている信号端子の端子特性検査を行なう際、外部端子に接続された信号端子を介して他の信号端子を検査する場合でも、正確に検査ができる半導体集積回路を提供する。

【解決手段】半導体チップ2において、プローブ端子である信号端子4 aはチップ内部でNANDゲート17の一方の入力端子に接続される。CPUがNANDゲート17を制御するためのデータを制御レジスタに書き込むと、制御レジスタからこのデータに対応した制御信号が出力されてNANDゲート17の他方の入力端子に与えられる。この制御信号がLレベルであれば、信号端子4 aからの入力信号を遮断する入力カット機能が有効となり、Hレベルであれば、信号端子4 aからの入力信号がNANDゲート17の出力端子に接続されている入力バッファ21 aに供給される。

【選択図】図1



1: 半導体集積回路 4b~4j, 7a, 10, 11: 非プローブ端子 20, 25: 共通線
 2: 検査対象チップ 15, 16: 外部端子 21a: 入力回路
 3: 半導体チップ 17: 検査信号遮断手段 22a, 22b: 外部信号遮断手段
 4a, 7b: プローブ端子 19a~19k, 21a~24c: スイッチ手段 28, 29: 所定電位付与手段

【特許請求の範囲】

【請求項 1】

パッケージの内部に複数の半導体チップを備えて構成される半導体集積回路において、任意の 2 つの半導体チップ間で夫々の信号端子がチップ間配線により相互に接続されている構成部分について、前記信号端子の検査を行なう対象となる側を検査対象チップとし、

前記検査対象チップは、

少なくとも 1 つの端子が外部端子に接続されているプローブ端子であり、

前記プローブ端子及び前記プローブ端子以外の信号端子である非プローブ端子とチップ内部の共通線とを夫々断続するための複数のスイッチ手段と、

前記プローブ端子を介して当該端子に対応する入力回路に与えられる検査信号を遮断可能な検査信号遮断手段とを備えることを特徴とする半導体集積回路。

10

【請求項 2】

前記検査対象チップは、前記共通線に所定の電位を付与するための所定電位付与手段を備えることを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】

前記検査対象チップは、前記非プローブ端子に、他のチップより与えられる信号を遮断可能な外部信号遮断手段を備えることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

20

前記検査対象チップは、

自身の内部に供給するクロック信号を生成する発振回路と、

外部端子に接続され、検査用クロック信号を外部より供給するための外部クロック端子と、

この外部クロック端子と前記発振回路の出力との何れか一方を選択して、自身の内部にクロック信号を供給する選択回路とを備え、

前記選択回路は、前記信号端子の検査時には初期状態で前記外部クロック端子側を選択し、非検査時には前記発振回路側を選択するように構成されることを特徴とする請求項 1 乃至 3 の何れかに記載の半導体集積回路。

【請求項 5】

30

前記選択回路は、前記信号端子の検査時には、前記外部クロック端子と前記発振回路との選択を切換え可能となるように構成されていることを特徴とする請求項 4 記載の半導体集積回路。

【請求項 6】

前記外部クロック端子は、前記検査対象チップ以外の半導体チップの信号端子にも接続されていることを特徴とする請求項 4 又は 5 に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は、パッケージの内部に複数の半導体チップを備えて構成される半導体集積回路において、半導体チップの信号端子の特性検査を行なうものに関する。

【背景技術】

【0002】

複数の半導体チップを 1 つのパッケージに収納するマルチチップパッケージ (Multi-chip package, 以下、MCP と称す) は、異なる種類のデバイスプロセスにより形成されたチップを組み合わせて 1 パッケージ化することでコストダウンを図ったり、複数のメモリデバイスを組み合わせて記憶容量を簡単に増加させたりすることができるなどのメリットがある。また、IC では、パッケージの外部に露出される信号端子の数がパッケージサイズによって制限される。即ち、矩形状のプラスチックパッケージでは

50

、各辺の長さに応じて配置可能な端子数が決まるようになっている。

【0003】

そして、このような半導体集積回路は、一般に多機能となるので信号端子数も多くなる傾向にあるため配置可能な端子数の制限が問題になり易く、複数のチップ間で伝送される信号については、双方の信号端子をパッケージ内部で接続するチップ間配線を行なっている。ところが、チップ間配線が行われているパッド（信号端子）についてはパッケージ状態（MCP状態）での電気的特性の検査が行ない難くなることから、それらの検査を行なうには、特殊な構成を設けて対応する必要がある。

【0004】

上記のように、チップ間配線が行われている信号端子について検査を行なうための技術として、例えば、特許文献1に開示されている半導体装置がある。この半導体装置は、図4に示すように、外部端子に接続されているプローブ端子P0及び外部端子に接続されていない複数の非プローブ端子P1、P2・・・からなる信号端子と、共通線L0との間に夫々スイッチ部SW0、SW1、SW2・・・を備え、導通させるスイッチ部の組み合わせにより複数の非プローブ端子のうちから測定対象端子を任意に選択できるように構成されている。 10

【0005】

そして、例えば、非プローブ端子P1を検査する場合には、この端子P1及びプローブ端子P0に対応するスイッチ部SW1及びSW0を導通させて両端子を接続し、プローブ端子P0を介して非プローブ端子P1の特性検査を行なうようにしている。 20

【特許文献1】特開2004-28751号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

即ち、上記の構成は、プローブ端子P0を介して試験信号を共通に入出力する入出力圧縮試験に対応しており、非プローブ端子P1、P2・・・の何れかに入力される信号はプローブ端子P0へも共通に入力されることになる。従って、例えば、非プローブ端子P1について検査を行なう場合に、設定されている入力電圧範囲がプローブ端子P0と異なったり、非プローブ端子P1がアナログ入力であればプローブ端子P0への入力レベルが中間電位となる場合が想定される。すると、プローブ端子P0に接続されている入力バッファI0において貫通電流が発生し、長期信頼性上の問題や非プローブ端子P1の検査が正確にできないという問題が考えられる。 30

【0007】

本発明は上記事情に鑑みてなされたもので、その目的は、チップ間配線が行なわれている信号端子の特性検査を行なう際、外部端子に接続された信号端子を介して他の信号端子を検査する場合でも、長期信頼性を低下させることなく、正確に検査ができる半導体集積回路を提供することにある。

【課題を解決するための手段】

【0008】

請求項1記載の半導体集積回路によれば、外部端子に接続されている1つのプローブ端子を介してチップ間配線が行なわれている非プローブ端子の端子特性検査を行なう場合、スイッチ手段により、前記プローブ端子と前記非プローブ端子とをチップ内部の共通線を介して接続する。この時、プローブ端子に対応する入力回路に与えられる信号は、検査信号遮断手段によって遮断することができる。このように構成すれば、プローブ端子と非プローブ端子との入力電圧範囲が異なる場合や非プローブ端子がアナログ入力の場合でも、少なくとも1つのスイッチ手段が接続状態となった時に検査信号遮断手段を動作させることにより、プローブ端子を介して入力回路に与えられる検査信号は遮断される。従って、上記入力回路において貫通電流が流れることがなく、長期信頼性を低下させずに非プローブ端子の検査を正確に行なうことができる。 40

【0009】

請求項 2 記載の半導体集積回路によれば、前記スイッチ手段が全てオフとなった場合に、所定電位付与手段により共通線に所定の電位を付与することで、共通線の電位が不定となることを回避できる。

【0010】

請求項 3 記載の半導体集積回路によれば、非プローブ端子の特性検査を行なう際、当該端子に接続されている他のチップの端子出力をハイインピーダンス状態にできない場合であっても、外部信号遮断手段により非プローブ端子に与えられる信号を遮断すれば、他のチップの影響を受けることなく非プローブ端子の検査を行なうことができる。

【0011】

請求項 4 記載の半導体集積回路によれば、検査対象チップの信号端子について検査を行う際、選択回路は初期状態で外部クロック端子側を選択するので、外部より検査用クロック信号を供給して内部回路を動作させることができる。この場合、内部回路の動作タイミングは検査用クロック信号に同期するので、検査対象チップの内部動作を外部から制御することができ、信号の出力タイミングなどについても確認することができる。

【0012】

請求項 5 記載の半導体集積回路によれば、選択回路は、信号端子の検査時には、外部クロック端子と発振回路との選択を切換えて、検査対象チップに発振回路が生成したクロック信号を供給することもできるので、前記クロック信号により検査対象チップを動作させた場合の検査も可能となる。

【0013】

請求項 6 記載の半導体集積回路によれば、外部クロック端子を、検査対象チップ以外の半導体チップの信号端子にも接続するので、外部クロック端子に接続されている外部端子を、前記半導体チップの信号端子を検査するためのプローブ端子として使用することもできる。

【発明を実施するための最良の形態】

【0014】

(第 1 実施例)

以下、本発明の第 1 実施例について図 1 及び図 2 を参照して説明する。図 1 は半導体集積回路の構成を、本発明の要旨に係る部分のみ示すものである。図 1 に示すように、半導体集積回路 1 には、2 つの半導体チップ 2, 3 が搭載されており、半導体チップ 2 の信号端子 4 a ~ 4 d と半導体チップ 3 の入力端子 5 a ~ 5 d, 半導体チップ 2 の信号端子 4 e ~ 4 j と半導体チップ 3 の出力端子 6 a ~ 6 f, 半導体チップ 2 の A D 入力端子 7 a, 7 b と半導体チップ 3 の出力端子 8 a, 8 b とは、チップ間配線 9 a ~ 9 l によって夫々接続されている。そして、例えば、半導体チップ 2 はマイクロコンピュータ、半導体チップ 3 は信号入出力用のドライバとして構成されている。

【0015】

また、半導体チップ 2 のクロック端子 10, 11 の間には、水晶振動子 12 が接続され、その両端はコンデンサ 13, 14 を介して G N D に接続されている。尚、本実施例では、半導体チップ 2 が検査対象チップとなる。また、半導体チップ 2 の信号端子 4 a 及び 7 b は、パッケージの外部に引き出されている外部端子 15, 16 に接続されることでプローブ端子となっており、このプローブ端子 4 a, 7 b 以外の端子 4 b ~ 4 j, 7 a, 10, 11 は非プローブ端子となっている。

【0016】

次に、半導体チップ 2 内部の回路構成について説明する。プローブ端子であるところの信号端子 4 a は、チップ内部において、N A N D ゲート 17 (検査信号遮断手段) の一方の入力端子及び出力バッファ 18 a の出力端子に接続されると共に、テストスイッチ 19 a (スイッチ手段) を介して共通線 20 に接続されている。

【0017】

N A N D ゲート 17 は、テストスイッチの状態を示す制御信号によって制御される。即ち、テストスイッチ 19 a ~ 19 k が全てオフの場合に H レベル、何れか 1 つがオンの場

10

20

30

40

50

合にLレベルとなる制御信号（図示せず）がNANDゲート17の他方の入力端子に与えられる。そして、この制御信号がLレベルであれば、信号端子4aからの入力信号を遮断する入力カット機能が有効となり、Hレベルであれば、信号端子4aからの入力信号がNANDゲート17の出力端子に接続されている入力バッファ21aに供給されるようになる。

また、信号端子4b～4jは、チップ内部において、夫々に対応した出力バッファ18b～18jの出力端子及び入力バッファ21b～21jの入力端子に接続されると共に、テストスイッチ19b～19j（スイッチ手段）を介して共通線20に接続されている。

【0018】

アナログ入力端子7a, 7bは、チップ内部において、夫々入力カットスイッチ22a, 22b（外部信号遮断手段）に接続されている。これらの入力カットスイッチ22a, 22bの他端は、夫々に対応した選択スイッチ23a, 23bに接続されると共に、テストスイッチ24a, 24b（スイッチ手段）を介して共通線25に接続されている。そして、これら選択スイッチ23a, 23bの他端は共通に接続され、アナログ入力端子7a, 7bの何れかの入力信号を選択して内部回路（例えば、A/D変換回路）へ供給するようになっている。

【0019】

尚、クロック端子10, 11の間には、チップ内部において、インバータゲート26及び帰還抵抗27が接続され、外部に接続されている水晶振動子12、コンデンサ13, 14と共に水晶発振回路39を構成している。また、上記した信号端子4a～4j、クロック端子10, 11、及びアナログ入力端子7a, 7bには、夫々チップ内部において、ダイオードからなる保護回路が接続されている。

【0020】

ここで、入出力端子である信号端子4a～4j、アナログ入力端子7a, 7bの入力又は出力電圧範囲は、チップ間で伝送されるインターフェイス信号として必要なレベルを確保するため0～+5Vに設定されている。また、上記水晶発振回路で生成されるクロック信号は、半導体チップ2内部のクロックとして使用されるため、その最大振幅は、半導体チップ2のコア部に供給される電源電圧に等しい+3.3Vに設定されている。そして、クロック端子10は、テストスイッチ19k（スイッチ手段）を介して共通線20に接続され、クロック端子11は、テストスイッチ24c（スイッチ手段）を介して共通線25に接続されている。

【0021】

また、共通線20, 25とGNDとの間には、夫々NチャネルMOSFET28, 29（所定電位付与手段）が接続され、テストスイッチ19a～19kが全てオフの場合にMOSFET28はオン（共通線20はGND電位）、テストスイッチ24a～24cが全てオフの場合にMOSFET29はオン（共通線25はGND電位）となり共通線の電位が不定となることを回避している。

【0022】

ここで、テストスイッチ19a～19k, 24a～24c、入力カットスイッチ22a, 22bのオンオフは、図示しないCPUによって制御される。即ち、CPUが制御レジスタ（図示せず）にデータを書き込むことで制御されるようになっている。また、テストスイッチ19a～19k, 24a～24c及び入力カットスイッチ22a, 22bは、アナログスイッチで構成されている。

【0023】

次に、半導体チップ3内部の構成について説明する。半導体チップ3の入力端子5a～5dは、チップ内部において、入力バッファ30a～30dの入力端子に接続されている。また、出力端子6a～6fは、出力バッファ31a～31fの出力端子に接続されており、この出力バッファ31a～31fは、出力をHi-Z（ハイインピーダンス）状態に設定できるようになっている。

【0024】

出力端子 8 a は、チップ内部において抵抗 3 2, 3 3 に接続されており、抵抗 3 2 の他端は P N P トランジスタ 3 4 のコレクタ端子に接続され、抵抗 3 3 の他端は G N D に接続されている。このトランジスタ 3 4 のエミッタ端子は半導体チップ 3 の電源電圧である + 5 V に接続され、ベース端子には図示しない内部回路からの出力信号が入力されている。そして、出力端子 8 a は、上記出力信号によりベース電流が制御されることで、トランジスタ 3 4 を介して抵抗 3 2, 3 3 に流れる電流に応じて発生する分圧電位を出力するようになっている。また、出力端子 8 b は、出力バッファ 3 5 の出力端子に接続されており、この出力バッファ 3 5 も、出力を H i - Z 状態に設定できるようになっている。

【0025】

次に、本実施例の作用について図 2 も参照して説明する。図 2 は、半導体チップ 2 の信号端子について検査を行なう場合の手順を示すフローチャートである。尚、検査開始時（フローチャート中のスタート時）を含む通常動作時は半導体チップ 2 のテストスイッチ 1 9 a ~ 1 9 k, 2 4 a ~ 2 4 c は全てオフ、入力カットスイッチ 2 2 a, 2 2 b はオン、共通線 2 0, 2 5 に接続された F E T 2 8, 2 9 もオン（共通線 2 0, 2 5 は G N D 電位）となっている。また、半導体チップ 3 側は予めテストモード（T E S T = H I）に設定されており、その結果、図 1 に示すように出力バッファ 3 1 a ~ 3 1 f, 3 5 の出力は H i - Z 状態となっている。

【0026】

まず、電圧範囲が 0 ~ + 3. 3 V であるクロック端子 1 0 について、プローブ端子である信号端子 4 a を介して検査を行なう場合を図 2 のフローチャートに沿って説明する。作業者は、検査を行なう信号端子を選択する（ステップ S 1）。この場合、検査対象端子はクロック端子 1 0 であり、半導体チップ 3 の何れの端子とも接続されていないので（ステップ S 2 で「N O」）、クロック端子 1 0 に対応するテストスイッチ 1 9 k、及び信号端子 4 a に対応するテストスイッチ 1 9 a をオンにすると（ステップ S 4）、N A N D ゲート 1 7 の入力カット機能が有効となり、プローブ端子である信号端子 4 a と入力バッファ 2 1 a との間の信号経路が遮断されると共に F E T 2 8 がオフとなり、検査対象端子となるクロック端子 1 0 とプローブ端子である信号端子 4 a とが共通線 2 0 を介して接続される。

【0027】

従って、端子電圧範囲の異なる信号端子 4 a とクロック端子 1 0 とが共通線 2 0 を介して接続されても、入力バッファ 2 1 a において、信号端子 4 a からの入力信号は遮断され、上記端子間の電位差に起因する貫通電流は発生しない。そして、クロック端子 1 0 の端子特性を、信号端子 4 a を介して外部端子 1 5 より検査する。即ち、外部端子 1 5 に接続される図示しないテスト装置により入出力電流値や出力電圧の測定などを行なう（ステップ S 5）。

【0028】

上記検査が終了すると、テストスイッチ 1 9 a, 1 9 k をオフにすることで（ステップ S 6）、F E T 2 8 がオンして共通線 2 0 は G N D 電位となる。さらに、N A N D ゲート 1 7 の入力カット機能も無効となり、信号端子 4 a に入力される信号を入力バッファ 2 1 a へ供給させる。そして、検査対象としたクロック端子 1 0 は、半導体チップ 3 のどの端子とも接続されていないので（ステップ S 7 で「N O」）、検査を終了する場合は（ステップ S 9 で「Y E S」）そのまま作業を終了する。尚、引き続き検査を行なう場合は（ステップ S 9 で「N O」）ステップ S 1 に戻り、上記と同様の手順で端子の検査を行なう。

【0029】

次に、半導体チップ 3 より出力されるアナログ信号が与えられるアナログ入力端子 7 a を、プローブ端子であるアナログ入力端子 7 b を介して検査を行なう場合について説明する。まず、作業者は、上記したクロック端子 1 0 の検査と同様に検査対象とする端子を選択するが（ステップ S 1）、この場合、アナログ入力端子 7 a は半導体チップ 3 の出力端子 8 a と接続されているので（ステップ S 2 で「Y E S」）、出力端子 8 a の出力設定を確認する（ステップ S 3）。出力端子 8 a は、抵抗 3 2, 3 3 の分圧電位が直接出力され

ているため、H i - Z 状態に設定することはできない（ステップ S 3 で「N O」）。従って、アナログ入力端子 7 a と選択スイッチ 2 3 a などの内部回路との間に配置されている入力カットスイッチ 2 2 a をオフにして、出力端子 8 a からの信号入力を遮断する（ステップ S 1 0）。

【0030】

次に、アナログ入力端子 7 a, 7 b に対応するテストスイッチ 2 4 a, 2 4 b を夫々オンにすると（ステップ S 4）、F E T 2 9 がオフとなり、双方の端子が共通線 2 5 を介して接続される。また、このアナログ入力端子 7 a の検査時は、アナログ入力端子 7 b に対応する選択スイッチ 2 3 b は常にオフとなるため、アナログ入力端子 7 b からの信号入力は、選択スイッチ 2 3 b により遮断され、アナログ入力端子 7 a の端子特性を、アナログ入力端子 7 b を介して外部端子 1 6 より検査することができる。即ち、入力カットスイッチ 2 2 a の内部回路側端子について入力電流値の測定などを行なう（ステップ S 5）。 10

【0031】

上記検査が終了すると、テストスイッチ 2 4 a, 2 4 b をオフにすることで（ステップ S 6）、F E T 2 9 はオンとなり共通線 2 5 は G N D 電位となる。そして、この場合、アナログ入力端子 7 a に接続されている半導体チップ 3 の出力端子 8 a からの信号出力を遮断しているので（ステップ S 7 で「Y E S」、ステップ S 8 で「N O」）、入力カットスイッチ 2 2 a をオンにして（ステップ S 1 1）、出力端子 8 a からの出力信号がアナログ入力端子 7 a を介して内部回路に入力される状態に戻す。そして、検査を終了する場合には（ステップ S 9 で「Y E S」）そのまま作業を終了し、引き続き検査を行なう場合には（ステップ S 9 で「N O」）ステップ S 1 に戻る。 20

【0032】

以上のように本実施例の半導体集積回路 1 によれば、電圧範囲が 0 ~ + 3 . 3 V のクロック端子 1 0 を、プローブ端子である入力電圧範囲が 0 ~ + 5 V の信号端子 4 a に接続して検査する場合に、N A N D ゲート 1 7 の入力カット機能を有効にすることで信号端子 4 a に対応する入力バッファ 2 1 a への信号入力を遮断するようにした。従って、入力バッファ 2 1 a に貫通電流が流れることを防止して、長期信頼性を低下させることなく、非プローブ端子の検査を正確に行なうことができる。

【0033】

また、共通線 2 0, 2 5 は、夫々テストスイッチ 1 9 a ~ 1 9 k, 2 4 a ~ 2 4 c が全てオフになった場合に、N チャネル M O S F E T 2 8, 2 9 をオン状態にすることにより G N D 電位が付与されるので、共通線 2 0, 2 5 の電位が不定となることを回避できる。 30

また、半導体チップ 2 の非プローブ端子であるアナログ入力端子 7 a の検査を行なう際、この端子 7 a に接続される半導体チップ 3 の出力端子 8 a の出力を H i - Z 状態にできない場合でも、アナログ入力端子 7 a と内部回路との間に配置されている入力カットスイッチ 2 2 a をオフにすることで、出力端子 8 a からの信号入力は遮断される。従って、出力端子 8 a の出力状態に影響を受けることなく、アナログ入力端子 7 a の検査を行なうことができる。

【0034】

（第 2 実施例）

図 3 は、本発明の第 2 実施例を示すものであり、第 1 実施例と同一の部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。尚、図 3 は、図 1 に示した半導体集積回路 1 の一部を示すものであり、動作用クロック信号の入力に係る部分及びその周辺部分を示している。 40

【0035】

半導体チップ 2 は、外部クロック端子 4 0 を備えており、この外部クロック端子 4 0 はパッケージの外部に引き出された外部端子 4 1 に接続されている。これにより、半導体チップ 2 に対して外部より検査用クロック信号を入力することが可能となっている。また、半導体チップ 2 は、上記した外部クロック端子 4 0 と水晶発振回路（発振回路に相当）3 9 のクロック出力であるクロック端子 1 1 のうち何れか一方を選択して、自身の図示しな 50

い内部回路（例えば、CPUなどの内部ロジック）のクロック入力ラインに接続させるクロック選択回路（選択回路に相当）42を備えている。

【0036】

クロック選択回路42は、セクタ43、ANDゲート44、45、及びラッチ回路（Dフリップフロップ）46を有して構成されている。セクタ43の一方の入力端子には外部クロック端子40が接続されており、他方の入力端子にはクロック端子11が接続されている。また、セクタ43の出力端子は、図示しない内部回路のクロック入力ラインに接続されると共に、ANDゲート44の一方の入力端子に接続されている。そして、ANDゲート44の出力端子はラッチ回路46のクロック端子CKに接続されている。

【0037】

ラッチ回路46のデータ端子Dには、半導体チップ2の内部回路であるCPU（図示せず）からデータが与えられるようになっており、出力端子Qバーは、ANDゲート45の一方の入力端子に接続されている。また、ラッチ回路46には、初期状態でデータ端子Dにデータ「0」が与えられるようになっている。尚、実際には、CPUの出力ポートとラッチ回路46との間には図示しないロジック回路が介在しており、CPUがデータ端子Dに出力したデータは保持されるようになっている。

【0038】

ANDゲート44、45の他方の入力端子には、TEST信号が与えられるようになっている。尚、このTEST信号は、第1実施例で述べたように半導体チップ3をテストモード（TEST=HI）に設定するための信号である。ANDゲート45の出力端子は、セクタ43のセレクト端子に接続されており、セクタ43は、セレクト端子に入力された信号がHレベルのときには一方の入力端子（1）が選択され、Lレベルのときには他方の入力端子（0）が選択されるように構成されている。

【0039】

一方、半導体チップ3の出力端子（信号端子に相当）50は、半導体チップ2の外部クロック端子40と共通に外部端子41に接続されている。また、出力端子50は、半導体チップ3の内部において出力バッファ51の出力端子に接続されている。この出力バッファ51は、半導体チップ3の内部信号を外部よりモニタするために設けられている。

【0040】

次に、第2実施例の作用について説明する。第1実施例で説明したように、半導体チップ2の信号端子について検査を行う場合、作業者は、例えば半導体集積回路1の所定の外部端子をHレベルにすることでTEST信号をアクティブにするが、これにより、クロック選択回路42におけるANDゲート44、45の他方の入力端子がHレベルとなる。そして、半導体チップ2においてラッチ回路46のリセットが解除されると、出力端子Qバーのレベルはハイ（H）となり、ANDゲート45を介してセクタ43のセレクト端子に与えられる。

【0041】

セクタ43は、セレクト端子がHレベルになったことにより、入力端子（1）に接続された外部クロック端子40側を選択する。従って作業者は、この状態において、外部端子41から例えばLSIテスト等が出力する検査用クロック信号を入力することが可能となる。これにより、半導体チップ2の内部回路に検査用クロック信号を供給し、前記内部回路を検査用クロック信号に同期して動作させることができる。即ち、第1実施例と同様に検査を行う場合に、半導体チップ2の動作タイミング（例えば、信号出力タイミングなど）を外部のLSIテスト等によりモニタできるので、その動作タイミングが設計仕様を満たしているかどうかを確認することが可能となる。

【0042】

また、検査時において、半導体チップ2の内部回路を水晶発振回路39で生成したクロック信号により動作させてその動作状態を確認する場合には、半導体チップ2のCPUによりラッチ回路46に対してデータ「1」をセットさせ、出力端子QバーをLレベルにする。すると、セクタ43はクロック端子11側を選択する。これにより、半導体チップ

10

20

30

40

50

2の内部回路には水晶発振回路39で生成されたクロック信号が供給される。

【0043】

一方、半導体集積回路1を通常動作させる場合、作業者は、例えば半導体集積回路1の所定の外部端子をLレベルにすることでTEST信号をインアクティブにする。これにより、半導体チップ2のセクタ43はクロック端子11側を選択するので、半導体チップ2の内部回路には水晶発振回路39で生成されたクロック信号が供給される。また、半導体チップ3も通常動作モードに設定され、出力バッファ51を含む全ての出力バッファは通常の出力状態となる。

そして、作業者は、この状態において、半導体チップ3の出力端子50の出力状態を外部端子41よりモニタすることができる。また、検査時(TEST=HI)においても、半導体チップ2側をリセット状態にしてその動作を停止させれば、上記同様に出力端子50の出力状態をモニタすることが可能となる。

【0044】

以上のように第2実施例によれば、半導体チップ2について検査を行う際、半導体集積回路1に与えるTEST信号をアクティブにして検査モードに設定すれば、クロック選択回路42は初期状態で外部クロック端子40側を選択するので、作業者が外部端子41から検査用クロック信号を供給して内部回路を動作させることができる。従って、内部回路の動作タイミングを検査用クロック信号に同期させて、半導体チップ2の内部動作を外部から制御することができ、信号の出力タイミングなどについても確認することができる。

【0045】

また、上記検査状態において、クロック選択回路42を、外部クロック端子40とクロック端子11との選択を切換え可能としたので、必要に応じてクロック端子11側が選択されるように切換えれば、半導体チップ2に水晶発振回路39により生成されたクロック信号を供給することもできる。従って、水晶発振回路39により生成されたクロック信号により半導体チップ2の内部回路を動作させた状態での検査も可能となる。

さらに、外部クロック端子40を半導体チップ3の出力端子50にも接続したので、半導体集積回路1の通常動作時に、外部端子41を、半導体チップ3の内部信号の状態を確認するためのプローブ端子として使用することもできる。また、半導体チップ2の検査モードにおいても半導体チップ2側の動作を停止させれば、上記同様に半導体チップ3の内部信号の状態を確認できる。

【0046】

尚、本発明は上記し、且つ図面に記載した各実施例にのみ限定されるものではなく、次のような変形、又は拡張が可能である。

信号端子の電源系は、3種類以上であっても良い。

信号端子の電源振幅は上記に限定されず、例えば半導体チップ2のコア部に供給される電源電圧は+2.5Vや+1.5Vであっても良い。

プローブ端子は、外部に接続されていれば良く、チップ間接続されている端子でも良いし、チップ間接続されず直接外部に接続されている端子でも良い。

テストスイッチ19a~19k, 24a~24cのオンオフ制御は、個別に行なうようにしても良いし、一括で行なうようにしても良い。

テストスイッチは、プローブ端子、非プローブ端子以外の端子に設けても良い。

【0047】

電位設定FET28, 29のオンオフは、制御レジスタにより設定できるようにしても良い。

検査信号遮断手段をNANDゲート17で構成したが、一方の入力が中間電位の場合に貫通電流を防ぐことができれば良く、NOR型の構成でも良い。

半導体チップは、3つ以上搭載されていても良い。

上記実施例では、所定電位付与手段をNチャネルMOSFETで構成し、共通線20, 25にGND電位を付与するようにしたが、PチャネルMOSFETで構成して、共通線20, 25に例えば+5Vなどの電位を付与するようにしても良い。また、所定電位付与

10

20

30

40

50

手段は、アナログスイッチで構成しても良い。

プローブ端子は、少なくとも1つ配置されていれば良い。

非プローブ端子に接続される他チップ側の端子出力が全てH i - Z状態に設定可能であれば、入力カットスイッチを設けなくとも良い。

【0048】

半導体チップ3は、例えばEEPROMなどのメモリであっても良い。

水晶振動子12は、例えばセラミック発振子などの発振子であっても良い。

スイッチ手段及び検査信号遮断手段は、チップ間配線によって接続された2つの半導体チップ2, 3のうち少なくとも何れか一方に設ければ良い。

半導体チップ2の外部クロック端子40を、半導体チップ3の入力端子又は入出力端子に接続する構成としても良い。このようにすれば、外部端子41から半導体チップ3に対してテスト用の信号を入力することができる。

第2実施例のクロック選択回路42を、クロック端子10側にも設けても良い。

【図面の簡単な説明】

【0049】

【図1】本発明の第1実施例を示す、半導体集積回路の構成を本発明の要旨に係る部分のみ示す図

【図2】端子特性検査を行なう場合の手順を示すフローチャート

【図3】本発明の第2実施例を示す図1の一部に相当する図

【図4】従来技術を示す図1相当図

【符号の説明】

【0050】

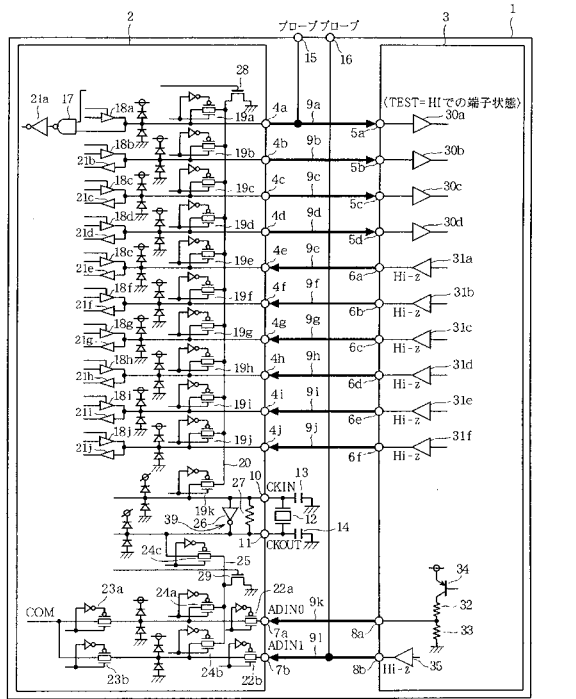
図面中、1は半導体集積回路、2は半導体チップ（検査対象チップ）、3は半導体チップ、4a, 7bは信号端子（プローブ端子）、4b~4j, 7a, 10, 11は信号端子（非プローブ端子）、15, 16は外部端子、17はNANDゲート（検査信号遮断手段）、19a~19k, 24a~24cはテストスイッチ（スイッチ手段）、20, 25は共通線、21aは入力バッファ（入力回路）、22a, 22bは入力カットスイッチ（外部信号遮断手段）、28, 29はNチャネルMOSFET（所定電位付与手段）、39は水晶発振回路（発振回路）、40は外部クロック端子、41は外部端子、42はクロック選択回路（選択回路）、50は出力端子（信号端子）を示す。

10

20

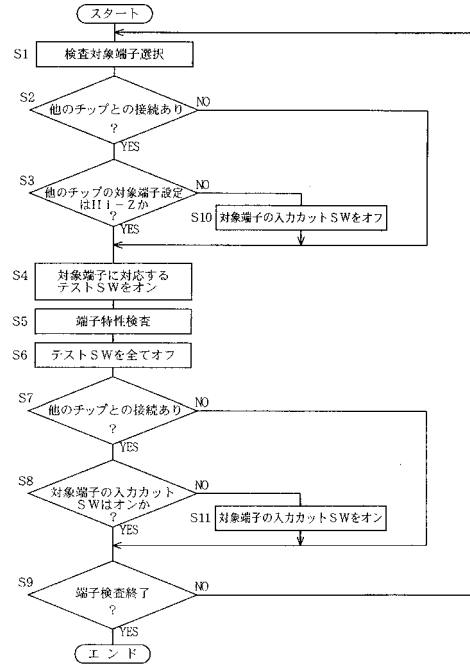
30

【図 1】

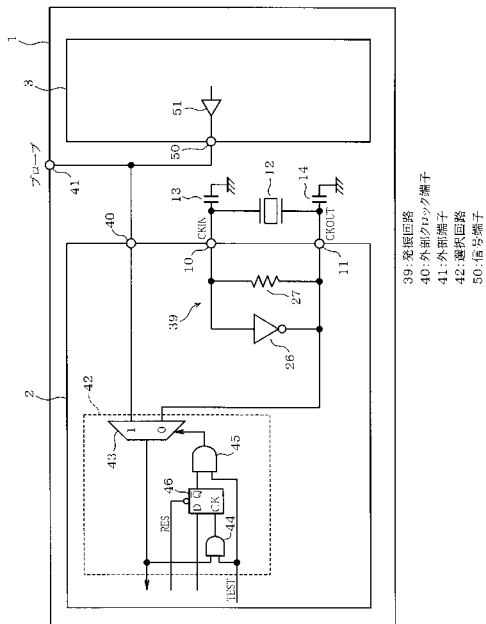


1: 半導体集積回路 4b~4j, 7a, 10, 11: 非プローブ端子 20, 25: 共通線
 2: 検査対象チップ 15, 16: 外部端子 21a: 入力回路
 3: 半導体チップ 17: 検査信号遮断手段 22a, 22b: 外部信号遮断手段
 4a, 7b: プローブ端子 19a~19k, 24a~24c: スイッチ手段 28, 29: 所定電位付与手段

【図 2】

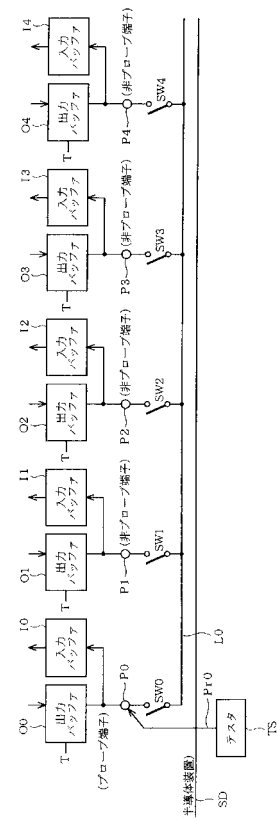


【図 3】



39: 検出回路
 40: 外部端子
 41: 外部端子
 42: 検出回路
 50: 検出回路

【図 4】



フロントページの続き

(72)発明者 小林 千佳良

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

Fターム(参考) 2G132 AA00 AA14 AK07 AK22 AL11 AL31

5F038 BE07 BH04 CA10 CD16 DF03 DF04 DF05 DF16 DT02 DT04

DT05 EZ07 EZ20