

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-128902

(P2012-128902A)

(43) 公開日 平成24年7月5日(2012.7.5)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 3 4 1 A	5 B 0 1 5
G 1 1 C 11/417 (2006.01)	G 1 1 C 11/34 3 0 5	5 L 1 0 6
G 1 1 C 29/42 (2006.01)	G 1 1 C 29/00 6 3 1 D	
	G 1 1 C 29/00 6 3 1 P	

審査請求 有 請求項の数 10 O L (全 20 頁)

(21) 出願番号	特願2010-278836 (P2010-278836)	(71) 出願人	000168285
(22) 出願日	平成22年12月15日 (2010.12.15)		エヌイーシーコンピュータテクノ株式会社
		(74) 代理人	100103894
			弁理士 冢入 健
		(72) 発明者	嶋崎 正
			山梨県甲府市大津町1088-3 エヌイーシーコンピュータテクノ株式会社内
		Fターム(参考)	5B015 HH01 HH03 JJ13 KB43 KB92 NN09
			5L106 AA10 BB12 FF04 FF05

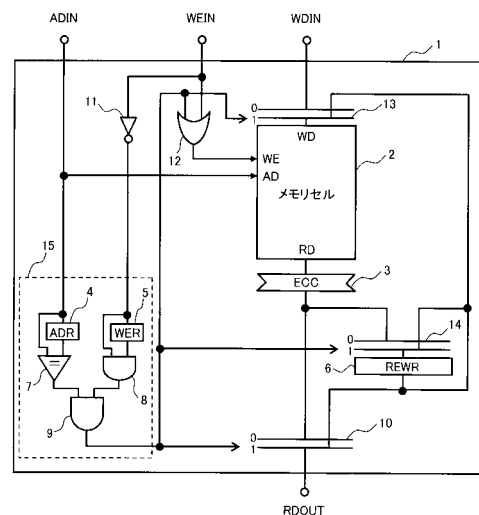
(54) 【発明の名称】 半導体記憶装置およびその制御方法

(57) 【要約】

【課題】プログラム処理性能を損なうことなくデータの信頼性を向上させることが可能な半導体記憶装置を提供することである。

【解決手段】本発明にかかる半導体記憶装置は、アドレスに応じたデータの読み出しまたは書き込みを実施するメモリセル2と、メモリセル2に対して2サイクル以上同一アドレスで読み出しを行なっていることを検出する検出手段15と、メモリセル2から読み出されたデータのエラーを訂正するエラー訂正手段3と、エラー訂正後のデータを保持するデータ保持手段6と、を備える。メモリセル2は、検出手段15の検出結果に応じて、データ保持手段6に保持されているデータを前記アドレスに対応づけて書き込む。データ保持手段6は、前記アドレスに応じた読み出しデータとしてデータ保持手段6に保持されているデータを出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

アドレスに応じたデータの読み出しまたは書き込みを実施するメモリセルと、
前記メモリセルに対して 2 サイクル以上同一アドレスで読み出しを行なっていることを
検出する検出手段と、
前記メモリセルから読み出されたデータのエラーを訂正するエラー訂正手段と、
前記エラー訂正後のデータを保持するデータ保持手段と、を備え、
前記メモリセルは、前記検出手段の検出結果に応じて、前記データ保持手段に保持され
ている前記データを前記アドレスに対応づけて書き込み、
前記データ保持手段は、前記アドレスに応じた読み出しデータとして前記データ保持手
段に保持されている前記データを出力する、
半導体記憶装置。

10

【請求項 2】

前記同一アドレスが入力される 1 サイクル目に対応するタイミングにおいて、前記デー
タ保持手段は前記アドレスに対応した前記エラー訂正後のデータを保持し、
前記同一アドレスが入力される 2 サイクル目に対応するタイミングにおいて、前記メモ
リセルは前記アドレスに対応づけて前記データ保持手段に保持されている前記データを書
き込み、前記データ保持手段は、前記アドレスに対応した読み出しデータとして前記デー
タ保持手段に保持されている前記データを出力する、
請求項 1 に記載の半導体記憶装置。

20

【請求項 3】

2 サイクルに 1 回アドレスをインクリメントするアドレス生成手段と、
前記メモリセルからのデータの読み出しまたは前記メモリセルへのデータの書き込みを
サイクル毎に交互に切り替える切り替え手段と、を更に備え、
前記メモリセルは、前記切り替え手段からの信号に応じて、前記アドレス生成手段で生
成されたアドレスに応じたデータの読み出し、または当該アドレスに対応づけた前記デー
タ保持手段に保持されている前記データの書き込みを実施する、
請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記データ保持手段は、前記エラー訂正後のデータを保持する第 1 のデータ保持手段と
、前記エラー訂正後のデータを保持すると共に当該データを前記検出手段の検出結果に応
じてホールド可能な第 2 のデータ保持手段と、を備え、

30

前記同一アドレス n (n は任意の整数とする) が入力される 1 サイクル目に対応するタ
イミングにおいて、前記第 1 および第 2 のデータ保持手段はアドレス n に対応した前記エ
ラー訂正後のデータを保持し、

前記同一アドレス n が入力される 2 サイクル目に対応するタイミングにおいて、前記メモ
リセルは前記アドレス n に対応づけて前記第 1 のデータ保持手段に保持されている前記
データを書き込み、前記第 2 のデータ保持手段は、前記アドレス n に対応した読み出しデ
ータとして前記第 2 のデータ保持手段に保持されている前記データを出力し、

前記同一アドレス n が入力される 3 サイクル目に対応するタイミングにおいて、前記第
1 のデータ保持手段は前記アドレス生成手段で生成されたアドレス $n + 1$ に対応した前記
エラー訂正後のデータを保持し、

40

前記同一アドレス n が入力される 4 サイクル目に対応するタイミングにおいて、前記メモ
リセルは前記アドレス $n + 1$ に対応づけて前記第 1 のデータ保持手段に保持されている
前記データを書き込み、前記第 2 のデータ保持手段は、前記アドレス n に対応した読み出
しデータとして前記第 2 のデータ保持手段に保持されている前記データを出力する、

請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記半導体記憶装置に供給される書き込みデータと、前記データ保持手段に保持されて
いる前記データと、を選択的に出力する第 1 のセクタを更に備え、

50

前記メモリセルへの書き込みを指示するライトイネーブル信号が前記半導体記憶装置に供給された場合、前記第 1 のセクタは前記書き込みデータを前記メモリセルに供給し、前記検出手段が前記メモリセルに対して 2 サイクル以上同一アドレスで読み出しを行なっていることを検出した場合、前記第 1 のセクタは前記データ保持手段に保持されている前記データを前記メモリセルに供給する、

請求項 1 または 2 に記載の半導体記憶装置。

【請求項 6】

前記半導体記憶装置に供給される書き込みデータと、前記第 1 のデータ保持手段に保持されている前記データと、を選択的に出力する第 2 のセクタを更に備え、

前記メモリセルへの書き込みを指示するライトイネーブル信号が前記半導体記憶装置に供給された場合、前記第 2 のセクタは前記書き込みデータを前記メモリセルに供給し、

前記切り替え手段が前記メモリセルへのデータの書き込みを指示する信号を出力した場合、前記第 2 のセクタは前記第 1 のデータ保持手段に保持されている前記データを前記メモリセルに供給する、

請求項 4 に記載の半導体記憶装置。

【請求項 7】

前記検出手段は、

一方の入力に前記半導体記憶装置に供給される前記アドレスが供給され、他方の入力に第 1 のレジスタを介して前記アドレスが供給される比較器と、

一方の入力に前記半導体記憶装置に供給されるライトイネーブル信号が反転された信号が供給され、他方の入力に第 2 のレジスタを介して前記ライトイネーブル信号が反転された信号が供給される第 1 の AND ゲートと、

一方の入力に前記比較器の出力が供給され、他方の入力に前記第 1 の AND ゲートの出力が供給される第 2 の AND ゲートと、を備える

請求項 1 乃至 6 のいずれか一項に記載の半導体記憶装置。

【請求項 8】

半導体記憶装置の制御方法であって、

前記半導体記憶装置は、

アドレスに応じたデータの読み出しまたは書き込みを実施するメモリセルと、

前記メモリセルに対して 2 サイクル以上同一アドレスで読み出しを行なっていることを検出する検出手段と、

前記メモリセルから読み出されたデータのエラーを訂正するエラー訂正手段と、

前記エラー訂正後のデータを保持するデータ保持手段と、を備え、

前記メモリセルが、前記検出手段の検出結果に応じて、前記データ保持手段に保持されている前記データを前記アドレスに対応づけて書き込み、

前記データ保持手段が、前記アドレスに応じた読み出しデータとして前記データ保持手段に保持されている前記データを出力する、

半導体記憶装置の制御方法。

【請求項 9】

前記同一アドレスが入力される 1 サイクル目に対応するタイミングにおいて、前記データ保持手段が前記アドレスに対応した前記エラー訂正後のデータを保持し、

前記同一アドレスが入力される 2 サイクル目に対応するタイミングにおいて、前記メモリセルが前記アドレスに対応づけて前記データ保持手段に保持されている前記データを書き込み、前記データ保持手段が、前記アドレスに対応した読み出しデータとして前記データ保持手段に保持されている前記データを出力する、

請求項 8 に記載の半導体記憶装置の制御方法。

【請求項 10】

前記半導体記憶装置は、

2 サイクルに 1 回アドレスをインクリメントするアドレス生成手段と、

前記メモリセルからのデータの読み出しまたは前記メモリセルへのデータの書き込みを

10

20

30

40

50

サイクル毎に交互に切り替える切り替え手段と、

前記データ保持手段として、前記エラー訂正後のデータを保持する第1のデータ保持手段と、前記エラー訂正後のデータを保持すると共に当該データを前記検出手段の検出結果に応じてホールド可能な第2のデータ保持手段と、を更に備え、

前記同一アドレス n (n は任意の整数とする)が入力される1サイクル目に対応するタイミングにおいて、前記第1および第2のデータ保持手段がアドレス n に対応した前記エラー訂正後のデータを保持し、

前記同一アドレス n が入力される2サイクル目に対応するタイミングにおいて、前記メモリセルが前記アドレス n に対応づけて前記第1のデータ保持手段に保持されている前記データを書き込み、前記第2のデータ保持手段が、前記アドレス n に対応した読み出しデータとして前記第2のデータ保持手段に保持されている前記データを出力し、

前記同一アドレス n が入力される3サイクル目に対応するタイミングにおいて、前記第1のデータ保持手段が前記アドレス生成手段で生成されたアドレス $n+1$ に対応した前記エラー訂正後のデータを保持し、

前記同一アドレス n が入力される4サイクル目に対応するタイミングにおいて、前記メモリセルが前記アドレス $n+1$ に対応づけて前記第1のデータ保持手段に保持されている前記データを書き込み、前記第2のデータ保持手段が、前記アドレス n に対応した読み出しデータとして前記第2のデータ保持手段に保持されている前記データを出力する、

請求項8に記載の半導体記憶装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置およびその制御方法に関し、特に誤り訂正回路を含む半導体記憶装置およびその制御方法に関する。

【背景技術】

【0002】

一般的に、DRAM (Dynamic Random Access Memory) 等の半導体メモリを含む回路では、 α 線や中性子線が原因で発生するソフトエラーの影響を受ける。このソフトエラーの影響を少なくするために、1ビットエラー訂正、2ビットエラー検出の機能を有するECC (Error Checking & Correction) 回路が設けられている。さらに、メモリからデータを読み出す際に1ビットエラーが発生するとECC回路によりそのデータを訂正し、その訂正後のデータを同じアドレスに書き込む動作(再書き込み動作)を行うことにより、メモリから読み出されるデータの信頼性を高めることができる。このような再書き込み動作はパトリール方式とも呼ばれ、特許文献1乃至3にその技術が開示されている。

【0003】

また、SRAM (Static Random Access Memory) においても、半導体素子構造の微細化および記憶容量の増加に伴い、ソフトエラーによる影響が無視できないものとなっている。特許文献4には、このソフトエラーによる影響を少なくするための技術が開示されている。特許文献4に開示されている半導体メモリでは、メモリセルからのデータを読み出し、エラー訂正、メモリセルへの書き戻し、といった一連の動作を1クロックサイクルで実現している。また、特許文献5には強誘電体メモリのソフトエラーによりシステムへの大きなダメージが引き起こされる確率を低減する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開昭59-53949号公報

【特許文献2】特開平2-103652号公報

【特許文献3】特開平4-23295号公報

【特許文献4】特開2006-114141号公報

【特許文献5】特開2004-199713号公報

10

20

30

40

50

【発明の概要】**【発明が解決しようとする課題】****【0005】**

背景技術で説明したように、パトロール方式を用いた半導体記憶装置（例えば、D R A M）では、1ビットエラーや2ビットエラー等が発生する割合を小さくすることができるため、半導体記憶装置の信頼性を向上させることができる。しかしながら、パトロール方式を用いた半導体記憶装置では、パトロール処理を実行している間、プログラムを処理するためのメモリアクセスは待たされるため、プログラム処理性能を損なうという問題があった。

【0006】

上記課題に鑑み本発明の目的は、プログラム処理性能を損なうことなくデータの信頼性を向上させることが可能な半導体記憶装置およびその制御方法を提供することである。

【課題を解決するための手段】**【0007】**

本発明にかかる半導体記憶装置は、アドレスに応じたデータの読み出しまたは書き込みを実施するメモリセルと、前記メモリセルに対して2サイクル以上同一アドレスで読み出しを行なっていることを検出する検出手段と、前記メモリセルから読み出されたデータのエラーを訂正するエラー訂正手段と、前記エラー訂正後のデータを保持するデータ保持手段と、を備え、前記メモリセルは、前記検出手段の検出結果に応じて、前記データ保持手段に保持されている前記データを前記アドレスに対応づけて書き込み、前記データ保持手段は、前記アドレスに応じた読み出しデータとして前記データ保持手段に保持されている前記データを出力する。

【0008】

本発明にかかる、アドレスに応じたデータの読み出しまたは書き込みを実施するメモリセルと、前記メモリセルに対して2サイクル以上同一アドレスで読み出しを行なっていることを検出する検出手段と、前記メモリセルから読み出されたデータのエラーを訂正するエラー訂正手段と、前記エラー訂正後のデータを保持するデータ保持手段と、を備える半導体記憶装置の制御方法は、前記メモリセルが、前記検出手段の検出結果に応じて、前記データ保持手段に保持されている前記データを前記アドレスに対応づけて書き込み、前記データ保持手段が、前記アドレスに応じた読み出しデータとして前記データ保持手段に保持されている前記データを出力する。

【発明の効果】**【0009】**

本発明により、プログラム処理性能を損なうことなくデータの信頼性を向上させることが可能な半導体記憶装置およびその制御方法を提供することができる。

【図面の簡単な説明】**【0010】**

【図1】実施の形態1にかかる半導体記憶装置を示す図である。

【図2】実施の形態1にかかる半導体記憶装置の動作を説明するためのタイミングチャートである。

【図3】実施の形態2にかかる半導体記憶装置を示す図である。

【図4】実施の形態2にかかる半導体記憶装置の動作を説明するためのタイミングチャートである。

【発明を実施するための形態】**【0011】****実施の形態1**

以下、図面を参照して本発明の実施の形態について説明する。

図1は、本発明の実施の形態1にかかる半導体記憶装置を示す図である。

本実施の形態にかかる半導体記憶装置1は、アドレスに応じたデータの読み出しまたは書き込みを実施するメモリセル2と、メモリセル2に対して2サイクル以上同一アドレス

10

20

30

40

50

で読み出しを行なっていることを検出する検出手段 15 と、メモリセル 2 から読み出されたデータのエラーを訂正するエラー訂正手段 (ECC 回路) 3 と、エラー訂正後のデータを保持するデータ保持手段 (レジスタ (REWR)) 6 と、を備える。メモリセル 2 は、検出手段 15 の検出結果に応じて、データ保持手段 6 に保持されているデータを前記アドレスに対応づけて書き込む。また、データ保持手段 6 は、前記アドレスに応じた読み出しデータとしてデータ保持手段 6 に保持されているデータを出力する。以下、本実施の形態にかかる半導体記憶装置について詳細に説明する。

【0012】

図 1 に示す半導体記憶装置は、1ポート RAM と呼ばれ (1RW RAM と呼ばれる)、1 サイクルに読み出し又は書き込みのどちらか一方しか実行できないタイプの RAM である。図 1 に示す半導体記憶装置では、2 サイクル以上読み出しアドレスに変化がなかった際に、読み出したデータを ECC 回路にて訂正後、メモリセル 2 への再書き込みを実施することが可能である。

【0013】

図 1 に示す半導体記憶装置 1 は、メモリセル 2、ECC 回路 3、レジスタ 4 ~ 6、比較器 7、AND ゲート 8、9、セクタ 10、13、14、インバータ 11、および OR ゲート 12 を有する。ここで、レジスタ 4、5、比較器 7、および AND ゲート 8、9 は検出手段 15 を構成する。半導体記憶装置 1 にはアドレス信号 (ADIN)、ライトイネーブル信号 (WEIN)、および書き込みデータ (WDIN) が入力される。また、半導体記憶装置 1 はアドレス信号 (ADIN) に対応する読み出しデータ (RDOUT) を出力する。なお、ライトイネーブル信号 (WEIN) が "1" の時に書き込みを行なうか、また "0" の時に書き込みを行なうかについては任意に設定することができるが、本実施の形態ではライトイネーブル信号 (WEIN) が "1" の時に書き込みを行なうものとする。

【0014】

レジスタ (ADR) 4 は、端子 ADIN から供給されたアドレス信号 (ADIN) を保持するレジスタである。比較器 7 は、一方の入力に端子 ADIN から供給されたアドレス信号 (ADIN) が供給され、他方の入力にレジスタ 4 の出力が供給され、これらの比較結果を AND ゲート 9 に出力する。すなわち、比較器 7 は、端子 ADIN から供給されたアドレス信号 (ADIN) と、レジスタ 4 に保持された 1 サイクル前のアドレス信号とを比較し、2 サイクル以上アドレス信号に変化がないか否かをチェックする。比較器 7 は、端子 ADIN から供給されたアドレス信号 (ADIN) と、レジスタ 4 に保持された 1 サイクル前のアドレス信号とが同一である場合、ハイレベルの信号 ("1") を出力する。

【0015】

レジスタ (WER) 5 は、端子 WEIN から供給されたライトイネーブル信号 (WEIN) をインバータ 11 で反転させた信号を保持するレジスタである。AND ゲート (第 1 の AND ゲート) 8 は、一方の入力に端子 WEIN から供給されたライトイネーブル信号 (WEIN) をインバータ 11 で反転させた信号が供給され、他方の入力にレジスタ 5 の出力が供給され、これらの論理積を AND ゲート 9 に出力する。すなわち、AND ゲート 8 は、端子 WEIN から供給されたライトイネーブル信号 (WEIN) をインバータ 11 で反転させた信号と、レジスタ 5 に保持された 1 サイクル前の反転されたライトイネーブル信号 (WEIN) とを比較し、2 サイクル以上書き込みがないこと (つまり、2 サイクル以上ライトイネーブル信号 (WEIN) が "0" であること) をチェックする。

【0016】

AND ゲート (第 2 の AND ゲート) 9 は、一方の入力に比較器 7 の出力が供給され、他方の入力に AND ゲート 8 の出力が供給され、これらの論理積を出力する。つまり、AND ゲート 9 は、2 サイクル以上同じアドレスで読み出しを行なっていることを検出する。半導体記憶装置 1 が 2 サイクル以上同じアドレスで読み出しを行なっている場合、AND ゲート 9 はハイレベルの信号 ("1") を出力する。

【0017】

OR ゲート 12 は、端子 WEIN から供給されたライトイネーブル信号 (WEIN) と

ANDゲート9の出力とを入力し、論理和を出力する。ここで、ANDゲート9の出力はメモリセル2への再書き込み時のライトイネーブル信号となる。よって、ORゲート12はメモリセル2のライトイネーブル(WE)に、メモリセル2への再書き込みを意味するライトイネーブル信号(ANDゲート9の出力)、またはメモリセル2への書き込みを意味するライトイネーブル信号(WEIN)を出力する。

【0018】

メモリセル2は、ライトイネーブル(WE)がハイレベルの時にアドレス(AD)に対応した書き込みデータ(WD)を保持する。また、ライトイネーブル(WE)がロウレベルの時にアドレス(AD)に対応した読み出しデータ(RD)を出力する。

【0019】

ECC回路3は、メモリセル2の読み出しデータ(RD)を入力し、当該データにエラーがある場合は当該データを訂正する。レジスタ(REWR)6は、ECC回路3で訂正されたデータをメモリセル2に書き戻すために、当該訂正されたデータを保持する。

【0020】

セクタ14は、ANDゲート9の出力に応じて、ECC回路3で訂正されたデータまたはレジスタ6に保持されているデータを選択し、レジスタ6に出力する。つまり、セクタ14は、端子ADINから供給されたアドレス信号(ADIN)が毎サイクル異なる場合(この場合はANDゲート9がロウレベルであり、メモリセル2への再書き込みが実施されない)、ECC回路3で訂正されたデータを選択する。また、セクタ14は、端子ADINから供給されたアドレス信号(ADIN)が2サイクル以上同一でかつ読み出しを行なっている場合(この場合はANDゲート9がハイレベルであり、メモリセル2への再書き込みが実施される)、レジスタ6のデータをホールドする。

【0021】

セクタ(第1のセクタ)13は、ANDゲート9の出力に応じて、書き込みデータ(WDIN)またはレジスタ6に保持されているデータを選択し、メモリセル2へ出力する。つまり、セクタ13は、端子ADINから供給されたアドレス信号(ADIN)が毎サイクル異なる場合またはメモリセル2への書き込みを指示するライトイネーブル信号(WEIN)が供給された場合(この場合はANDゲート9がロウレベルであり、メモリセル2への再書き込みが実施されない)、書き込みデータ(WDIN)を選択する。また、セクタ13は、端子ADINから供給されたアドレス信号(ADIN)が2サイクル以上同一でかつ読み出しを行なっている場合(この場合はANDゲート9がハイレベルであり、メモリセル2への再書き込みが実施される)、レジスタ6に保持されているデータを選択する。

【0022】

セクタ10は、ANDゲート9の出力に応じて、ECC回路3で訂正されたデータまたはレジスタ6に保持されているデータを選択し、半導体記憶装置1の読み出しデータ(RDOUT)として出力する。つまり、セクタ10は、端子ADINから供給されたアドレス信号(ADIN)が毎サイクル異なる場合(この場合はANDゲート9がロウレベルであり、メモリセル2への再書き込みが実施されない)、ECC回路3で訂正されたデータを選択する。また、セクタ10は、端子ADINから供給されたアドレス信号(ADIN)が2サイクル以上同一でかつ読み出しを行なっている場合(この場合はANDゲート9がハイレベルであり、メモリセル2への再書き込みが実施される)、レジスタ6に保持されているデータを選択する。

【0023】

次に、本実施の形態にかかる半導体記憶装置の動作について、図2に示すタイミングチャートを用いて説明する。図2に示すタイミングチャートでは、端子ADINから供給されたアドレス信号(ADIN)が"2"の時に2サイクル間同一アドレスの読み出しが実施される。また、アドレス信号(ADIN)が"5"の時に3サイクル間同一アドレスが続くが、最初の1サイクルはアドレス"5"への書き込み(つまり、WEINがハイレベルとなる)が実施される。また、アドレス信号(ADIN)が"6"の時に3サイクル間同一アド

10

20

30

40

50

レスの読み出しが実施される。なお、図2のタイミングチャートに示すように、本実施の形態にかかる半導体記憶装置ではアドレス信号(ADIN)が入力された後、1サイクル遅れて各アドレス信号(ADIN)に対応した各レジスタへのデータの保持や読み出しデータ(ROUT)の出力等が行なわれる。

【0024】

まず、半導体記憶装置1にアドレス信号(ADIN)として"0"が供給されると、レジスタ(ADR)4はADR="0"を保持する。このとき、ライトイネーブル信号(WEIN)はロウレベル("0")であるので、レジスタ(WER)5はWER="1"を保持する。ANDゲート9の出力はロウレベルとなる。ライトイネーブル信号(WEIN)およびANDゲート9の出力が共にロウレベルであるので、メモリセル2のライトイネーブル(WE)はロウレベルとなる。メモリセル2のアドレス(AD)には、アドレス信号(ADIN)である"0"が供給される。このとき、メモリセル2は、AD="0"に対応した読み出しデータ(RD="D0")をECC回路3に出力する。セクタ14は、ANDゲート9の出力がロウレベルであるので、ECC回路3の出力を選択する。レジスタ(REWR)6はECC回路3の出力"D0"を保持する。セクタ10は、ANDゲート9の出力がロウレベルであるので、ECC回路3の出力を選択する。よって、半導体記憶装置1の出力(ROUT)として"D0"が出力される。以降、アドレス信号(ADIN)が"1"、1つ目の"2"の場合も同様の動作となる。

【0025】

半導体記憶装置1にアドレス信号(ADIN)として2つ目の"2"が供給されると、比較器7は、供給されたアドレス信号(ADIN)とレジスタ(ADR)4に保持されている値が共に"2"であるので、ANDゲート9にハイレベルの信号を出力する。また、ANDゲート8は、供給されたライトイネーブル信号(WEIN)を反転した信号とレジスタ(WER)5に保持されている値が共にハイレベルであるので、ANDゲート9にハイレベルの信号を出力する。よって、ANDゲート9の出力はハイレベルとなる。

【0026】

ANDゲート9の出力がハイレベルであるので、ORゲート12はメモリセル2のライトイネーブル(WE)にハイレベルの信号を出力する。メモリセル2のアドレス(AD)には、アドレス信号(ADIN)である"2"が供給される。セクタ14は、ANDゲート9の出力がハイレベルであるので、レジスタ(REWR)6の値をホールドする。セクタ13は、ANDゲート9の出力がハイレベルであるので、レジスタ(REWR)6の値であるREWR="D2"をメモリセル2の書き込みデータ(WD)として供給する。このとき、メモリセル2のライトイネーブル(WE)がハイレベルであるので、アドレス(AD="2")に対応した書き込みデータWD="D2"がメモリセル2に再書き込みされる。一方、セクタ10はANDゲート9の出力がハイレベルであるので、レジスタ(REWR)6に保持されているデータ"D2"を選択する。よって、半導体記憶装置1の出力(ROUT)として"D2"が出力される。

【0027】

アドレス信号(ADIN)として"3"、"4"が供給された場合の動作についても、上記で説明したアドレス信号(ADIN)として"0"が供給された場合の動作と同様である。

【0028】

次に、アドレス信号(ADIN)として3サイクル間"5"が供給される場合について説明する。この場合、最初の1サイクルはアドレス"5"への書き込み(つまり、WEINがハイレベル)が実施される。アドレス信号(ADIN)として最初のアドレス信号ADIN="5"が供給されると、比較器7は、レジスタ4に保持されているADR="4"と、供給されたアドレス信号ADIN="5"とが異なるのでANDゲート9にロウレベルの信号を出力する。よって、ANDゲート9の出力はロウレベルとなる。

【0029】

また、端子WEINからハイレベルのライトイネーブル信号(WEIN)が供給されると、ORゲート12は、メモリセル2のライトイネーブル(WE)にハイレベルの信号を

10

20

30

40

50

出力する。このとき、セクタ 13 は、AND ゲート 9 の出力がロウレベルであるので、端子 W D I N から供給された書き込みデータ W D I N = " D 5 " をメモリセル 2 の書き込みデータ (W D) として出力する。そして、メモリセル 2 のライトイネーブル (W E) がハイレベルであるので、アドレス (A D = " 5 ") に対応した書き込みデータ (W D = " D 5 ") がメモリセル 2 に書き込まれる。

【 0 0 3 0 】

なお、この場合は AND ゲート 9 の出力がロウレベルであるので、セクタ 10、14 は ECC 回路 3 の出力を選択する。しかし、メモリセル 2 からは読み出しデータ (R D) が出力されないので、半導体記憶装置 1 のデータ出力 (R D O U T) とレジスタ (R E W R) 6 の値は " 不定 " となる。

10

【 0 0 3 1 】

次に、アドレス信号 (A D I N) として、2 つ目の A D I N = " 5 " と 3 つ目の A D I N = " 5 " が順次供給される。このときの動作は、上記で説明した 1 つ目の A D I N = " 2 " と 2 つ目の A D I N = " 2 " が供給された場合の動作と同様であるので重複した説明は省略する。

【 0 0 3 2 】

次に、アドレス信号 (A D I N) として、3 サイクル間 A D I N = " 6 " が供給される。アドレス信号 (A D I N) として、1 つ目の A D I N = " 6 " と 2 つ目の A D I N = " 6 " が供給された場合の動作は、上記で説明した 1 つ目の A D I N = " 2 " と 2 つ目の A D I N = " 2 " が供給された場合の動作と同様であるので重複した説明は省略する。

20

【 0 0 3 3 】

2 つ目の A D I N = " 6 " が供給された後、アドレス信号 (A D I N) として 3 つ目の A D I N = " 6 " が供給される。このとき、比較器 7 は、供給されたアドレス信号 (A D I N) とレジスタ (A D R) 4 に保持されている値が共に " 6 " であるので、AND ゲート 9 にハイレベルの信号を出力する。また、AND 8 は、供給されたライトイネーブル信号 (W E I N) を反転した信号とレジスタ (W E R) 5 に保持されている値が共にハイレベルであるので、AND ゲート 9 にハイレベルの信号を出力する。よって、AND ゲート 9 の出力はハイレベルとなる。

【 0 0 3 4 】

AND ゲート 9 の出力がハイレベルであるので、OR ゲート 12 はメモリセル 2 のライトイネーブル (W E) にハイレベルの信号を出力する。メモリセル 2 のアドレス (A D) には、アドレス信号 (A D I N) である " 6 " が供給される。セクタ 14 は、AND ゲート 9 の出力がハイレベルであるので、レジスタ (R E W R) 6 の値をホールドする。セクタ 13 は、AND ゲート 9 の出力がハイレベルであるので、レジスタ (R E W R) 6 の値である R E W R = " D 6 " をメモリセル 2 の書き込みデータ (W D) として供給する。このとき、メモリセル 2 のライトイネーブル (W E) がハイレベルであるので、アドレス (A D = " 6 ") に対応した書き込みデータ (W D = " D 6 ") がメモリセル 2 に再書き込みされる。一方、セクタ 10 は AND ゲート 9 の出力がハイレベルであるので、レジスタ (R E W R) 6 に保持されている ECC 回路 3 でエラー訂正済みのデータ " D 6 " を選択する。よって、半導体記憶装置 1 の出力 (R D O U T) として " D 6 " が出力される。

30

40

【 0 0 3 5 】

本実施の形態にかかる半導体記憶装置の動作についてまとめると次のようになる。

(1) 同一アドレス n (n は任意の整数) が入力される 1 サイクル目に対応するタイミング。

AND ゲート 9 の出力はロウレベルとなる。メモリセル 2 は、アドレス n に対応した読み出しデータ (R D) を出力する。レジスタ (R E W R) 6 はアドレス n に応じたエラー訂正後のデータを保持する。また、セクタ 10 は、ECC 回路 3 から出力されたアドレス n に対応したエラー訂正後のデータを半導体記憶装置の出力 (R D O U T) として出力する。

【 0 0 3 6 】

50

(2) 同一アドレス n が入力される 2 サイクル目に対応するタイミング。

AND ゲート 9 の出力はハイレベルとなる。メモリセル 2 はアドレス n に対応づけてレジスタ (REWR) 6 に保持されているデータを書き込む (再書き込み)。レジスタ (REWR) 6 は、アドレス n に対応した読み出しデータとしてレジスタ (REWR) 6 に保持されているデータを半導体記憶装置 1 のデータ出力 (RDOUT) として出力する。

【0037】

背景技術で説明したように、パトロール方式を用いた半導体記憶装置 (例えば、DRAM) では、パトロール処理を実行している間、プログラムを処理するためのメモリアクセスは待たされるため、プログラム処理性能を損なうという問題があった。すなわち、パトロール実行中のメモリアドレスやバンクが、プログラムを処理する通常命令によるメモリアクセスと重なった場合、通常のメモリアクセスはパトロール処理を実行しているアドレスが異なるアドレスに遷移するまで待たされるという問題があった。

【0038】

また、キャッシュメモリなどに使われる半導体記憶装置 (例えば、SRAM) に於いては、高速でプログラムを処理する情報処理装置のクロック周波数が高いため、特許文献 4 に開示されているような技術では遅延制約を満たすことが困難であるという問題があった。

【0039】

これに対して本実施の形態にかかる半導体記憶装置 1 では、2 サイクル以上同じアドレスで読み出しを行なっている場合、レジスタ (REWR) 6 に保持されている 1 つ前のサイクルのデータをメモリセル 2 へ再書き込みすると同時に、当該保持されているデータを半導体記憶装置 1 の出力 (RDOUT) として出力している。よって、メモリセル 2 が 1 サイクルに読み出し又は書き込みのどちらか一方しか実行できない場合であっても、メモリセル 2 へのデータの再書き込みと、半導体記憶装置 1 からのデータの出力 (データの読み出し) とを 1 サイクルで同時に実施することができる。したがって、メモリアクセスタイミングを変更する必要がなくなり、クロック周波数が高い場合であっても遅延制約を満たすことができる。

【0040】

よって、本実施の形態にかかる発明により、プログラム処理性能を損なうことなくデータの信頼性を向上させることが可能な半導体記憶装置およびその制御方法を提供することができる。

【0041】

実施の形態 2

次に、本発明の実施の形態 2 について説明する。図 3 は、実施の形態 2 にかかる半導体記憶装置を示す図である。本実施の形態にかかる半導体記憶装置では、再書き込み動作ついて巡回機能を追加している。これ以外の構成は、基本的には実施の形態 1 で説明した半導体記憶装置と同様である。ここで巡回機能とは、1 ポート RAM において 4 サイクル以上読み出しアドレスに変化がない場合に、その変化しなくなったアドレスを開始アドレスとして 2 サイクルに 1 回の割合でアドレスをインクリメントし、1 サイクル目に読み出したデータを ECC 回路にて訂正後、2 サイクル目に書き戻すことを順次繰り返す機能である。

【0042】

図 3 に示す半導体記憶装置 20 は、メモリセル 21、ECC 回路 22、レジスタ 23 ~ 28、比較器 29、AND ゲート 30、31、セクタ 32、34 ~ 37、40、インバータ 33、38、および OR ゲート 39 を有する。ここで、レジスタ 23、24、比較器 29、および AND ゲート 30、31 は検出手段 45 を構成する。また、レジスタ 28、セクタ 32、およびインバータ 33 は、メモリセル 21 からのデータの読み出しまたはメモリセル 21 へのデータの書き込みをサイクル毎に交互に切り替える切り替え手段 46 を構成する。また、レジスタ 25 およびセクタ 34、35 は、2 サイクルに 1 回アドレスをインクリメントするアドレス生成手段 47 を構成する。また、本実施の形態ではデー

タ保持手段４８は、エラー訂正後のデータを保持する第１のデータ保持手段（レジスタ（ＲＥＷＲ））２７と、エラー訂正後のデータを保持すると共に当該データを検出手段４５の検出結果に応じてホールド可能な第２のデータ保持手段（レジスタ（ＨＬＤＲ））２６と、を備える。

【００４３】

半導体記憶装置２０にはアドレス信号（ＡＤＩＮ）、ライトイネーブル信号（ＷＥＩＮ）、および書き込みデータ（ＷＤＩＮ）が入力される。また、半導体記憶装置２０はアドレス信号（ＡＤＩＮ）に対応する読み出しデータ（ＲＤＯＵＴ）を出力する。なお、ライトイネーブル信号（ＷＥＩＮ）が"１"の時に書き込みを行なうか、また"０"の時に書き込みを行なうのかについては任意に設定することができるが、本実施の形態ではライトイネーブル信号（ＷＥＩＮ）が"１"の時に書き込みを行なうものとする。

10

【００４４】

レジスタ（ＡＤＲ）２３は、端子ＡＤＩＮから供給されたアドレス信号（ＡＤＩＮ）を保持するレジスタである。比較器２９は、端子ＡＤＩＮから供給されたアドレス信号（ＡＤＩＮ）とレジスタ２３の出力とを入力し、これらの比較結果をＡＮＤゲート３１に出力する。すなわち、比較器２９は、端子ＡＤＩＮから供給されたアドレス信号（ＡＤＩＮ）と、レジスタ２３に保持された１サイクル前のアドレス信号とを比較し、２サイクル以上アドレス信号に変化がないか否かをチェックする。比較器２９は、端子ＡＤＩＮから供給されたアドレス信号（ＡＤＩＮ）と、レジスタ２３に保持された１サイクル前のアドレス信号とが同一である場合、ハイレベルの信号を出力する。

20

【００４５】

レジスタ（ＷＥＲ）２４は、端子ＷＥＩＮから供給されたライトイネーブル信号（ＷＥＩＮ）をインバータ３８で反転させた信号を保持するレジスタである。ＡＮＤゲート３０は、端子ＷＥＩＮから供給されたライトイネーブル信号（ＷＥＩＮ）をインバータ３８で反転させた信号とレジスタ２４の出力とを入力し、これらの論理積をＡＮＤゲート３１に出力する。すなわち、ＡＮＤゲート３０は、端子ＷＥＩＮから供給されたライトイネーブル信号（ＷＥＩＮ）をインバータ３８で反転させた信号と、レジスタ２４に保持された１サイクル前の反転されたライトイネーブル信号（ＷＥＩＮ）とを比較し、２サイクル以上書き込みがないこと（つまり、２サイクル以上ライトイネーブル信号（ＷＥＩＮ）が"０"であること）をチェックする。

30

【００４６】

ＡＮＤゲート３１は、比較器２９の出力およびＡＮＤゲート３０の出力を入力し、これらの論理積を出力する。つまり、ＡＮＤゲート３１は、２サイクル以上同じアドレスで読み出しを行なっていることを検出する。半導体記憶装置２０が２サイクル以上同じアドレスで読み出しを行なっている場合、ＡＮＤゲート３１はハイレベルの信号（"１"）を出力する。なお、本実施の形態では、半導体記憶装置２０が２サイクル以上同じアドレスで読み出しを行なっている状態、つまりＡＮＤゲート３１がハイレベルの信号を出力している状態を便宜上"ＲＡＭの巡回中"と表現する。

【００４７】

セクタ３２は、ＡＮＤゲート３１がハイレベルの信号を出力している場合には、レジスタ（ＴＭＧＲ）２８に保持されている値をインバータ３３で反転させた信号を選択し、ＡＮＤゲート３１がロウレベルの信号を出力している場合には"０"を選択する。レジスタ（ＴＭＧＲ）２８は、セクタ３２の出力を保持する。つまり、ＡＮＤゲート３１がハイレベルの信号を２サイクル以上出力し続けている間、セクタ３２はサイクル毎に"０"と"１"を交互に出力する。

40

【００４８】

セクタ３４は、ＡＮＤゲート３１がロウレベルの信号を出力している場合、端子ＡＤＩＮから供給されたアドレス信号（ＡＤＩＮ）を選択する（"０Ｘ"）。また、セクタ３４は、ＡＮＤゲート３１がハイレベルの信号を出力している場合で、かつセクタ３２の出力がロウレベルである場合、レジスタ（パトリールレジスタ：ＰＡＴＲ）２５に保持さ

50

れている値を選択する("10")。また、セクタ34は、ANDゲート31がハイレベルの信号を出力している場合で、かつセクタ32の出力がハイレベルである場合、レジスタ25に保持されている値をインクリメントした値を選択する("11")。レジスタ(PATR)25はセクタ34の出力を保持する。

【0049】

つまり、セクタ34は、ANDゲート31がハイレベルの信号を出力し続けている場合、2サイクルに1回カウントアップした値をアドレスとして出力する。これにより、RAMの巡回中に読み出し動作と書き込み動作を交互に繰り返すことができる。

【0050】

セクタ35は、ANDゲート31がロウレベルの信号を出力している場合、端子ADINから供給されたアドレス信号(ADIN)を選択する。また、セクタ34は、ANDゲート31がハイレベルの信号を出力している場合、レジスタ(PATR)25に保持されている値を選択する。セクタ35の出力は、メモリセル21に対するアドレス(AD)となる。

【0051】

ORゲート39は、端子WEINから供給されたライトイネーブル信号(WEIN)とセクタ32の出力とを入力し、論理和を出力する。ここで、セクタ32の出力はメモリセル21への書き込み時のライトイネーブル信号となる。よって、ORゲート39はメモリセル21のライトイネーブル(WE)に、メモリセル21への書き込みを意味するライトイネーブル信号(セクタ32の出力)、またはメモリセル21への書き込みを意味するライトイネーブル信号(WEIN)を出力する。

【0052】

メモリセル21は、ライトイネーブル(WE)がハイレベルの時にアドレス(AD)に対応した書き込みデータ(WD)を保持する。また、ライトイネーブル(WE)がロウレベルの時にアドレス(AD)に対応した読み出しデータ(RD)を出力する。すなわち、メモリセル21は、切り替え手段46からの信号に応じて、アドレス生成手段47で生成されたアドレスに応じたデータの読み出し、または当該アドレスに対応づけたレジスタ27に保持されているデータの書き込みを実施する。

【0053】

ECC回路22は、メモリセル21の読み出しデータ(RD)を入力し、当該データにエラーがある場合は当該データを訂正する。レジスタ(REWR:第1のレジスタ)27は、ECC回路22で訂正されたデータをメモリセル21に書き戻すために、当該訂正されたデータを保持する。

【0054】

セクタ(第2のセクタ)40は、ANDゲート31の出力に応じて、書き込みデータ(WDIN)またはレジスタ27に保持されているデータを選択し、メモリセル21へ出力する。つまり、セクタ40は、ANDゲート31の出力がハイレベルである場合にはレジスタ(REWR)27に保持されているデータを、ANDゲート31の出力がロウレベルである場合には端子WDINに供給される書き込みデータ(WDIN)を、メモリセル21にそれぞれ供給する。

【0055】

セクタ36は、ANDゲート31の出力に応じて、ECC回路22で訂正されたデータまたはレジスタ(HLDR:第2のレジスタ)26に保持されているデータを選択し、レジスタ26に出力する。つまり、セクタ36は、ANDゲート31の出力がロウレベルである場合にはECC回路22で訂正されたデータを選択する。また、セクタ36は、ANDゲート31の出力がハイレベルである場合にはレジスタ26のデータをホールドする。

【0056】

セクタ37は、ANDゲート31の出力に応じて、ECC回路22で訂正されたデータまたはレジスタ26に保持されているデータを選択し、半導体記憶装置20の読み出し

10

20

30

40

50

データ (R D O U T) として出力する。つまり、セクタ 3 7 は、A N D ゲート 3 1 の出力がロウレベルである場合には E C C 回路 2 2 で訂正されたデータを選択する。また、セクタ 3 7 は、A N D ゲート 3 1 の出力がハイレベルである場合にはレジスタ 2 6 に保持されているデータを選択する。

【 0 0 5 7 】

次に、本実施の形態にかかる半導体記憶装置の動作について、図 4 に示すタイミングチャートを用いて説明する。図 4 に示すタイミングチャートでは、端子 A D I N から供給されたアドレス信号 (A D I N) が " 2 " の時に 2 サイクル間同一アドレスの読み出しが実施される。また、アドレス信号 (A D I N) が " 5 " 以降において同一アドレスが続くが、最初の 1 サイクルはアドレス " 5 " への書き込み (つまり、W E I N がハイレベルとなる) が実施される。なお、図 4 のタイミングチャートに示すように、本実施の形態にかかる半導体記憶装置ではアドレス信号 (A D I N) が入力された後、1 サイクル遅れて各アドレス信号 (A D I N) に対応した各レジスタへのデータの保持や読み出しデータ (R D O U T) の出力等が行なわれる。

【 0 0 5 8 】

まず、半導体記憶装置 2 0 にアドレス信号 (A D I N) として " 0 " が供給されると、レジスタ (A D R) 2 3 は A D R = " 0 " を保持する。このとき、ライトイネーブル信号 (W E I N) はロウレベル (" 0 ") であるので、レジスタ (W E R) 2 4 は W E R = " 1 " を保持する。また、A N D ゲート 3 1 の出力はロウレベルであるので、セクタ 3 2 は " 0 " を出力する。ライトイネーブル信号 (W E I N) およびセクタ 3 2 の出力は共にロウレベルであるので、メモリセル 2 1 のライトイネーブル (W E) はロウレベルとなる。

【 0 0 5 9 】

また、A N D ゲート 3 1 の出力はロウレベルであるので、セクタ 3 5 はアドレス信号 (A D I N) である " 0 " を出力する。よって、メモリセル 2 1 のアドレス (A D) には、アドレス信号 (A D I N) である " 0 " が供給される。このとき、メモリセル 2 1 は、A D = " 0 " に対応した読み出しデータ (R D = " D 0 ") を E C C 回路 2 2 に出力する。セクタ 3 6 は、A N D ゲート 3 1 の出力がロウレベルであるので、E C C 回路 2 2 の出力を選択する。レジスタ (H L D R) 2 6 は E C C 回路 2 2 の出力 " D 0 " を保持する。また、レジスタ (R E W R) 2 7 も E C C 回路 2 2 の出力 " D 0 " を保持する。セクタ 3 7 は、A N D ゲート 3 1 の出力がロウレベルであるので、E C C 回路 2 2 の出力を選択する。よって、半導体記憶装置 2 0 の出力 (R D O U T) として " D 0 " が出力される。以降、アドレス信号 (A D I N) が " 1 "、最初の " 2 " の場合も同様の動作となる。

【 0 0 6 0 】

半導体記憶装置 2 0 にアドレス信号 (A D I N) として 2 つ目の " 2 " が供給されると、比較器 2 9 は、供給されたアドレス信号 (A D I N) とレジスタ (A D R) 2 3 に保持されている値が共に " 2 " であるので、A N D ゲート 3 1 にハイレベルの信号を出力する。また、A N D ゲート 3 0 は、供給されたライトイネーブル信号 (W E I N) を反転した信号とレジスタ (W E R) 2 4 に保持されている値が共にハイレベルであるので、A N D ゲート 3 1 にハイレベルの信号を出力する。よって、A N D ゲート 3 1 の出力はハイレベルとなる。

【 0 0 6 1 】

セクタ 3 2 は、A N D ゲート 3 1 の出力がハイレベルであるので、インバータ 3 3 の出力を選択する。ここで、レジスタ (T M G R) 2 8 の初期値はロウレベル (" 0 ") であるので、セクタ 3 2 からハイレベルの信号が出力される。セクタ 3 4 は、A N D ゲート 3 1 の出力およびセクタ 3 2 の出力が共にハイレベルであるので、レジスタ (P A T R) 2 5 に保持されている値 " 2 " に 1 を加えた " 3 " を出力する。レジスタ (P A T R) 2 5 は、セクタ 3 4 の出力値 " 3 " を保持する。一方、セクタ 3 5 は、A N D ゲート 3 1 の出力がハイレベルであるので、レジスタ (P A T R) 2 5 に既に保持されている値 (つまり、セクタ 3 4 で選択される前の値 " 2 ") を選択する。

【 0 0 6 2 】

セクタ 32 の出力がハイレベルであるので、OR ゲート 39 はメモリセル 21 のライトイネーブル (WE) にハイレベルの信号を出力する。メモリセル 21 のアドレス (AD) には、セクタ 35 の出力値である "2" が供給される。セクタ 40 は、AND ゲート 31 の出力がハイレベルであるので、レジスタ (REWR) 27 の値である REWR = "D2" をメモリセル 21 の書き込みデータ (WD) として供給する。このとき、メモリセル 21 のライトイネーブル (WE) がハイレベルであるので、アドレス (AD = "2") に対応した書き込みデータ (WD = "D2") がメモリセル 21 に再書き込みされる。

【0063】

セクタ 36 は、AND ゲート 31 の出力がハイレベルであるので、レジスタ (HLDR) 26 の値をホールドする。一方、セクタ 37 は AND ゲート 31 の出力がハイレベルであるので、レジスタ (HLDR) 26 に保持されている ECC 回路 22 でエラー訂正済みのデータ "D2" を選択する。よって、半導体記憶装置 20 の出力 (RDOUT) として "D2" が出力される。

【0064】

アドレス信号 (ADIN) として "3"、"4" が供給された場合についても、上記で説明したアドレス信号 (ADIN) として "0" が供給された場合と同様である。

【0065】

次に、アドレス "5" への書き込み (つまり、WEIN = "1") が実施される場合 (符号 50 で示す) について説明する。アドレス信号 (ADIN) として ADIN = "5" が供給されると、比較器 29 は、レジスタ 23 に保持されている ADR = "4" と、供給されたアドレス信号 ADIN = "5" とが異なるので AND ゲート 31 にロウレベルの信号を出力する。よって、AND ゲート 31 の出力はロウレベルとなる。このとき、セクタ 32 の出力はロウレベルとなる。

【0066】

一方、端子 WEIN からはハイレベルのライトイネーブル信号 (WEIN) が供給されるので、OR ゲート 39 は、メモリセル 21 のライトイネーブル (WE) にハイレベルの信号を出力する。このとき、セクタ 40 は、AND ゲート 31 の出力がロウレベルであるので、端子 WDIN から供給された書き込みデータ (WDIN = "D5") をメモリセル 21 の書き込みデータ (WD) として出力する。また、AND ゲート 31 の出力はロウレベルであるので、セクタ 35 はアドレス信号 (ADIN) である "5" を出力する。よって、メモリセル 21 のアドレス (AD) には、アドレス信号 (ADIN) である "5" が供給される。そして、メモリセル 21 のライトイネーブル (WE) がハイレベルであるので、アドレス (AD = "5") に対応した書き込みデータ (WD = "D5") がメモリセル 21 に書き込まれる。

【0067】

なお、この場合は AND ゲート 31 の出力がロウレベルであるので、セクタ 36、37 は ECC 回路 22 の出力を選択する。しかし、メモリセル 21 からは読み出しデータ (RD) が出力されないので、半導体記憶装置 20 のデータ出力 (RDOUT)、レジスタ (HLDR) 26、およびレジスタ (REWR) 27 の値は "不定" となる。

【0068】

次に、アドレス信号 (ADIN) として 4 サイクル以上同じアドレス "5" が供給され、かつ読み出しを行なっている場合 (符号 51 ~ 54 で示す) について説明する。

半導体記憶装置 20 にアドレス信号 (ADIN) として 1 つ目の "5" (符号 51 で示す) が供給されると、比較器 29 は、供給されたアドレス信号 (ADIN) とレジスタ (ADR) 23 に保持されている値が共に "5" であるので、AND ゲート 31 にハイレベルの信号を出力する。一方、AND ゲート 30 は、供給されたライトイネーブル信号 (WEIN) を反転した信号 (ハイレベル) とレジスタ (WER) 24 に保持されている値 (ロウレベル) とが異なるので、AND ゲート 31 にロウレベルの信号を出力する。よって、AND ゲート 31 の出力はロウレベルとなる。

【0069】

10

20

30

40

50

ANDゲート31の出力がロウレベルであるので、セクタ32は"0"を出力する。ORゲート39は、ライトイネーブル信号(WEIN)およびセクタ32の出力が共にロウレベルであるので、メモリセル21のライトイネーブル(WE)にロウレベルの信号を出力する。

【0070】

ANDゲート31の出力がロウレベルであるので、セクタ34はアドレス信号(ADIN)である"5"をレジスタ(PATR)25に保持する。また、ANDゲート31の出力はロウレベルであるので、セクタ35はアドレス信号(ADIN)である"5"を出力する。よって、メモリセル21のアドレス(AD)には、アドレス信号(ADIN)である"5"が供給される。このとき、メモリセル21は、AD="5"に対応した読み出しデータ(RD="D5")をECC回路22に出力する。セクタ36は、ANDゲート31の出力がロウレベルであるので、ECC回路22の出力を選択する。レジスタ(HLDR)26はECC回路22の出力"D5"を保持する。また、レジスタ(REWR)27もECC回路22の出力"D5"を保持する。セクタ37は、ANDゲート31の出力がロウレベルであるので、ECC回路22の出力を選択する。よって、半導体記憶装置20の出力(RDOUT)として"D5"が出力される。

【0071】

次に、半導体記憶装置20にアドレス信号(ADIN)として2つ目の"5"(符号52で示す)が供給されると、比較器29は、供給されたアドレス信号(ADIN)とレジスタ(ADR)23に保持されている値が共に"5"であるので、ANDゲート31にハイレベルの信号を出力する。また、ANDゲート30は、供給されたライトイネーブル信号(WEIN)を反転した信号とレジスタ(WER)24に保持されている値とが共にハイレベルであるので、ANDゲート31にハイレベルの信号を出力する。よって、ANDゲート31の出力はハイレベルとなる。

【0072】

セクタ32は、ANDゲート31の出力がハイレベルであるので、インバータ33の出力を選択する。ここで、レジスタ(TMGR)28に保持されている値がロウレベル("0")であるので、セクタ32からはハイレベルの信号が出力される。セクタ34は、ANDゲート31の出力およびセクタ32の出力が共にハイレベルであるので、レジスタ(PATR)25に保持されている値"5"に1を加えた"6"を出力する。レジスタ(PATR)25は、セクタ34の出力値"6"を保持する。一方、セクタ35は、ANDゲート31の出力がハイレベルであるので、レジスタ(PATR)25に既に保持されている値(つまり、セクタ34で選択される前の値"5")を選択する。

【0073】

セクタ32の出力がハイレベルであるので、ORゲート39はメモリセル21のライトイネーブル(WE)にハイレベルの信号を出力する。メモリセル21のアドレス(AD)には、セクタ35の出力値である"5"が供給される。セクタ40は、ANDゲート31の出力がハイレベルであるので、レジスタ(REWR)27の値であるREWR="D5"をメモリセル21の書き込みデータ(WD)として供給する。このとき、メモリセル21のライトイネーブル(WE)がハイレベルであるので、アドレス(AD="5")に対応した書き込みデータ(WD="D5")がメモリセル21に再書き込みされる。

【0074】

なお、このときメモリセル21は再書き込み動作を実施しているため、メモリセル21から読み出しデータ(RD)は出力されない。よって、レジスタ(REWR)27に保持されるデータは"不定"となる。しかし、この"不定"のデータはメモリセル21への再書き込み用データとして使用されないため、半導体記憶装置20の動作には影響しない。

【0075】

セクタ36は、ANDゲート31の出力がハイレベルであるので、レジスタ(HLDR)26の値をホールドする。一方、セクタ37はANDゲート31の出力がハイレベルであるので、レジスタ(HLDR)26に保持されているECC回路22でエラー訂正

済みのデータ"D 5"を選択する。よって、半導体記憶装置 20 の出力 (R D O U T) として"D 5"が出力される。

【 0 0 7 6 】

次に、半導体記憶装置 20 にアドレス信号 (A D I N) として 3 つ目の"5" (符号 5 3 で示す) が供給されると、比較器 2 9 は、供給されたアドレス信号 (A D I N) とレジスタ (A D R) 2 3 に保持されている値が共に"5"であるので、AND ゲート 3 1 にハイレベルの信号を出力する。また、AND ゲート 3 0 は、供給されたライトイネーブル信号 (W E I N) を反転した信号とレジスタ (W E R) 2 4 に保持されている値とが共にハイレベルであるので、AND ゲート 3 1 にハイレベルの信号を出力する。よって、AND ゲート 3 1 の出力はハイレベルとなる。

10

【 0 0 7 7 】

セクタ 3 2 は、AND ゲート 3 1 の出力がハイレベルであるので、インバータ 3 3 の出力を選択する。ここで、レジスタ (T M G R) 2 8 に保持されている値がハイレベル ("1") であるので、セクタ 3 2 からロウレベルの信号が出力される。セクタ 3 4 は、AND ゲート 3 1 の出力がハイレベル、セクタ 3 2 の出力がロウレベルであるので、レジスタ (P A T R) 2 5 に保持されている値"6"を出力する。レジスタ (P A T R) 2 5 は、セクタ 3 4 の出力値"6"を保持する。一方、セクタ 3 5 は、AND ゲート 3 1 の出力がハイレベルであるので、レジスタ (P A T R) 2 5 に既に保持されている値"6"を選択する。

【 0 0 7 8 】

20

OR ゲート 3 9 は、セクタ 3 2 の出力および供給されたライトイネーブル信号 (W E I N) が共にロウレベルであるので、メモリセル 2 1 のライトイネーブル (W E) にロウレベルの信号を出力する。メモリセル 2 1 のアドレス (A D) には、セクタ 3 5 の出力値である"6"が供給される。このとき、メモリセル 2 1 は、A D ="6"に対応した読み出しデータ (R D ="D 6") を E C C 回路 2 2 に出力する。レジスタ (R E W R) 2 7 は E C C 回路 2 2 の出力"D 6"を保持する。セクタ 3 6 は、AND ゲート 3 1 の出力がハイレベルであるので、レジスタ (H L D R) 2 6 の値"D 5"をホールドする。セクタ 3 7 は AND ゲート 3 1 の出力がハイレベルであるので、レジスタ (H L D R) 2 6 に保持されている E C C 回路 2 2 でエラー訂正済みのデータ"D 5"を選択する。よって、半導体記憶装置 20 の出力 (R D O U T) として"D 5"が出力される。

30

【 0 0 7 9 】

次に、半導体記憶装置 20 にアドレス信号 (A D I N) として 4 つ目の"5" (符号 5 4 で示す) が供給されると、比較器 2 9 は、供給されたアドレス信号 (A D I N) とレジスタ (A D R) 2 3 に保持されている値が共に"5"であるので、AND ゲート 3 1 にハイレベルの信号を出力する。また、AND ゲート 3 0 は、供給されたライトイネーブル信号 (W E I N) を反転した信号とレジスタ (W E R) 2 4 に保持されている値とが共にハイレベルであるので、AND ゲート 3 1 にハイレベルの信号を出力する。よって、AND ゲート 3 1 の出力はハイレベルとなる。

【 0 0 8 0 】

セクタ 3 2 は、AND ゲート 3 1 の出力がハイレベルであるので、インバータ 3 3 の出力を選択する。ここで、レジスタ (T M G R) 2 8 に保持されている値がロウレベル ("0") であるので、セクタ 3 2 からハイレベルの信号が出力される。セクタ 3 4 は、AND ゲート 3 1 の出力およびセクタ 3 2 の出力が共にハイレベルであるので、レジスタ (P A T R) 2 5 に保持されている値"6"に 1 を加えた"7"を出力する。レジスタ (P A T R) 2 5 は、セクタ 3 4 の出力値"7"を保持する。一方、セクタ 3 5 は、AND ゲート 3 1 の出力がハイレベルであるので、レジスタ (P A T R) 2 5 に既に保持されている値 (つまり、セクタ 3 4 で選択される前の値"6") を選択する。

40

【 0 0 8 1 】

セクタ 3 2 の出力がハイレベルであるので、OR ゲート 3 9 はメモリセル 2 1 のライトイネーブル (W E) にハイレベルの信号を出力する。メモリセル 2 1 のアドレス (A D

50

）には、セクタ 35 の出力値である "6" が供給される。セクタ 40 は、AND ゲート 31 の出力がハイレベルであるので、レジスタ (REWR) 27 の値である REWR = "D6" をメモリセル 21 の書き込みデータ (WD) として供給する。このとき、メモリセル 21 のライトイネーブル (WE) がハイレベルであるので、アドレス (AD = "6") に対応した書き込みデータ (WD = "D6") がメモリセル 21 に再書き込みされる。

【0082】

セクタ 36 は、AND ゲート 31 の出力がハイレベルであるので、レジスタ (HLDR) 26 の値 "D5" をホールドする。一方、セクタ 37 は AND ゲート 31 の出力がハイレベルであるので、レジスタ (HLDR) 26 に保持されている ECC 回路 22 でエラー訂正済みのデータ "D5" を選択する。よって、半導体記憶装置 20 の出力 (RDOUT) として "D5" が出力される。

10

【0083】

以降、半導体記憶装置 20 にアドレス信号 (ADIN) として "5" が供給され続ける限り、上記で説明した動作と同様の動作を繰り返す。

以上で説明した本実施の形態にかかる半導体記憶装置の動作をまとめると次のようになる。

【0084】

(1) 同一アドレス n (n は任意の整数とする) が入力される 1 サイクル目に対応するタイミング。

AND ゲート 31 の出力はロウレベル、セクタ 32 出力はロウレベルとなる。アドレス生成手段 47 は、入力アドレス (ADIN) n をアドレスとして出力する。メモリセル 21 は、アドレス n に対応した読み出しデータ (RD = D_n) を出力する。レジスタ (HLDR) 26 およびレジスタ (REWR) 27 はアドレス n に応じたエラー訂正後のデータ D_n を保持する。また、セクタ 37 は、ECC 回路 22 から出力されたアドレス n に対応したエラー訂正後のデータ D_n を半導体記憶装置の出力 (RDOUT) として出力する。

20

【0085】

(2) 同一アドレス n が入力される 2 サイクル目に対応するタイミング。

AND ゲート 31 の出力はハイレベル、セクタ 32 出力はハイレベルとなる。アドレス生成手段 47 はアドレスをインクリメントし、このアドレス $n + 1$ をレジスタ (PATTR) 25 に保持する (このアドレス $n + 1$ は、次のサイクルで用いられる)。このとき、アドレス生成手段 47 はアドレス n を出力する。メモリセル 21 はアドレス n に対応付けてレジスタ (REWR) 27 に保持されているデータ D_n を書き込む (再書き込み)。レジスタ (HLDR) 26 は、アドレス n に対応した読み出しデータとしてレジスタ (HLDR) 26 に保持されているデータ D_n を出力する。セクタ 37 は、レジスタ (HLDR) 26 に保持されているデータ D_n を半導体記憶装置の出力 (RDOUT) として出力する。

30

【0086】

(3) 同一アドレス n が入力される 3 サイクル目に対応するタイミング。

AND ゲート 31 の出力はハイレベル、セクタ 32 出力はロウレベルとなる。アドレス生成手段 47 はレジスタ (PATTR) 25 に保持されているアドレス $n + 1$ をホールドする。このとき、アドレス生成手段 47 はアドレス $n + 1$ を出力する。メモリセル 21 は、アドレス $n + 1$ に対応した読み出しデータ (RD = D_{n+1}) を出力する。レジスタ (REWR) 27 はアドレス $n + 1$ に対応したエラー訂正後のデータ D_{n+1} を保持する。また、セクタ 37 は、レジスタ (HLDR) 26 に保持されているアドレス n に対応したデータ D_n を半導体記憶装置の出力 (RDOUT) として出力する。

40

【0087】

(4) 同一アドレス n が入力される 4 サイクル目に対応するタイミング。

AND ゲート 31 の出力はハイレベル、セクタ 32 出力はハイレベルとなる。アドレス生成手段 47 はアドレスをインクリメントし、このアドレス $n + 2$ をレジスタ (PATTR) 25 に保持する (このアドレス $n + 2$ は、次のサイクルで用いられる)。このとき、アドレス生成手段 47 はアドレス $n + 1$ を出力する。メモリセル 21 は、アドレス $n + 1$ に対応した読み出しデータ (RD = D_{n+1}) を出力する。レジスタ (REWR) 27 はアドレス $n + 1$ に対応したエラー訂正後のデータ D_{n+1} を保持する。また、セクタ 37 は、レジスタ (HLDR) 26 に保持されているアドレス n に対応したデータ D_n を半導体記憶装置の出力 (RDOUT) として出力する。

50

R) 25 に保持する (このアドレス $n+2$ は、次回のサイクルで用いられる)。このとき、アドレス生成手段 47 はアドレス $n+1$ を出力する。メモリセル 21 はアドレス $n+1$ に対応づけてレジスタ (REWR) 27 に保持されているデータ D_{n+1} を書き込む (再書き込み)。レジスタ (HLDR) 26 は、アドレス n に対応した読み出しデータとしてレジスタ (HLDR) 26 に保持されているデータ D_n を出力する。セクタ 37 は、レジスタ (HLDR) 26 に保持されているデータ D_n を半導体記憶装置の出力 (RDOUT) として出力する。

【0088】

以上で説明したように、本実施の形態にかかる半導体記憶装置 20 では、4 サイクル以上同じアドレスで読み出しを行なっている場合、再書き込みを実施した読み出しアドレスから 2 サイクルに 1 回の割合でアドレスをインクリメントし、インクリメント後のアドレスを用いてメモリセル 21 からデータを読み出し、当該データを ECC 回路 22 で訂正後、この訂正後のデータを同一アドレス (インクリメント後のアドレス) を用いて再書き込みしている。このとき、半導体記憶装置 20 は出力 (RDOUT) としてレジスタ (HLDR) 26 に保持されているデータを出力しているため、入力アドレス (ADIN) に対応したデータを出力していることになる。

【0089】

このように、本実施の形態にかかる半導体記憶装置 20 では、メモリセル 21 からの読み出しとメモリセル 21 への書き込みを交互に繰り返す巡回機能を実装しているため、半導体記憶装置の信頼性を向上させることができる。よって、本実施の形態にかかる発明により、プログラム処理性能を損なうことなくデータの信頼性を向上させることが可能な半導体記憶装置およびその制御方法を提供することができる。

【0090】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。上記の実施の形態では 1 サイクルに読み出し又は書き込みのどちらかしかできない 1 ポート RAM について説明したが、本発明はこれに限定されるものではない。例えば、2 ポート RAM (1R1W と呼ばれる) や 4 ポート RAM (2R2W と呼ばれる) 等の多ポート RAM に本発明を適用してもよい。

【0091】

以上、本発明を上記実施形態に即して説明したが、上記実施形態の構成にのみ限定されるものではなく、本願特許請求の範囲の請求項の発明の範囲内で当業者であればなし得る各種変形、修正、組み合わせを含むことは勿論である。

【符号の説明】

【0092】

- 1、20 半導体記憶装置
- 2、21 メモリセル
- 3、22 ECC 回路
- 4、23 レジスタ (ADR)
- 5、24 レジスタ (WER)
- 6、27 レジスタ (REWR)
- 7、29 比較器
- 8、30 AND ゲート (第 1 の AND ゲート)
- 9、31 AND ゲート (第 2 の AND ゲート)
- 10、13、14、32、34、35、36、37、40 セクタ
- 11、33、38 インバータ
- 12、39 OR ゲート
- 15、45 検出手段
- 25 レジスタ (PATR)
- 26 レジスタ (HLDR)
- 28 レジスタ (TMGR)

10

20

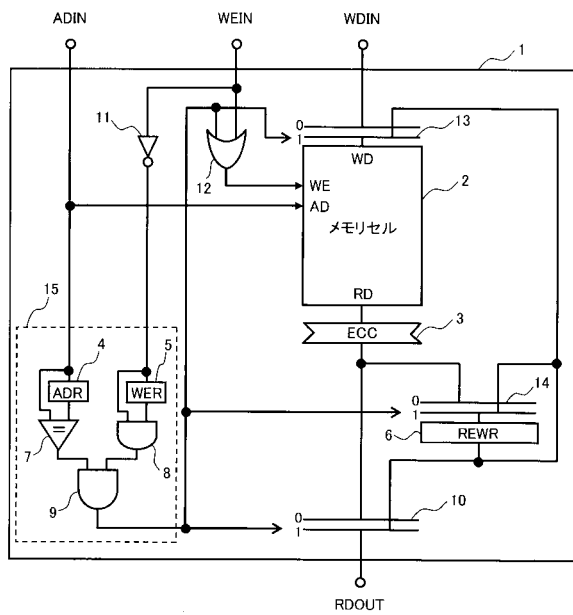
30

40

50

- 4 6 切り替え手段
- 4 7 アドレス生成手段
- 4 8 データ保持手段

【図 1】



【図 2】

