(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/786

(45) 공고일자 2002년06월20일
(11) 등록번호 10-0309627
(24) 등록일자 2001년09월10일

(21) 출원번호 10-1995-0017007
(22) 출원일자 1995년06월23일

(65) 공개번호 특1996-0002901
(43) 공개일자 1996년01월26일

(30) 우선권주장 94-165931 1994년06월23일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 떼라모또사또시
일본가나가와껜243아쯔기시하세304-1플랫셀-비205

(74) 대리인 이병호

심사관 : 김관식

(54) 반도체장치제조방법

요약

규소 반도체 막을 가진 절연 게이트형 전계효과 반도체 장치에 있어서, 활성층을 덮은 게이트 절연막은 주로 규소, 산소 및 질소로 이루어진 박막이다. 상기 장치의 게이트 절연막에 있어서, 질소 농도는 상기 막 및 인접한 게이트 전극간의 경계면에서 크게 되고, 게이트 전극을 구성하는 재료가 게이트 절연막에 확산되는 것을 방지하게 된다. 이 막에 있어서, 질소 농도는 상기 막 및 인접한 활성층간의 경계면에서 크게 되며, 수소 이온등이 활성층으로부터 게이트 절연막으로 확산되는 것을 방지하게 된다. 게이트 절연막의 형성전에, 활성층의 표면은 산화 또는 질화 되도록 레이저 광선 또는 그 레이저 광선에 상당하는 강한 광선이 조사된다.

대표도
도 1a

명세서

도면의 간단한 설명

제 1A 도 내지 제 1E 도는 제 1 실시예에서 만들어진 TFT 의 단면도로서, 그 생성 단계를 설명하는 도면.

제 2A 도 내지 제 2E 도는 제 2 실시예에서 만들어진 TFT 의 단면도로서, 그 생성 단계를 설명하는 도면.

제 3A 도 내지 제 3D 도는 제 3 실시예에서 만들어진 TFT 의 단면도로서, 그 생성 단계를 설명하는 도면.

제 4 도 내지 제 8 도는 게이트 절연막내의 질소의 조성비 분포를 도시하는 도면.

제 9A도 내지 제 9E도는 제 8및 제 9 실시예에서 만들어진 TFT의 단면도로서, 그 생성 단계를 설명하는 도면.

제 10A 도 내지 제 10F 도는 제 10 실시예에서 만들어진 TFT 의 단면도로서, 그 생성 단계를 설명하는 도면.

제 11 도는 레이저 어닐링 장치 및, 이 실시예들에서 사용되는 박막화 장치를 도시하는 도면.

제 12 도는 실시예들에서 사용되는 장치의 개략도.

♣ 도면의 주요부분에 대한 부호의 설명 ♣

101 : 유리 기판 103 : 규소막

104 : 보호막 105 : 활성층(NTFT용)

106 : 활성층(PTFT용) 107 : 게이트 절연막(SiO_xN_y막)

108 : 게이트 전극(NTFT용) 109 : 게이트 전극(PTFT 용)

115 117 : 금속 배선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

본 발명은 절연 기판상에 형성된 박막 반도체를 갖는 절연 게이트형 전계효과 반도체 장치(흔히 박막 트랜지스터 또는 TFT로 불림)의 구조 및 장치의 제조방법에 관한 것이다.

지금까지 절연기판(특히 유리기판)상에 형성된 박막 반도체를 갖는 절연 게이트형 전계효과 반도체 장치(이후부터 TFT로 칭함)는 공지되었다. 절연 기판상에 형성된 이러한 TFT 는 액정 표시 장치, 영상 감지기 등과 같은 여러 장치에서 이용된다.

TFT 에서는 일반적으로 산화 규소(SiO_2)가 게이트 절연막으로서 이용된다.

TFT 에서, 고도의 특성을 얻기 위해는 결정 규소막을 활성층으로서 이용하는 것이 필수적이다. 이러한 결정 규소막을 만드는 방법으로서, 저압 등의 조건 하에서 열적 CVD(화학 기상 증착)에 의해 미세결정 구조의 규소막을 직접 형성하는 방법 및, 가열 또는 레이저광의 조사에 의해 비결정 규소막 결정을 만드는 방법 등이 공지되었다.

그러나, 그 어떠한 방법으로든 현재의 단결정 구조를 얻을 수는 없다. 즉, 상기 방법들 중 한 방법에 의해 얻어지는 결정 규소막은 다결정 구조 또는 미세결정 구조를 갖거나, 혹은 결정 구조와 비결정 구조로 이루어진 혼합 구조를 갖거나, 혹은 어떤 경우는 부분적으로 결정 구조를 포함하는 복합 구조를 갖는다.

전술한 결정 구조들은 많은 규소 공유 결합을 가지므로. 반드시 활성층에 수소를 도입하여 이러한 공유 결합을 중화 혹은 끊어버려야 한다. 즉 활성층을 수소 처리해야만 한다.

그러나, TFT 에서 게이트 절연막내에 수소가 존재하는 것은 가능한 피해야 한다. 이것은 어쩌면 절연막내에 존재할 수도 있는 유동이온이 TFT 구동시 히스테리시스 또는 임계치의 변동을 초래하기 때문이다.

종래의 TFT 가 유리 기판상에 형성될 때, 장치 전체가 종종 정전기로 충전되고, 그 결과 게이트 절연막이 정전기로 인한 유전 파괴에 의해 손상되는 문제가 발생했다. 더 구체적으로, 장치를 정전기로 충전시킴으로써 게이트 절연막을 통해 고전압이 장치에 인가되고, 그 결과 게이트 절연막은 이를 견디지 못하게 된다.

상술한 문제는, 산화 규소(SiO_2)의 에너지 대역 갭(Eg)이 약 8 eV로 큰 반면에 이 막의 비유전율은 약 3.8로서 비교적 작기 때문에 발생하는 것으로 생각된다.

산화 규소막 대신에, 약 5eV 의 Eg 및 약 7 의 비유전율을 갖는 질화 규소막(Si_3N_4)을 게이트 절연막으로서 이용할 수도 있다. 그러나 이러한 질화 규소막이 게이트 절연막으로서 이용될 경우, Si 클러스터(cluster)가 전하 포획 중심으로 되어 C-V(용량-전압) 특성에 히스테리시스가 발생한다.

또한, B-T(바이어스-온도) 처리 시 임계 전압 $\triangle V_{th}$ 이 약 10V 정도 이동되는 또 다른 단점이 발생한다. 질화 규소막이 게이트 절연막으로서 사용될 경우, 절연막은 그 자체내에 전하 포획 중심을 갖는다. 그러므로, 질화 규소는 게이트 절연막으로 형성되기에 적합하지 않다.

활성층은 수소를 포함해야 한다. 그러나 활성층이 수소를 포함할 때 이 활성층내의 수소가 인접 게이트 절연막으로 확산되는 문제가 발생한다.

이것은 활성층에 인접하는 게이트 절연막이 수소를 포함해서는 안된다는 조건에 상반되는 것이다.

반드시 금속으로 구성된 물질이 게이트 전극 재료로서 이용될 때, 이 금속 물질이 게이트 절연막을 구성하고 있는 반도체 성분과 합금화되는 다른 문제가 발생한다.

발명의 개요

본 발명의 목적은 정전기로 인한 정전 파괴에 의해 전혀 손상되지 않는 게이트 절연막을 제공하고, 그 자체 내에 전하 포획 중심을 전혀 갖지 않는 게이트 절연막을 제공하는 것이다.

본 발명의 다른 목적은 활성층내에 존재하는 이온들이 이 활성층으로부터 확산되어 침투되지 않는 게이트 절연막을 제공하는 것이다.

본 발명의 또 다른 목적은, 금속재 성분을 포함하는 게이트 전극 및, 게이트 절연막을 포함하되, 게이트 전극의 금속 성분들이 게이트 절연막으로 확산되지 않는 구조를 제공하는 것이다.

본 발명의 일 실시에에 따르면, 절연 게이트형 전제효과 반도체 장치에 있어서, 게이트 절연막이 반드시 규소, 산소 및 질소로 구성되고 N(질소)의 조성비가 막의 두께 방향으로 변하거나, 또는 SiO_xN_y 로 구성되고 N 의 조성비가 막의 두께 방향으로 변하는 것을 특징으로 한다. 특히, 구조가 정전기로 인한 정전 파괴에 의해 손상되지 않도록 하기 위해서는 절연 기판상에 전술한 구조의 TFT 를 형성하는 것이 유용하다.

이후부터 " 반드시 ···· 로 구성된" 이란 표현은 원자의 함량이 5 원자 % 이상임을 의미한다. 즉, " 반드시 규소, 산소 및 질소로 구성된" 이란 표현은 게이트 절연막이 규소, 산소 및 질소를 포함하고 그 각각의 원자 함량이 5% 이상임을 의미한다. 질소가 도프된 게이트 절연막의 구조에 대해서도 동일한 의미가 적용된다.

본 발명의 상기 게이트 절연막은 염소(cl)를 포함하는 것을 또한 특징으로 한다.

본 발명은 원료 가스로서 클로로실란 또는 디클로로실란을 사용하는 기상처리법이 SiO_xN_y 막에 염소를 부가하기 위해 사용되고, 그에 따라 상기 막에는 염소가 도입되는 것을 특징으로 한다.

SiO_xN_y 물질은 5.3 내지 7.0 eV의 에너지 대역 갭을 가지며, 4 내지 6 의 비유전율을 갖는다(단 $0< x< 2$ 및 $0< y< 4/3$). 이 물질에서 x 및 y는 상기 물질을 만드는 조건에 따라 변할 수 있으면 실제 실시예에 따라 정의될 수 있다. 상기 물질은 반드시 1 원자 % 이상, 더 양호하게는 10 원자 % 이상의 O(산소)를 포함하고 0.001 원자 % 이상, 더 양호하게는 0.1 원자 % 이상의 N(질소)을 포함해야 한다.

SiO_xN_y 물질을 만들기 위해, 예컨대 플라즈마 CVD (PCVD)(13.56MHz), 저압 CVD(LPCVD), 광 CVD, 펄스 파가 인가되는 PCVD 등 여러 가지 기상법이 이용될 수 있다.

SiO_xN_y 절연막은 필요하다면 의도적인 도핑에 의해 도입되는 다른 할로겐 원소를 포함할 수도 있다.

본 발명의 다른 실시예에 따르면, 박막의 SiO_xN_y 게이트 절연막에 있어서, N(질소)의 조성비가 막과 게이트 전극 사이의 경계 및/또는 막과 활성층 사이의 경계에서 가장 크도록 만들어지는 것을 특징으로 한다.

이러한 구조에 있어서 SiO_xN_y 박막의 N(질소) 조성비는 막과 게이트 전극 사이의 경계 및/또는 막과 활성층 사이의 경계에서 가장 크도록 만들어지고, 이것은 다음 경우들을 포함한다. 제 4 도 내지 제 6 도는 SiO_xN_y 게이트 절연막에서 N(질소)의 조성비(수직축)와 이 막의 두께방향쪽으로의 위치 사이의 관계를 도시한다.

제 4 도는 N의 조성비가 게이트 절연막과 그 인접 활성층 사이의 경계면에서 가장 크게 되는 경우의 일 실시예를 도시한다. 제 5 도는 N(nitrogen)의 조성비가 게이트 절연막과 게이트 전극 사이의 경계면에서 가장 크게 되는 경우의 또 다른 실시예를 도시한다. 제 6 도는 N의 조성비가 게이트 절연막과 활성층 사이의 경계면 및, 게이트 절연막과 게이트 전극 사이의 경계면에서 가장 크게 되는 경우의 지금까지와는 또 다른 실시예를 도시한다. " 가장 큰" 이란 표현은 조성비가 비교적으로 가장 크다는 것을 나타낸다.

활성층이 전술한 구조에서 규소의 결정화를 촉진하는 금속 성분을 포함하는 경우에도, N(질소)의 조성비가 게이트 절연막과 활성층 사이의 경계에서 가장 크기때문에, 활성층으로 부터 게이트 절연막으로의 상기 금속 성분의 확산이 방지된다.

이것은 가장 큰 N의 조성비가 상기 게이트 절연막과 상기 활성층 사이의 경계내에 Si-N(규소-질소) 결합의 장벽층을 제공하기 때문이다.

상술한 금속 성분은 규소에 대한 침투성을 가져야 한다. 실제, 상기 금속 성분은 Ni(니켈), Fe(철), Co(코발트), Ru(루테늄), Pd(팔라듐), Os(오스뮴), Ir(이리듐), Pt(백금), Cu(구리), Ag(은) 및 Au(금)을 포함한다. 이들 중 하나 이상이 본 발명에서 이용될 수 있다.

이 금속 성분들은 열처리동안 규소막 속으로 확산된다. 이러한 침투성 성분들이 막으로 확산하는 것과 동시에 막의 규소 결정화된다. 실제, 확산동안 침투성 성분들이 도처에서 비결정 규소막의 결정화를 촉진하도록 촉매 반응한다.

상기 침투성 성분들은 규소막 내부로 신속히 확산되므로, 막에 부가될 성분량은 중요한 요소이다. 실제, 부가될 성분량의 너무 작으면 규소의 결정화를 촉진하는 성분의 효과가 작아서 양호한 결정화가 달성될 수 있다. 양이 너무 많으면 규소의 반도체 특성이 저하된다.

그러므로, 부가될 금속 성분의 량의 최적 범위는 중요한 요소이다. 비결정 규소막에서의 규소 결정화를 촉진하기 위한 금속 성분으로서 Ni(니켈)이 사용될 때, 비결정 규소막에 부가될 Ni 성분의 량은 결정화된 규소막에서의 Ni 함량이 $1X10^{15}\ cm^{-2}$ 이상이 되도록 제어되어야 하며, 그에 따라 비결정 규소막에 부가된 Ni가 막에서 규소 결정화를 촉진하는 효과를 나타낼 수 있다. 한편, Ni 의 량이, 결정화된 규소 막에서의 Ni 함량이 $1x10^{19}\ cm^{-3}$ 이하가 되도록 제어되는 경우, 결정화된 규소의 반도체 특성이 저하된다는 것이 공지되어 있다. 규소 함량은 SIMS(2 차 이온 질량 분석법)에 의해 얻어지는 최소값으로 정의된다.

Ni를 제외한 전술한 금속 성분들 역시 이들이 전술한 것과 동일한 범위내에서 사용될 때 그들의 효과를 나타낼 수 있다.

상술한 금속 성분에 덧붙여서 Al 및 Sn 도 비결정 규소막의 결정화를 촉진할수 있다: 그러나 Al(알루미늄) 및 Sn(주석)은 규소와 합금화하므로 규소막내로 확산될 수 없다. Al 또는 Sn 이 비결정 규소막으로 부가되는 경우, 이 금속 성분은 규소와 합금화하여 결정핵을 형성하고, 이 결정핵으로부터 규소 결정이 성장한다. 이런 방법으로, Al 또는 Sn 이 비결정 규소막으로 부가될 경우 규소 결정은 Al 또는 Sn 이 부가되는 부분 즉, 성분과 규소으로 구성된 합금층으로부터만 성장한다. 그러므로, Al 또는 Sn 이 사용되는 경우는 Ni 같은 전술한 침투성 금속 성분들중 어떤 것이 사용되는 경우와 비교하여 규소 결정성이 일반적으로 좋지 않다는 문제점이 있다. 예를 들어, 전자의 경우는 Al 또는 Sn 이 사용될 때 균일하게 결정화된 결정 규소막을 얻기 어렵다는 문제점이 있다. 게다가 합금층이 소자의 생산에 장애가 되고 이 합금층 자체가 소자의 신뢰성을 저하시킨다는 문제점도 있다.

SiO_xN_y 가 5.3 내지 7.0 의 Eg 및, 4 내지 6 의 비유전율을 가지므로, 산화 규소막을 통과할 수 있는 전류 보다 약 10 배만큼 더 높은 파울러-노오드하임(Fowler-Nordheim) 전류(절연막을 통하는 터널 전류)를 통과할 수 있고, 그 결과 정전 파괴가 방지된다.

게이트 절연막인 SiO_xN_y 막이 산소를 포함하므로, 이 산소는 히스테리시스를 제거하는 역할을 한다. 또한 이 막속의 N(SiN 결합으로서 존재)은 Na 이온 및, Fe, Ni 및 Co 이온 같은 중금속 이온들이 막을 통해 표류하는 것을 방지하는 역할을 한다.

염소가 막에 부가될 경우, 이것은 Na 이온 및 Fe 이온을 NaCl 및 FeCl 로서 중화 또는 고정시킬 수 있고, 또한 게이트 절연막에 대한 불순물 이온의 역효과를 억제할 수 있다.

SiO_xN_y 게이트 절연막에 있어서, 막의 두께방향으로 N(질소)의 조성비가 변하므로, 막의 두께방향쪽으로 어떤 위치에서든 장벽층이 형성될 수 있다. 특히. N의 조성비는 SiO_xN_y 게이트 절연막과 인접 활성층 사이의 경계에서 가장 크도록 만들어지므로, 장벽층은 경계면에 형성될 수 있다. 이 장벽층의 작용으로 인해, 활성층으로부터 확산되는, 수소 이온 및 금속 이온들이 게이트 절연층을 침투하지 못하게 할 수 있다.

또한, N의 조성비는 SiO_xN_y 게이트 절연막과 인접 게이트 전극 사이의 경계에서 가장 크도록 만들어지므로, 장벽층이 그 경제면에 형성될 수 있다. 이 장벽층의 작용으로, 게이트 전극을 구성하는 성분들이 게이트 절연층으로 침투하지 못하게 할 수 있다.

본 발명의 효과를 보강하기 위해, 활성 반도체층 위에 게이트 절연막을 형성하기 전에, 활성 반도체층 표면을 산화 또는 질화 분위기에서 레이저에 또는 레이저보다 더 강한 방사선에 조사시킴으로써(이후부터 광 어닐링이라 칭함). 이 활성 반도체층의 표면을 산화시키는 것이 권장된다.

산화 또는 질화 분위기에서 레이저 선 또는 레이저보다 더 강한 방사선 층을 조사하는 것은 단결정이 아닌 반도체막 표면에 질화막, 산화막 또는 질화산화(nitridoxide)막을 형성하는 반면, 단결정이 아닌 반도체막의 결정성을 개선한다. 산화 분위기는 방대한 량의 산화 가스를 포함하는 분위기로서 그 속에서 막은 정극성으로 산화된다. 예를 들면, 방대한 량의 산소, 오존, 질소 아산화물(N_2O) 또는 질소 이산화물(NO_2)등을 포함하는 분위기 및, 이들로 이루어진 혼합 분위기를 들 수 있다. 그러므로, 산화 분위기는 단순히 소량의 상기 산화 가스만을 포함하는 분위기와는 다르다. 산화 분위기는 염소, 트리클로로 에틸렌(트리클렌, TCE, $CHCl=CCl_2$), 트랜스-1, 2-디클로로 에틸렌($CHCl=CHCl$)등을 부가적으로 포함할 수도 있다. 이러한 부가적인 가스들은 산화를 촉진시킨다.

규소로 구성된 활성층이 광 어닐링 처리되는 경우, 박막의 산화 규소막 또는 질화 규소막이 층의 규소막 표면에 형성된다. 특히, 층이 자외선에 조사되는 경우, 층에서 발생하는 화학 반응이 촉진되어 층위에는 양호한 산화 규소막을 형성한다. 따라서 형성된 규소막은 소량의 고정 전하가 적고 계면 준위 밀도(Qss)도 낮으며, 1000℃ 내지 1200℃ 사이의 온도에서 일반적인 건식 산소내에서의 열산화에 의해 얻어지는 산화 규소막과 거의 동등하다. 이런 이유로, 산화 규소막은 TFT등의 절연 게이트형 소자에서 게이트 절연막으로서 우수하다.

광 어닐링 후, 절연막, 예컨데 산화질화 규소막은 본 발명에 따른 성막 방법, 예컨대 플라즈마 CVD 법 등에 의해 형성된다. 이런 식으로, 필요한 두께만을 갖는 절연막이 양호한 계면 특성을 갖는 산화막 또는 질화막 위에 형성될 수 있고, 이때 상기 양호한 계면 특성은 층을 레이저 등에 사전노출 시킴으로써 반도체층의 표면상에 형성되었다.

상술한 박막 공정은 처음부터 끝까지 공기를 거쳐 차폐시킨 분위기에서 진행하는 것이 바람직하다. 만약 레이저에 조사된 후 반도체층이 공기에 노출된다면, 표면은 공기로 오염되고, 그 결과 레이저 등에 조사됨으로써 표면상에 형성된 양호한 산화막 등은 쓸모 없게 된다. 그러므로, 반도체층의 표면을 공기에 노출시키는 단계는, 레이저에 층의 표면을 노출시키는 단계와 기상성장 공정에 의해 층의 표면상에 절연막을 형성하는 단계 사이에 삽입되어서는 안된다. 따라서, 본 발명은 전단계의 장치에서 그 다음 단계의 장치로 기판을 공기에 노출시키지 않으면서 직접 옮기는 특별한 수단을 필요로 한다.

양호한 실시예의 상세한 설명

[실시예 1]

제 1A 도 내지 제 1E 도는 본 발명에 따른 일실시예로서 제조된 박막 트랜지스터(TFT)의 단면도이다. 1000Å 내지 3000Å 의 두께를 갖는 규소 산화물의 기저막(102)은 유리 기판(101; 코닝 7059; 300mm x 300mm 또는 100mm x 100mm)에 형성된다. 이 산화 규소막은 염소(chlorine)를 함유하는데, 이 염소는 상기 막에서 Na 이온 및 증금속 이온과 같은 모빌 이온의 영향을 억제한다.

상기 산화 막을 형성하기 위해서, 450℃ 내지 650℃ 에서 증착된 막을 어닐링하여 추종되는 산소 분위기에서의 스퍼터링 및, 플라즈마 CVD(화학 증착)에 의한 분리 및 증착 TEOS(테트라에틸 옥시실리케이트) 방법을 모두 이용할 수 있다. 상기 막에 클로린을 첨가하기 위하여, 클로린은 산소 분위기에 첨가될 수 있고, 또는 스퍼터링을 이용하는 경우 클로린은 타겟에 첨가될 수 있다.

비정질 규소막(103)은 300Å내지 1500Å 의 두께에서, 양호하게는 500Å 내지 1000Å 의 두께에서 플라즈마 CVD (PCVD) 혹은 저압력 CVD(LPCVD)에 의해 막(102)에 증착된다. 상기 비정질 규소막(103)은 소스 영역, 채널 형성 영역 및 드레인 영역에 대하여 활성층이 된다.

비정질 규소막을 갖는 TFT 를 형성시키자 하는 경우, 게이트 절연막이 상기 비정질 규소막(103)에 형성될 수 있다. 한편, 결정 규소막을 이용하고자 하는 경우, 비정질 규소막(103)은(600℃ 보다 높지 않은 온도에서 양호하게 수행되는) 열어닐링에 의해 혹은 레이저 광선으로 조사함으로써 결정화된다. 상기 막은 결정화하기 위하여, 규소 산화물이나 이와 유사한 보호막(104)으로써 규소막을 덮는 것이 효과적이며, 이에 따라 규소막은 오염으로부터 보호된다.

활성층이될 규소막(103)은 활성층(105 및 106)을 형성하기 위해 패턴 형성된다. 게이트 절연막이 될 SiO_xN_y 막(107)은 200Å 내지 1500Å 의 두께에서 활성층(105 및 106)을 덮기 위해 형성된다. SiO_xN_y 막은 동일한 전기 상태를 얻기 위해 상대 유전상수보다 약 50% 만큼 더큰 4 내지 6 의 상대 유전상수를 가지며, SiO_xN_y 막의 두께는 산화 규소막의 두께보다 50% 만큼 더커질 수 있다. SiO_xN_y 막을 이용할 경우, SiO_xN_y 막은 절연내력(동일 전압이 다른 두께를 갖는 각각의 막에 인가될 때, 더 두꺼운 막이 더 악한 전기장을 발생한다)과, 핀홀을 통해 전기 누설을 어떻게 방지할 것인가 문제를 고려해 보면 산화 규소막 보다 더 유리하다.

상기 SiO_xN_y 막을 형성하기 위하여, 클로로실레인이나 디클로로실레인을 원료 가스로서 이용하는 PCVD 방법을 이용하고 있다. 이 방법에 대한 조건을 고려하면, 기판의 온도는 300℃ 내지 600℃ 이며 13.56MHz 의 고주파수가 여기에 인가될 고주파수 에너지로서 이용된다. 전형적으로 코닝 7059 와 같은 유리기판은 통상 600℃ 내지 900℃ 의 유리 전이점을 가지며, 이는 600℃ 보다 작은 공정 온도가 바람직하다.

디클로로실레인(SiH_2Cl_2)이 원료 가스로서 이용될 때, 이 원료 가스는 암모니아(NH_3) 및 일산화 질소(N_20)를 혼합한다. 기상반응의 결과로써, SiO_xN_y, HCl 및 H_2O가 형성되며, Cl(염소)를 함유하는 SiO_xN_y 막이 획득된다. 클로로실레인이 원료가스로서 이용될때, Cl은 클로로실레인의 이용되는 전 경우에서와 동일 방법으로 형성된 막에 도입된다.

상기 SiO_xN_y 막(107)을 형성하기 위하여, 펄스 전압이 인가되는 PCVD, LPCVD 및 광 CVD 를 또한 이용할 수 있다. 요구하는 경우, 활성층(105 및 106) 및 게이트 절연막(107) 사이의 내부면 특성을 향상시키기 위해 2 시간동안 350℃ 로 수소 분위기에서 어닐링한다.

2000Å 내지 5㎛ 의 두께를 갖는 알루미늄막은 제 1C 도에 도시한 바와 같이 전자 비임 기상 증착에 의해 형성되며, 게이트 전극(108 및 109)을 형성하기 위해 패턴 형성된다.

다음에, 단일 전도성 불순물은 게이트 전극을 마스크로 이유하는 자기 정합적(self-alignment)으로서 이온 도핑함으로써 각 TFT 내의 격리된(island) 규소막에 주입된다. 주입을 수행하기 위해서, 도핑 가스로서 수소화인 (PH_3)를 이용하는 전체 표면에 인(P)이 우선 주입되고, 이후에 격리된 영역 (105)이 포토레지스트로써 코팅되며, 붕소는 도핑 가스로서 시보란(B_2H_6)을 이용하는 격리된 영역에 주입된다. 인의 용량은 $2x10^{15}$ 내지 $8x10^{15}$ cm^{-2} 이고, 붕소의 용량은 $4x10^{15}$ 내지 $10x10^{15}$ cm^{-2} 이다. 붕소의 용량은 인의 용량보다 더 높다.

다음에 제 1D 도에서, KrF 엑시머 레이저(248nm의 파장과 20nsec의 펄스폭을가짐)가 기판에 조사되고, 이에 따라 상기 불순물 영역의 주입으로 인해 열화된 부분의 결정성이 개선되며 주입된 불순물은 활성된다. 레이저의 에너지 밀도는 200 내지 400mJ/cm^2 이고 양호하게는 250 내지 300mJ/cm^2 이다.

이 방법으로, N 형 불순물 영역(110 및 111) 및 P 형 불순물 영역(112 및 113)이 형성된다. 이 영역의 시트 저항은 200 내지 800Ω/cm^2 이다.

다음에, 3000Å 의 두께를 갖는 규소 산화물의 내부층 절연막(114)은 전체 표면에 형성되며, 이 전체 표면은 산소를 가진 플라즈마 CVD 혹은 저압력 CVD 혹은 오존을 가진 대기압 CVD 에 의해서 원료로 TEOS 를 이용한다. 이 단계에서, 기판의 온도는 150℃ 내지 400℃ 이고 양호하게는 200℃ 내지 300℃ 이다.

다음에, 접촉홀이 각 TFT 의 소스/드레인에서 형성되고, 알루미늄선(115 내지 117)이 제공된다. 제 1E 도에서, 좌측면 NTFT(N-채널 박막 트랜지스터) 및 우측면 PTET(P-채널 박막 트랜지스터)가 인버터 회로를 형성한다.

규소막(103)에 열어닐링에 의해 결정화될 때, NTFT 의 이동성 50 내지 100cm^2/Vs 이고 PTFT 의 이동성은 30 내지 100cm^2/Vs 이다. 본 실시예에서, 공정에 걸친 최고 공정 온도는 600℃ 보다 높지 않다. 따라서, 코닝 7059 등과 같은 비알칼리 유리는 기판으로 사용되며, 이 기판은 수축이나 뒤틀림이 없다. 큰 사이즈 기판이 이용되더라도 이에 형성된 패턴은 정돈되어 있다. 본 실시예의 공정은 규모가 큰 디스플레이의 제작에 적용되며 또한 규모가 큰 디스플레이용 구동 회로에 유리하게 적용된다.

[실시예 2]

제 2A 도 내지 제 2E 도는 본 실시예의 제조 단계의 개요를 도시하고 있다. 본 실시예는 활성 매트릭스형 액정 디스플레이 장치에서 픽셀을 작동하기 위해 사용되는 TFT의 제작을 설명하고 있다.

기판(201)으로서, 코닝 7059(두께: 1.1mm 크기: 300mm x 400mm)의 유리기판이 사용된다. 이 유리기판은 50 내지 500Å의 두께, 양호하게는 50 내지 200Å의 두께를 갖는 질화 규소막(202)으로 코팅되고, 또한 유리기판은 플라즈

마 CVD법에 위해, 유리기판으로부터 TFT로 확산하지 않은 나트륨(sodium)과 같은 불순물을 순서로 전체 표면에 형성된다. 규소 산화물의 기저막(203)은 유리 기판상에 형성된다. 300 내지 500Å 의 두께, 양호하게는 300 내지 500Å의 두께를 갖는 비정질 규소막은 1 시간동안 400℃ 에서 탈수소화된 상태로 LPCVD 혹은 플라즈마 CVD 에 의해 막(203)에 형성된후, 격리된 반도체 영역(204: TFT 의 활성층)을 형성하기 위해 패턴형성된다.

실시예 1과 같은 방법으로 SiO_xN_y (205)의 게이트 절연막이 형성된다. 비정질 규소막(204)은 레이저 광선이나 가열(양호하게 600℃ 보다 높지 않은 온도)하에 어닐될 수 있으며, 이에 의해 상기 막에 게이트 절연막을 형성하기 앞서서, 결정 규소막(예를 들면, 마이크로 결정, 다결정, 혼합 결정(폴리 규소) 및 반-비정질 규소막을 함유하는 결정 규소막의 총칭)이 되도록 결정화를 향상시킨다.

다음애, 실시예 1과 같은 방법으로서, 알루미늄 게이트 전극(206)이 형성되고 기판은 전해질 용액에 침전되는데, 이때, 양극 산화막(207)은 양극으로 동작하는 게이트 전극에 전류를 인가하는 동안 양극 산화에 의하여 게이트 전극의 알루미늄 배선의 표면에 형성된다.

상기 양극 산화에 대한 기술은 종래의 일본 특원평4-30220호(1992년 1월 21일), 특원평4-38637호(l992년 1월 29일) 및 특원평4-54322호(1992년 2월 5일)에 설명되어 있다. 제 2B도는 상기 단계 후의 상태를 나타낸다. 양극 산화 후에, 음극성 전압, 예를 들면 -100 내지 -200V 가 0.1 내지 5 시간 동안 이곳에 인가된다. 이 단계에서, 기판의 온도는 100 내지 250℃인 것이 바람직하며 전형적으로 150℃ 이다.

이 단계에 의하여, 규소 산화물에 존재하게 되는 이동 이온 및, 규소 산화물과 규소 사이의 경계면에 존재하게 되는 가동 이온이 Al 게이트 전극에 의해 끌려진다. 양극 산화 후 또는 양극 산화 중에 상기 음극 전압을 게이트 전극에 인가하는 기술은 종래의 일본 특원평4-115503호(1992년 4월 7일에 출원)에 설명되어 있다.

게이트 전극(206)의 측면에서 산화막(207)은 이온 주입동안 다음 단계의 마스크로서 동작하고 난 후, 오프셋 게이트 구조를 형성한다.

다음에 붕소는 자기 정합적으로 이온 도핑하여 활성층(204)에 P 형 불순물로서 주입되고 나서 TFT 의 소스/드레인 영역(208 및 209)을 형성한다. 다음에, 제 2C 도에서 도시한 바와 같이, KrF 엑시머 레이저로 조사되고, 이에 의해 이온 도핑으로 인해 저하된 규소 막의 결정성이 개선된다. 레이저의 에너지 밀도는 250 내지 300mJ/cm^2 이다. 레이저 방출에 의해, 상기 TFT 의 소스/드레인의 시트 저항은 300 내지 800Ω/cm^2 이 된다.

산화막(207)의 동작으로 인해, 오프셋 게이트 구조는 자기정합적으로서 실현된다.

다음에, 중합체의 절연 내부층(210)이 형성되고, ITO 의 화소 전극(211)이 형성된다. 다음에 접촉홀이 형성되고 다중층인 크롬/알루미늄 막의 전극(212 및 213)이 TFT 의 소스/드레인 영역에 형성된다. 한 전극(213)은 ITO 와 접속된다. 다중 층인 크롬/알루미늄막은 200 내지 2000Å(전형적으로 1000Å두께를 갖는 비교적 하위의 크롬막과, 1000 내지 20000Å(전형적으로 5000Å두께를 갖는 비교적 상위의 알루미늄막으로 구성된 적층막이다. 상기 적층막은 스퍼터링에 의해 연속적으로 형성되는 것이 바람직하다.

기판은 200 및 300℃ 사이에서 온도 저하로 수소에서 어닐되며, 이에 따라 수소화 규소가 된다. 최종적으로 TFT 가 생성된다.

일 실시예에서, 하나의 구동 TFT(P-채널 TFT)는 하나의 픽셀을 위해 형성된다. 또한 다수의 TFT 의 매트릭스를 갖는 활성 매트릭스형 액정 디스플레이 장치를 생산하기 위해 기판의 다수 부분에 상기 언급된 단계를 수행할 수 있다.

본 발명의 다른 응용에서와 같이, TFT 가 금속 배선과 함께 반도체 집적 회로에 형성되는 소위 3 차원 IC를 언급하였다. 이에 덧붙여서, 본 발명은 또한 다른 용도에도 적용할 수 있다.

[실시예 3]

본 실시예는 필수적으로 금속을 구성하는 게이드 전극의 구조를 설명하고 있으며, 여기서 상기 게이트 전극을 구성하는 금속 성분(본 실시예서 알루미늄)이 합금되어질 게이트 절연막으로 확산되는 것을 방지하게 된다.

제 3A 도 내지 제 3D 도는 본 실시예의 TFT 제조 단계를 도시한다. 얇은 SiO_xN_y막(302)은 1000Å 의 두께에서 디클로로실레인을 이용하는 플라즈마 CVD 에 의해 유리기판(301)에 형성된다. 다음에 비정질 규소 막(303)은 감소된 (저) 압력 아래 열 CVD 또는 플라즈마 CVD법에 의해 1000Å의 두께로 SiO_xN_y막위에 형성된다.

니켈 아세트산염은 스핀 코팅에 의해 비정질 규소막(303)위에 코팅된다. 이는 결정화 규소를 비정질 규소막으로 조장하는 금속 원소인 니켈을 도입하고 있다. 이는 4시간동안 550℃로 비활성 분위기 상태에 가열되며, 이에 의해 비정질 규소막(303)은 결정 규소 막으로 되기 위해 결정화된다. 결정 규소 막으로 될 니켈 원소의 농도는 $1 \times 10^{15}\ cm^{-3}$ 내지 $1 X 10^{10}\ cm^{-3}$ 가 좋다. 그 이유는 농도가 $1 x 10^{15}\ cm^{-3}$ 보다 작으면, 결정화를 촉진하는 니켈 효과가 불충분하기 때문이다. 그러나 농도가 $1 x 10^{19}\ cm^{-3}$ 보다 더 크면, 막내에서 규소의 반도체 특성을 과다한 니켈이 떨어뜨린다.

결정화 후에, 수소 이온을 최종 결정 규소 막으로 주입된다. 결정 규소 막에서 규소의 결합제는 주입된 수소 이온에 의해 중성화된다. 결정 규소 막으로 수소 이온을 주입하기 위해, 예를 들어 수소 이온을 상기 막에 직접 주입하는 방법, 수소 분위기에서 기판을 가열하는 방법 및 기판을 수소 플라즈마 분위기에 노출하는 방법을 이용할 수 있다. 다음에, 이것은 TFT 의 활성층(304)을 형성하기 위해 패턴 형성된다. 상기 언급된 수소 이온 주입법은 활성층(304)의 형성 후에 수행된다.

활성층(304)을 형성한 후, 얇은 SiO_xN_y막(305)이 게이트 절연막으로 형성된다. 게이트 절연막으로서 기능을 하는 상기 얇은 SiO_xN_y막(306)은 그의 성분이 점차 변화되는 점에 특징이 있다. 본 실시예에서, 막(305)은 그의 성분이 제 4 도에 도시한 방법으로 변화되는 경우로 형성된다.

제 4 도에서, 게이트 절연막을 형성하기 위해 활성층과 게이트 전극 사이에 샌드위치되는 게이트 절연막의 부분을 수평축으로 나타내며, 이 수평축은 게이트 절면막에서 질소(N)의 조성비(compsition ratio)를 나타낸다. 제 4 도에서, "mzx" 는 0.1 원자 % 내지 30 원자 % 를 나타내고, " min" 은 0.001 원자 % 내지 3 원자 %를 나타낸다. 이 값은 게이트 절연막에서 질소 원자의 조성비를 의미한다.

제 4 도에 도시한 분포를 갖는 조성비를 얻기 위해, 예를 들어, SiH_4, O_2 및 NH_3 는 NH_3 의 혼합비를 제어하는 혼합된 원료가스로서 이용된다. 구체적으로, 이용될 원료가스 혼합에서의 NH_3 의 혼합비는 형성의 시작으로부터 SiO_xN_y 의 게이트 절연막의 형성 과정과 함께 점차 낮아지며, 이에 따라 제 4 도에 도시한 것과 같은 질소의 조성비의 분포가 획득된다. 원료 가스로서, 또한 Si_2H_6 와 같은 고체 실레인 가스가 유용하며, N_2O 가스등도 유용하다.

제 4 도에 도시한 질소의 조성비의 분포를 갖는 게이트 절연막에서, 질소는 활성층과 게이트 절연층간의 경계면에 있는 농도이고, 또한 경계면 부근에서 게이트 절연막의 다른 영역보다 더 크다. 제 4 도의 (A) 영역은 게이트 절연막의 침입으로부터 활성층에 존재하는 수소 이온과 니켈 이온을 보호하기 위해 베리어로서 동작한다. (A) 영역과 다른 영역은 질소의 조성비가 낮기 때문에, Si 클라스터에 의해 야기된 전하 포획 중심을 감소시킬 수 있으며, 이는 (A)와 다른 영역에서 질화 규소막이 문제가 된다. 게이트 절연막은 전체로서 SiO_xN_y에 특이한 중요한 특성을 갖는다. 따라서, 본 실시예의 구조는 SiO_xN_y에 특이한 중요한 특성을 가지며, 또한 게이트 절연막의 침입으로부터 활성층에 존재하는 여러 이온을 보호하는 부가적인 중요 특성을 갖는다.

상기 방법으로 게이트 절연막(305)을 형성한 후에, 필수로 알루미늄을 구성하는 박막이 5000Å의 두께로 상기 막(305)에 형성된다. 필수로 알루미늄을 구성하는 박막은 게이트 전극 (306)을 형성하기 위해 패턴 형성된다. 게이트 전극의 형성 후에, 기판은 양극으로 된 전해질 용액에 침전되며, 양극으로서 게이트 전극을 이용하는 동안, 이에 의해 게이트 전극(306)의 전체 표면에 산화층(307)을 형성 하게 된다. 산화층(307)의 두께는 2000Å 이다. 이 산화층(307)의

존재로 인해, 오프셋 게이트 영역은 불순물 이온을 활성층에 주입하기 위한 다음 단계에서 형성될 수 있다.

불순물 이온은 자기 정합적으로서 소스 영역(308). 드레인 영역(310) 및 채널 형성 영역(309)을 형성하기 위해 활성층에 주입된다.

동시에, 오프셋 게이트 영역(311)이 형성된다. 본 실시예에서, P(인) 이온은 N 채널 TFT 를 형성하기 위해 주입된다. 불순물 이온을 주입한 후에, 레이저나 강열한 광선이 상기 층에 조사되고, 이에 의해 소스 영역(308) 및 드레인 영역(310)이 활성화된다. 이 단계는 400 내지 700℃의 가열로 수행된다(제 3C 도 참조).

규소 산화물의 절연 내부층(312)이 플라즈마 CVD 법에 의해 형성된다. 접촉 홀은 내부층(312)을 통해 형성된 후 소스 전극(313) 및 드레인 전극(314)이 형성된다. 이 단계 후에, TFT를 최종적으로 얻게 된다. 제 3도에 도시한 TFT 구조에서, 활성층은 SiO_xN_y 박막으로 전체가 덮어지기 때문에, 활성층에 존재하고 결정화를 촉진하는 수소 및 금속 원소는 외측이 확산되는 것을 막기 위해 있다.

본 실시예에 의해 설명되는 구조는 또한 실시예 1 및 실시예 2 에서 게이트 절연막으로 이용될 수 있다.

[실시예 4]

본 실시예는 게이트 절연막(305)이 제 5 도에 도시한 것과 같은 질소의 조성비의 분포를 갖는 것을 제외하고는 실시예 3과 동일하다. 제 5 도는 SiO_xN_y 의 게이트 절연막(305)에서 질소(N)의 조성비의 분포를 나타낸다. 본 실시예의 게이트 절연막(305)의 구조는 막(305)에서 질소의 조성비이 활성층에 직면하는 막(305)의 측에서 게이트 전극(306)에 직면하는 막(305)의 측까지 점차 증가하고 있다는 것이 특징이다.

제 5 도에서, " max" 는 0.1 원자 % 에서 30 원자 %를 나타내는데, 1 원자 % 내지 3 원자 % 가 좋고, " min" 은 0.001 원자 % 내지 3 원자 %를 나타낸다. 이 값들은 이용될 혼합 원료 가스 대 가스(예, NH_4)를 함유하는 질소의 혼합비 변화에 의해 조정될 수 있다. 제 5 도에서와 같이 질소 원자의 조성비를 점차 변화시키기 위해, 이용되는 혼합 원료 가스대 가스를 함유하는 질소의 혼합비를 게이트 절연막(305)의 형성 중에 점차 변화시킨다.

제 5 도에 도시한 구조가 이용되며, 베리어 층이 게이트 전극(306)에 직면하는 게이트 절연막(305)의 측면에 형성될 수 있기 때문에, 게이트 전극에 존재하는 성분이 게이트 절연막으로 확산되는 것을 방지할 수 있다. 예컨대 전극을 구성하는 알루미늄을 게이트 절연막에서의 규소 원자와 합금되어야 할 게이트 절연막으로 확산되는 것으로부터 보호할 수 있다.

특히 소스/드레인 영역의 활성이 가열에 의해 행하고자 하는 경우에, 본 실시예의 구조가 효과적으로 채용된다. 구체적으로 게이트 전극이 알루미늄과 같이 저융점의 물질로 되어 있는 경우 그리고 소스/드레인 영역의 활성이 400℃ 내지 700℃ 정도의 온도로 행해지는 경우 게이트 전극을 구성하는 알루미늄은 게이트 절연막에 존재하는 규소와 합금되어야 할 게이트 절연막으로 확산된다. 그러나 제 5 도에 도시된 구조가 이런 경우에 사용된다면 알루미늄이 게이트 전극에서 게이트 절연막으로 확산하는 것을 막을 수 있다.

[실시예 5]

이 실시예는 게이트 절연막(305)이 제 6 도에 도시된 것과 같은 질소 조성비의 분포를 갖는 것을 제외하고 실시예 3과 같다. 제 6 도는 SiO_xN_y 의 게이트 절연막(305)에서의 질소(N) 조성비의 분포를 나타낸다. 이 실시예의 게이트 절연막(305)의 구조는 막(305)의 구조는 막(305)에서의 질소 조성비가 제 6 도에서와 같이 활성층(304)에 접하는 막(305)의 측면에서 게이트 전극(306)에 접하는 막(305)의 측면까지 U 자형 곡선으로 변화되는 것을 특징으로 한다.

제 6 도에서 " 최대(max)" 는 3 원자 % 내지 30 원자 %, 바람직하게는 1 원자 % 내지 30 원자 %를 나타내며 " 최소(min)" 은 0.01 원자 % 내지 3 원자 %를 나타낸다. 이 값들은 질소 함유 가스(예컨대 NH_4)와 사용되어야 할 혼합 원료가스와의 혼합비를 변경시킴으로써 제어될 수 있다. 제 6 도에서와 같이 질소 원자의 조성비를 U자형 곡선으로 점진적으로 변경시키기 위해서, 질소 함유 가스 대 사용되고 있는 혼합 원료 가스의 혼합비는 게이트 절연막(305)의 형성 동안 점진적으로 변경된다.

따라서 제 6 도의 구조를 사용하면 게이트 절연막의 전기 안정도를 향상시키고 그 결과 TFT 의 특성을 향상시킬 수 있다.

[실시예 6]

제 6 도의 구조는 제 3A 도 내지 제 3D 도에 도시된 TFT 의 게이트 절연막(305)의 일 실시예로서, 막(305)에서의 질소(N) 조성비는 활성층(304)에 접하는 막(305)의 측면에서 게이트 전극(306)에 접하는 막(305)의 측면까지 U자형 곡선으로 점진적으로 변경되고 있다. 이 구조에서 막(305)에서의 질소 조성비 변화는 U자형으로서, 완만하게 경사져 있거나 표면상 완만하게 경사져 있거나 완만하게 경사진 U자형과 비슷한 형태이다. 그러나 막(305)에서의 질소 조성비가 점진적으로 변화되지 않고 단계적으로 변화되더라도 제 6 도의 구조와 같은 효과를 얻을 수 있다.

제 7 도는 질소 조성비가 단계적으로 변환되고 있는 SiO_xN_y 의 절연 게이트 박막(305) 구조의 한 실시예이다. 제 7 도의 구조를 갖는 게이트 절연막(305)에서 질소 농도(질소 조성비)는 활성층에 접해 있는 측면에서부터 단계적으로(본 실시예에서는 3단계로) 감소되고 반면에 게이트 전극을 향하여 단계적으로(본 실시예에서는 3단계로) 증가된다. 제 7 도에서 " 최대(max)" 는 3 원자 % 내지 30 원자 %를 나타내며 " 최소 (min)" 은 0.01 원자 % 내지 3 원자 %를 나타낸다.

제 7 도의 구조를 얻기 위해서는, 게이트 절연막은 질소 조성비의 변화에 필요한 단계에 상응하는 횟수만큼 형성되고, 반면에 가스를 함유하는 질소와 원료가스의 혼합비는 매 단계에서 변화된다.

제 7 도에 도시된 구조를 갖는 게이트 절연막이 사용되는 경우 그의 유전율은 질소 조성비가 단계적으로 변화되는 부분에서 불연속적으로 변화된다. 따라서 이 구조의 막은 캐패시터들이 등가적으로 직렬 접속되어 있다는 문제를 내포하고 있다. 환언하면 캐패시터들이 등가적으로 직렬 접속되어 있기 때문에 게이트 절연막 그 자체는 특히 확산된다는 문제점이 있다 (이 문제를 보는 관점에서 게이트 절연막의 질소 조성비는 제 7 도에서와 같이 단계적으로 변화되기보다는 제 6 도에서와 같이 연속적으로 변화되는 것이 더 유리하다).

[실시예 7]

이 실시예에서 SiO_xN_y 의 게이트 절연막은 제 8도에서와 같은 구조이며 이것은 제 7 도의 구조에서 변형된 것이다. 구체적으로 이 실시예의 게이트 절면막은 막의 질소 조성비가 제 8 도에서와 같이 변화되는 것을 특징으로 한다. 제 8 도에서 " 최대(max)" 는 3 원자 % 내지 30 원자 %를 나타내며 " 최소(min)" 은 0.01 원자 %내지 3 원자 %를 나타낸다.

[실시예 8]

제 9A 도 내지 제 9F 도는 이 실시예의 생산 단계를 도시한다. 유리기판(401) 위에는 두께가 2000Å 인 베이스 산화막(402)이 형성된다. 이어서 그 산화막 위에는 비정질(amorphous) 규소막(403)이 플라즈마 CVD법에 의해서 500Å 의 두께로 침착(deposition)된다. 다음에 비정질 규소막의 표면 위에는 니켈 아세테이트 박막이 스핀 코팅법(spin coating)에 의해서 형성된다. 기판은 4 시간동안 550℃ 의 열로 어닐링(annealing)되며 그 결과 비정질 규소막이 결정화

된다. 그 결정화를 더 늘리기 위해서는 이것이 열적 어닐링 후에 광 어닐링(photo-anneling)을 행한다(제 9A 도 참조).

규소막(403)은 섬 영역(404 및 405)을 형성하도록 패턴화된다. 이것은 10 내지 90% 의 산소를 함유하는 산소/질소 분위기(oxigen/nitrogen atmosphere)에서 광 어닐링을 행하고, 그 결과 섬 영역(404 및 405)의 표면 위에는 두께가 약 10 내지 100Å 인 산화 규소막(406)이 형성된다. 본 실시예에서는 KrF 엑시머 레이저(파장이 248nm임)가 사용된다. 그러나 다른 어떤 레이저 또는 균등한 광선이 사용될 수도 있다. 레이저의 에너지 밀도는 적합하게는 200 내지 350mJ/cm^2 이다. 레이저의 최적의 에너지 밀도는 규소의 결정도(degree of crystallinity), 두께, 표면 상태 등에 따라 변화하기 때문에 이들 규소막의 상태에 따라서 조정될 수 있다. 이 레이저 방사 단계에서 아직 결정 규소막에 남아있는 비정질 영역이 결정화되어 규소막의 결정도가 향상된다. 산화 규소막(406)은 열적 산화에 의해서 얻을 수 있는 산화 규소막과 유사하며 밀도 있고 조밀하며 균일하다. 더욱이 산화 규소막과 규소막 사이의 경계면은 이상적인 상태에 있기 때문에 특성이 훌륭하고 신뢰도가 높은 게이트 절연막이 다음 단계에서 산화 규소막 위에 형성된다(제 9B 도 참조).

SiO_xN_y 의 게이트 산화막(407)은 이 섬영역들(404 및 405)을 피복하기 위해 실시예 1과 같은 방식으로 200 내지 1500Å의 두께로 형성된다.

상술한 레이저 방사에 의해 광 어닐링 산화 단계 및 게이트 절연막 형성 단계는 제 11 도에 도시된 장치를 사용하여 유도된다. 제 11 도는 이 단계들을 위한 장치의 개념도를 도시하며, 이 장치는 플라즈마 CVD 성막 장치와 하나의 예비실(spare room)을 거쳐서 함께 결합된 레이저 처리 장치(예컨대 레이저 어닐링 장치)로 구성되어 있다.

제 11 도에서 부호 1은 플라즈마 CVD 장치의 챔버(chamber)이고, 부호 2는 레이저 어닐링 장치의 챔버이다. 이 챔버들에는 주입 밸브(7 및 18)와 배기 밸브(8 및 19)가 각각 제공되며, 이들을 통해서 필요한 가스가 챔버안으로 주입되고 배기가스가 챔버밖으로 확산된다. 이 밸브를 통해서 각 챔버의 내부 압력이 적정값으로 유지된다.

챔버(1)에는 전극(4 및 5)이 제공되며 취급되어야 할 기판 (표본)(6)은 전극(5)위에 배치되고 전극(4)은 RF 전원(3)(예컨대 주파수가 1.356MHz 인)에 접속된다. 적절한 가스 혼합물(예컨대 모노실란 또는 디실란, 그리고 산소, 아산화 질소등을 구비하는)이 챔버(1)로 주입되고 전극은 확산된다. 이렇게 하여 기판(6) 위에 막이 형성된다. 기판(6)은 선택적으로(opionally) 가열될 수 있다.

챔버(2)에는 창문(14)이 제공되며, 레이저 유닛(11)에 의해서 방출되고 렌즈(13)를 통해서 거울(12)을 거쳐 통과되는 레이저 광선은 창문(14)을 통해서 표본 고정기(15)에 배치된 기판(17)에 공급된다. 기판은 가열기(16)에 의해서 200 내지 500℃, 양호하게는 300 내지 400℃ 에서 가열된다. 재생성이 양호하게 광 어닐링을 유도하기 위해서는 이 가열법이 효과적이다.

챔버(2)에서 활성층의 표면은 레이저 어닐링에 의해서 광 산화(photo-oxidization)되고, 이에 의해 활성층의 결정도가 동시에 향상되고 어닐된 활성층의 특성이 향상된다. 이 처리에서 레이저 어닐링 장치의 챔버는 산소 분위기를 갖도록 만들어지며, 동시에 막 표면 위에 산화막이 형성되면 단결정 규소막의 결정도가 향상된다. 레이저 어닐링이 암모니아 분위기등과 같은 질화 분위기에서 유도되면 산화 질소막이 형성된다.

표본 고정기는 이동가능하며 그 고정기 위로 기판을 옮기는 동안 도면의 좌측을 향해 점진적으로 이동될 수 있다. 그 결과 기판의 전체 표면은 레이저 어닐링의 지배를 받는다. 예컨대 기판 크기가 300mm x 400mm 인 경우 그 기판에는 크기가 2mm x 350mm 인 선형 레이저 빔이 공급되며 기판의 전체 표면은 레이저 빔에 의해서 취급될 수 있다. 고정기의 이동속도가 20mm/sec 인 경우 기판 한 장의 취급에 필요한 시간은 400/20 = 20 초이다.

결정 규소섬 위에 있는 기판은 이하에 언급된 단계들에 따라서 처리된다. 먼저, 예비실은 내부 입력이 10^{-5} 내지 1Torr가 되도록 가스 배출된다. 반면에 레이저 처리 장치의 챔버(2)도 예비실에서와 같은 정도로 가스배출된다. 예비실과 레이저 처리 장치 사이의 게이트(gate)가 열리고 기판은 예비실에서 레이저 처리장치로 이송된다. 기판이 이송된 후 게이트가 닫히고 가스가 적정 압력 하에서 챔버(2)로 주입된다. 이어서 표본 고정기(15)는 가열기(16)에 의해서 적정 온도까지 가열된다. 표본 고정기(15)의 온도가 안정화되고 레이저 처리 장치에 정해진 기판의 위치가 정확히 배치된 후 기판은 레이저 처리를 행한다. 레이저 방사에 의해 기판위에 규소막의 결정도가 향상된다. 이 처리과정에 챔버(2)의 분위기가 1 내지 1000Torr로 되도록 제어되고 또한 산소 또는 산화질소(예컨대 아산화질소(N_2O), 이산화질소(NO_2) 등)가 10% 이상으로 되도록 제어된다. 이 레이저 방사에 의해 규소막의 표면위에 규소 산화박막이 형성된다.

챔버(2)는 10^{-5} 내지 1Torr의 압력을 갖도록 가스 배출되며 기판은 다시 예비식(9)로 되돌려지고 예비실에서와 같은 정도로 가스 배출된 플라즈마 CVD 성막 챔버(filming chamber)(1)로 이송된다. 이 챔버(1)에서는 산화규소, 질화규소 등의 절연막이 소정의 성막 처리(filming process)에 따라서 형성된다. 챔버(1)에서 유도된 이 성막 처리 중에 다른 기판이 챔버(2)에서 처리되어도 된다. 성막(filming)이 종료된 후 성막 챔버(1)은 10^{-5} 내지 1Torr의 압력을 갖도록 가스배출되고 이어서 성막 챔버(1)와 예비실 사이의 문이 열리며 기판은 챔버(1)에서와 같은 정도로 가스배출된 예비실로 이송된다. 이후 예비실의 압력은 대기압까지 재축적되고 기판은 대기 중으로 꺼내어진다.

전술의 처리에서, 기판 고정에 걸리는 시간, 기판 위치의 정렬에 걸리는 시간 및 기판을 챔버에서 꺼내는데 걸리는 시간을 포함하여 레이저 처리 장치에서 한장의 기판을 처리하는 시간은 기판 고정에 걸리는 시간과 챔버의 가스배출에 걸리는 시간을 포함하여 플라즈마 CVD 성막 장치에서의 동일 기판에 대한 성막 시간(filming time)과 거의 같다면 한 장의 기판은 레이저 처리 장치에시 그리고 이어서 대기시간이 필요 없이 플라즈마 CVD 챔버에서 연속으로 처리될 수 있다. 한 장의 기판에 대한 레이저 처리시간이 플라즈마 CVD 법에 의해서 동일물에 대해 성막시간의 반(1/2)이라면 두 장의 기판이 플라즈마 CVD 법에 의해 동시에 처리될 수 있다. 이 경우 먼저 두개의 기판이 예비실에 적재되고 이들 중 한 장의 기판이 레이저 처리챔버로 이송되어 그 방안에서 처리되고, 다른 기판은 아직 예비실에 적재되어 있다. 처음의 기판이 처리된 후, 아직 예비실에 적재되어 있던 다른 기판은 레이저 처리챔버로 이송되어 그 챔버안에서 처리된다. 이렇게 하여 이 두 기판은 레이저 광선으로 처리된 후 플라즈마 CVD 챔버로 이송되어 이 챔버에서 플라즈마 CVD 법에 의해 동시에 처리된다.

기판이 레이저 어닐링에 의해서 광 산화되고 이어서 상술한 처리에 따라 게이트 절연막으로 코팅된 후 2000Å 내지 5㎛ 두께의 알루미늄막이 전자빔 침적법(election beam deposition)에 의해 그 위에 형성되고 이것은 제 9C 도에서 도시된 바와 같이 게이트 전극(408 및 409)을 형성하도록 패턴된다. 이후 이 게이트 전극들은 양극산화법(anodic oxidation)의 지배를 받고 그에 의해 1500Å 내지 2000Å 두께의 양극 산화막이 각 게이트 전극의 상부 표면과 측면 표면에 형성된다. 양극 산화법을 위한 조건은 실시예 2에서의 조건과 같다(제 9C 도 참조).

이후 게이트 전극을 마스크로서 사용하여 단일 전도성 불순물을 각 TFT 에서 이온 도핑에 의해 자기 정합적으로 섬 영역(404 및 405)에 주입한다. 주입을 유도하기 위해 먼저 인(PH_3)을 도핑가스로서 사용하여 인이 전체 표면으로 주입되어 N형 불순물 영역(410 및 411)을 형성한다(제 9D 도 참조).

섬영역(404)만이 감광막(412)으로 코팅되고 붕소는 다이보레인(diborane)(B_2H_6)을 도핑가스로서 사용하여 불순물 영역(411)으로만 주입된다. 이 처리로 N형 불순물 영역(411)이 P형 불순물 영역(413)으로 반전된다(제 9E 도 참조).

인의 양은 2×10^{15} 내지 8×10^{15} cm^{-2} 이고, 붕소의 양은 4×10^{15} 내지 10×10^{15} cm^{-2} 이다. 붕소의 양이 인의 양보다 높은 것이 바람직하다.

KrF 엑시머 레이저는 기판으로 방사되며, 이에 의해 전술의 불순물 영역(410 및 413)을 주입한 것으로 인해서 열화된 부분의 결정도가 향상되고 그 주입된 불순물이 활성된다. 레이저의 에너지 밀도는 2인 내지 400mJ/cm^2, 유리하게는 250 내지 300mJ/cm^{2}인 것이 바람직하다. 이 효과를 더 높히기 위해선 이러한 기판은 이전의 레이저 어닐링후 350℃ 내지 550℃에서의 열적 어닐링 처리를 행한다. 게이트 전극은 양극 산화막으로 피복되었기 때문에 이러한 열적 어닐링에 의해서도 전혀 변형되지 않는다. 그 결과 N형 불순물 영역과 P형 불순물 영역이 형성된다. 이 영역들의 면적 저항은 200 내지 80Ω/cm^{2}이다.

전체 표면 위에는 두께가 3000Å 인 산화규소의 층간 절연막(414)이 형성된다. 다음에 접촉개구(contact holes)가 TFT 의 소스/드레인에 형성되어 소스/드레인 전극들(415, 416 및 417)이 형성된다(제 9F 도 참조).

상술의 처리에 따라서 CMOS 형 TFT 가 형성된다.

[실시예 9]

이 실시예는 실시예 5 의 게이트 절연막을 사용하여 CMOS형 TFT의 형성을 시도하는 것이다. 제 9 도는 본 실시예의 TFT 구조를 도시하고 있다.

SiO_xN_y의 베이스 산화막(402)이 플라즈마 CVD 법에 의해서 기판(401) 위에 1000Å의 두께로 형성된다. 다음에 그 막위에 비정질 규소막이 플라즈마 CVD 법에 의해서 500Å의 두께로 형성된다. 이것은 실시예 8 에서와 같은 방식으로 니켈 아세테이트를 사용하여 가열 어닐되고 그에 의해 규소막이 결정화된다(제 9A 도 참조).

활성층이 될 규소막(403)은 섬 영역(404 및 405)을 형성하도록 패턴화된다. 이후 이것은 N_2O 분위기에서 레이저 어닐링 처리를 행하며, 이에 의해 두께가 약 10 내지 100Å 인 규소 산화막(406)이 섬 영역(404 및 405)의 표면위에 형성된다. 이 실시예에서는 KrF 엑시머 레이저(파장이 248nm 임)가 사용된다. 이 레이저 방사에 의해, 아직도 상기 결정 규소막에 남아있는 비정질 영역이 결정화되고, 규소막의 결정도가 향상된다 (제 9B도 참조).

이 섬 영역들(404 및 405)이 형성된 후 그 위에 SiO_xN_y의 게이트 절연막(407)이 형성된다. 이 실시예에서 게이트 절연막(407)은 실시예 5에서와 같이 제 6 도에서 도시된 분포와 같은 질소 조성비의 분포를 갖는다. SiO_xN_y의 게이트 절연막(407)에서의 질소(N) 조성비의 분포를 나타내는 제 6 도에서와 같이 본 실시예의 게이트 절연막(407)의 구조는 게이트 절연막(407)의 질소 조성비가 섬 영역(404 및 405)의 측면에서 각각 게이트 전극(408 및 409)의 측면으로 U 자형으로 변화되는 것을 특징으로 한다.

본 실시예에서는 제 12 도에 의해서 도시된 것과 같은 다중 챔버 장치(multi-chamber apparatus)가 사용된다. 제 11 도의 장치는 직렬 접속된 두개의 장치로 구성된 다중 챔버 장치이다. 이와 달리 본 실시예에서 사용된 장치는 유성형 다중 챔버 장치이다. 구체적으로 이 유성형(별 모양) 다중 챔버 장치는, 처리되어야 할 기판이 배치되고 그 처리된 기판이 꺼내어지는 챔버(21)와, 기판이 다양한 열처리(예컨대 산소분위기에서의 어닐링)를 해하는 가설 챔버(23)와, 기판이 레이저 광선으로 방사되는 레이저 처리 챔버(25)와, 규소 질산막이 플라즈마 CVD 법에 의해서 기판위에 형성되는 성막 챔버(27) 및, 이 챔버들에 공통인 예비실(29)로 구성되어 있다. 예비실은 게이트(22, 24, 26 및 28)를 통해서 각 챔버와 연결되어있다. 처리되어야 할 기판은 31 내지 34 에 의해 도시된 그것과 같이 공동의 예비실(29)에 배치된 로봇 손(30)에 의해 이 챔버들 사이에서 이동된다. 예컨대 처리 되어야 할 기판을 챔버들간에 이동하기 위해서 소위 C 대 C(카세트 대 카세트) 시스템이 사용될 수 있으며 여기에서 처리되어야 할 다수의 기판은 챔버(21)에 있는 카세트에 고정되고 로봇 손에 의해서 한 장씩 의도된 챔버로 자동적으로 이동되며 그 처리된 기판은 그 카세트에서 리셋(reset)된다.

이 실시예의 처리에 따르면 기판은 먼저 챔버(25)에서 레이저 어닐링의 지배에 종속되고, 이후 이것은 게이트 절연막이 형성되는 성막 챔버(27)로 이송된다.

제 12 도에 의해서 도시된 장치와 같은 장치를 사용하여 게이트 절연막은 규소막을 공기(대기)에 노출시키지 않고 레이저 어닐링에 의해서 처리된 규소 막위에 형성된다.

상술의 단계 후 5000Å 두께의 알루미늄막이 게이트 전극(408 및 409)으로서 형성되고 이어서 양극 산화막이 각 게이트 전극의 상부 표면과 측면 표면에 코팅된다(제 9C 도 참조).

N 형 불순물 영역(410 및 411)이 각 TFT 에서 각각 섬 영역(404 및 405)에서 형성된다(제 9D 도 참조).

다음에 섬 영역(404)만이 감광막(412)으로 코팅되고 P 형 불순물은 섬 영역(405)으로 주입되어 그 안에 P 형 불순물 영역(413)을 형성한다(제 9E 도 참조).

기판은 20분 동안 500℃로 열적 어닐링을 행하며 그에 의해 도핑된 불순물이 활성된다. 이것은 KrF 엑시머 레이저(파장이 248nm이고, 펄스폭이 20nsec임)로 방사되며, 그에 의해 도핑된 불순물의 활성이 더 수행된다. 이는 500℃ 에서 20분 동안 열 어닐링이 실행되어, 소스/채널 접합 및 드레인/채널 접합에 형성된 트랩 준위(trap levels)가 제거된다.

기판의 전표면상에 산화 규소의 층간 절연막(414)이 두께 3000Å로 형성된다. 상술한 레이저 어닐링 단계로부터 층간 절연층을 형성하는 단계까지의 공정은 제 12 도에 도시된 장치를 사용하여 실행해도 좋다. 구체적으로, 상기 기판은 먼저 열처리 챔버(23)내에서 열 어닐링을 실행하고, 그 다음에 레이저 처리 챔버(25)에 이송되어 레이저 어닐링이 실행된다. 그 후, 열처리 챔버(23)에 다시 이송되어 열어닐링이 실행되고, 그 후 성막 챔버(27)에 이송되어 그 기판상에 층간 절연층이 형성된다.

상기 단계에 있어서 레이저 어닐링 처리 속도와 성막 처리 속도는 거의 같으나, 열 어닐링 단계는 레이저 어닐링 단계 또는 성막 처리단계 보다도 약 10 배의 시간을 더 필요로 한다. 그러므로, 10장의 기관은 동시에 모두 열어닐링이 실행된다. 따라서, 레이저 어닐링된 10장 이상의 기판을 저장할 수 있도록 예비실(29)이 구성되어야 한다.

상기 공정에 의해 층간 절연층이 형성된 후, 접촉홀이 각 TFT의 소스/드레인 영역에 형성되고, 소스/드레인 전극(415, 416 및 417)이 형성된다(제 9F 도).

상술한 공정에 따라서, CMOS 형의 TFT 가 형성된다.

[실시예 10]

본 실시예에서, 실시예 6 에서와 같은 게이트 절변막을 기판상에 형성하는 단계 전에, 불소 또는 염소를 함유하는 산화분위기 중에서 기판은 레이저 어닐링이 실행된다. 상기 레이저 어닐링에 의해, 상기 기판상에 형성된 결정질 규소막내의 불순물이 제거된다.

SiO_xN_y 의 산화 염기막(502)이 플라즈마 CVD에 의해 기판(501)상에 두께 1400Å로 형성된다. 그 다음에, 그 위에 비결정질의 규소막(503)이 역시 플라즈마 CVD법에 의해 두께 500Å로 형성되고 결정화된다(제 10A 도 참조).

상기 규소막(503)는 에칭되어 섬형 영역(504)을 형성한다. 상기 기판은 염화수소를 30% 함유하는 산소분위기 중에서 KrF 엑시머 레이저(파장 248nm를 가짐)로 조사된다. 조사 에너지의 밀도는 250 내지 450mJ/cm ^{2}, 예컨대 300mJ/cm^2 이고, 레이저 조사와 10 내지 50 shots/site 가 상기 기판에 인가된다. 기판의 온도는 200 내지 500℃가 바람직하다. 상기 레이저 조사에 의해, 섬형 영역(504)의 표면상에 존재하고 있는 니켈은 염소와 화합하여 증발되거나 또는 산화 규소막(505)에 의해 선택적으로 포획된다.

형성된 산화 규소막(505)은 염소를 함유하는 조성물을 가지며, 그의 두께는 인가된 레이저의 에너지 밀도, 인가된 레이저의 쇼트(shots)수에 따라 약 10 내지 50Å 이다. 이 단계에서, 염화수소 대신에 4 염화붕소, 3 불화질소, 6 불화 2 탄소 등이 사용될 수도 있다. 이 단계에서, 염소가 활성층에도 도입된다(제 10B 도 참조).

상기 막(505)에는 게이트 절연층이 형성될 수도 있다. 그러나 본 실시예에서, 이와 같은 기판은 불산계등을 포함하는 에치앤트(etchant)내에 담겨져, 산화규소막(505)이 게이트 절연층의 형성전에 에칭된다. 이 에칭 처리에 의해, 산화규소막(505)이 에칭되며, 불순물인 니켈도 동시에 제거되고, 활성층(504)내의 니켈 농도는 극히 적게 된다.

SiO_xN_y의 게이트 절연막(506)은 활성층(504)상에 형성된다. 본 실시예에서, 게이트 절연막(506)은 실시예 6과 마찬가지로, 제 7 도에 도시된 것과 같이, 질소 조성비의 분포를 갖는나. 제 7 도의 구조를 얻기 위하여, 게이트 절연막은 질소의 조성비의 변화에 필요한 단계에 대응하는 수회로 형성되며, 사용되고 있는 원료 가스 혼합물에 가스를 함유하는 질소의 혼합비는 매 단계마다 변화된다.

두께 5000Å를 가진 알루미늄막이 막(506)에 코팅되어, 그 위에 게이트 전극(507)을 형성한다(제 10C 도 참조).

이온 도핑법에 의해서 섬형 영역(504)에 자기 정합적으로 불순물이 주입되고, 상기 게이트 전극부를 마스크로서 사용한다. 이 단계에서, 포스핀(PH_3)을 도핑 가스로서 사용하여, 섬형 영역(504)에 인이 주입되어, 상기 영역(504)내에 N형 불순물 영역(508)을 형성한다. 인의 도스량은 1×10^{14} 내지 5×10^{17} cm^{-2} 이고, 인가된 가속전압은 60 내지 90kV 이며, 예컨대, 전자는 1×10^{15} cm^{-2} 이고, 후자는 980KV 이다(제 10D 도).

다음에, krF 엑시머 레이저(파장 248nm 및 펄스폭 20nsec을 가짐)가 조사되어, 불순물 영역(508)의 주입에 기인하여 열화된 부분의 결정성이 개선되고, 주입된 불순물이 활성화된다. 이 속에 사용된 레이저의 밀도는 200 내지 400mJ/cm^2 이고, 바람직하게는 250 내지 300mJ/cm^2 이다.

기판의 전표면상에 산화규소의 층간 절연막(509)이 두께 3000Å로 형성된다. 상기 층간 절연막(509) 및 게이트 절연막(506)이 에칭되어, 소스용으로 접촉홀을 형성한다. 상기 접촉홀을 덮도록 알루미늄막이 형성되고 에칭되어 소스 전극(510)을 형성한다(제 10E 도 참조).

질화 규소의 패시베이션막(511)이 두께 3000Å로 형성된다. 상기 패시베이션막(511), 층간 절연막(509) 및 게이트 절연막(506)이 에칭되어 드레인용의 접촉홀을 형성한다. 스퍼터링법에 의해 인듐산화주석막(ITO 막)이 형성되고 에칭되어 화소전극(512)을 형성한다(제 10F 도 참조).

상술한 공정에 따르면, 활성 매트릭스 회로의 화소 트랜지스터가 형성된다.

절연기판, 특히 유리 기판상에 형성된 SiO_xN_y의 게이트 절연막을 가진 본 발명의 TFT는 게이트 전극의 정전 파괴가 방지되고, SiN 결합에 의해 Na 및 중금속 이온이 드리프트되는 것이 방지되고; 막 중에 고정 전하가 존재하지 않으므로, TFT의 C-V(capacitance-Voltage) 특성에는 히스테리가 생기지 않고 TFT 의 안정한 동작이 기대되는 점이 장점이다.

상기 SiO_xN_y막이 형성될 때 원료 가스로서 클로로실란(chlorosilane) 또는 디클로로실란(dichlorosilane)이 사용된다면, Cl(염소)가 상기 막에 첨가될 수 있다. 막에 도입된 Cl 의 액션에 기인하여, 불순물 이온이 고정될 수 있다. 그러므로, SiO_xN_y의 게이트 절연막을 가진 본 발명의 반도체 장치에 있어서, SiO_xN_y막내에서 N의 조성비는 상기 막 및 인접한 활성층간의 경계면 및/또는 게이트 전극으로부터 게이트 절연막까지 각종 이온 및 원소가 확산되지 않는다.

(57) 청구의 범위

청구항 1.

반도체 장치를 제조하는 방법에 있어서,

절연 표면을 가진 기판상에 활성층을 형성하는 단계와;

산소, 질소 및 할로겐 원소 중 적어도 한 원소를 포함하는 분위기 속에서 레이저를 상기 활성층에 조사하는 단계와;

상기 활성층상에 규소, 산소 및 질소를 포함하는 막을 플라즈마 CVD법에 의해 형성하는 단계를 포함하며,

상기 기판은 레이저 조사단계에서 막 형성 단계까지 대기에 실질적으로 노출 되지 않고,

상기 막과 활성층간의 경계면에서와 상기 활성층과 접촉하지 않은 막의 표면에서의 질소의 조성비들은 막의 다른 부분들에서 보다 큰, 반도체 장치 제조방법.

청구항 2.

제 1 항에 있어서,

상기 막은 게이트 절면막인, 반도체 장치 제조방법.

청구항 3.

제 1 항에 있어서,

상기 막의 질소 농도는 상기 막의 두께 방향쪽으로 변화되는, 반도체 장치 제조방법.

청구항 4.

제 1 항에 있어서,

상기 막은 SiO_xN_y (여기서, $0 < x < 2$ 이고, $0 < y < 4/3$)이며, 그 막의 에너지 벤드 갭은 5.3 내지 7.0 eV이고, 그 막의 비유전율은 4 내지 6 인 반도체 장치제조방법.

청구항 5.

반도체 장치를 제조하는 방법에 있어서,

절연 표면을 가진 기판상에 활성층을 형성하는 단계와;

산소, 질소 및 할로겐 원소 중 적어도 한 원소를 포함하는 분위기 속에서 레이저를 상기 활성층에 조사하는 단계와;

상기 활성층상에 규소, 산소 및 질소를 포함하는 막을 플라즈마 CVD법에 의해 형성하는 단계와;

상기 막상에 게이트 전극을 형성하는 단계를 포함하며.

상기 기판은 상기 레이저 조사 단계에서 상기 막 형성 단계까지 대기에 노출되지 않고,

상기 막 및 게이트 전극간과 상기 막 및 활성층간의 경계면들에서 질소의 조성비들은 막의 다른 부분들에서 보다 큰, 반도체 장치 제조방법.

청구항 6.

제 5 항에 있어서,

상기 막 및 게이트 전극간의 경계면에서의 질소의 조성비는 상기 막 및 활성층간의 경계면에서 보다 크게 되는, 반도체 장치 제조밥법.

청구항 7.

제 6 항에 있어서,

상기 막은 SiO_xN_y (여기서, $0 < x < 2$ 및 $0 < y < 4/3$), 그 막의 에너지 밴드 갭은 5.3 내지 7.0eV 이고. 그 막의 비유전율은 4 내지 6 인 반도체 장치 제조방법.

청구항 8.

제 1 항에 있어서,

상기 활성층 밑에 규소, 산소 및 질소를 포함하는 절연막을 형성하는 단계를 더 포함하는, 반도체 장치 제조방법.

청구항 9.

제 1 항에 있어서,

상기 활성층은 규소의 결정화를 조장하는 금속 원소를 포함하는 반도체 장치 제조방법.

청구항 10.

제 9 항에 있어서,

상기 금속 원소는 Ni, Fe, Co, Ru, Pd, Os, Ir, Pt, Cu, Ag 및 Au로부터 선택된 적어도 하나를 포함하는, 반도체 장치 제조방법.

청구항 11.

반도체 장치를 제조하는 방법에 있어서,

절연 표면을 가진 기판상에 활성층을 형성하는 단계와;

산소, 질소 및 할로겐 원소 중 적어도 한 원소를 포함하는 분위기 속에서 레이저를 상기 활성층에 조사하는 단계와;

규소, 산소, 질소 및 염소를 포함하는 게이트 절연막을 형성하는 단계를 포함하며,

질소 농도가 상기 레이저 조사 단계에서 게이트 절연막 형성 단계까지 게이트 절연막의 두께 방향쪽으로 변화되고,

상기 게이트 절연막과 활성층간의 경계면에서와 상기 활성층과 접촉하지 않은 막의 표면에서의 질소의 조성비들는 게이트 절연막의 다른 부분들에서 보다 큰, 반도체 장치 제조방법.

청구항 12.

제 11 항에 있어서,

상기 게이트 절연막은 SiO_xN_y (여기서, $0 < x < 2$ 및 $0 < y < 4/3$)을 포함하며, 그 게이트 절연막의 에너지 밴드 갭은 5.3 내지 7.0 eV 이고, 그 게이트 절연막의 비유전율은 4 내지 6인 반도체 장치 제조방법.

청구항 13.

반도체 장치를 제조하는 방법에 있어서,

결정질의 규소 섬형 영역을 기판상에 형성하는 단계와;

상기 기판을 열로 가열하는 동안에 산소를 포함하는 분위기 속에서 포토-어닐링법(photo-annealing)에 의해 상기 섬형 영역의 표면상에 산화 규소막을 형성하는 단계와;

상기 성형 영역을 덮도록 SiO_xN_y을 포함하는 절연막을 형성하는 단계를 포함하며,

상기 기판은 상기 산화 규소막 형성 단계에서 절연막 형성 단계까지 대기에 노출되지 않는, 반도체 장치 제조방법.

청구항 14.

제 15 항에 있어서,

$0 < x < 2$ 이고 $0 < y < 4/3$)인 경우, 상기 절연막의 에너지 밴드 갭은 5.3 내지 7.0 eV 이고, 상기 절연막의 비유전율은 4 내지 6인 반도체 장치 제조방법.

청구항 15.

제 13 항에 있어서,

상기 절연막과 산화 규소막간의 경계면에서의 질소의 조성비는 절연막의 다른 부분들에서 보다 큰, 반도체 장치 제조방법.

청구항 16.

반도체 장치를 제조하는 방법에 있어서,

결정질의 규소 섬형 영역을 기판상에 형성하는 단계와;

상기 기판을 가열하는 동안에 산소 및 질소를 포함하는 분위기 속에서 포토-어닐링법(photo-annealing)에 의해 상기 섬형 영역의 표면상에 규소 질화물 및 규소 산화물 중 적어도. 하나를 포함하는 막을 형성하는 단계와;

상기 섬형 영역을 덮도록 SiO_xN_y을 포함하는 절연막을 형성하는 단계를 포함하며,

상기 기판은 상기 막 형성 단계에서 절연막 형성 단계까지 대기에 노출되지 않는, 반도체 장치 제조방법.

청구항 17.

제 16 항에 있어서,

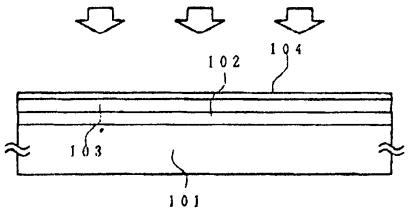
$0< x< 2$ 이고 $0< y< 4/3$ 인 경우, 사기 절연막의 에너지 밴드 갭은 5.3 내지 7.0 eV 이고, 상기 절연막의 비유전율은 4 내지 6인, 반도체 장치 제조방법.

청구항 18.

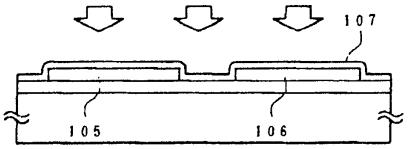
제 16 항에 있어서,

상기 절연막과 규소 질화물 및 규소 산화물 중 적어도 하나를 포함하는 막과의 경계면에서의 질소의 조성비는 절연막의 다른 부분들에서 보다 큰, 반도체 장치제조방법.

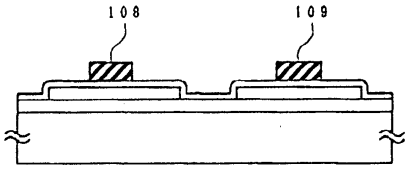
도면 1a



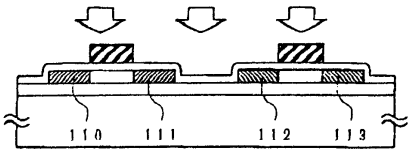
도면 1b



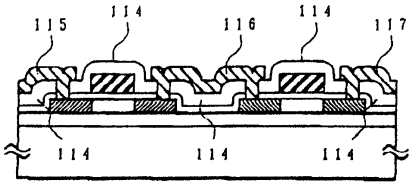
도면 1c



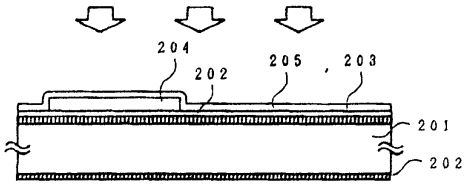
도면 1d



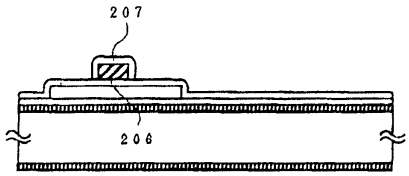
도면 1e



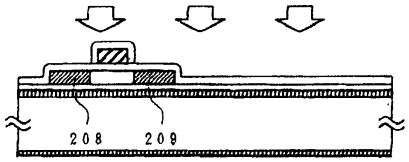
도면 2a



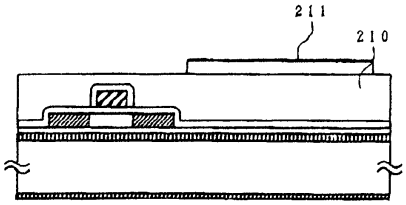
도면 2b



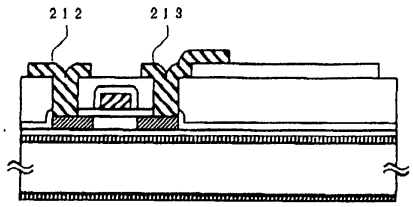
도면 2c



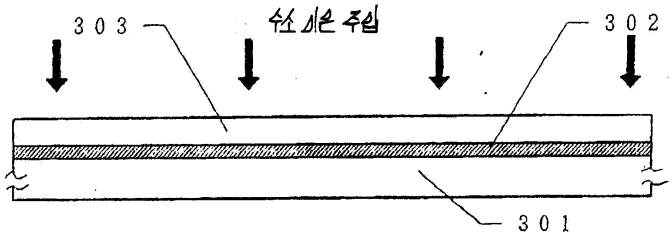
도면 2d



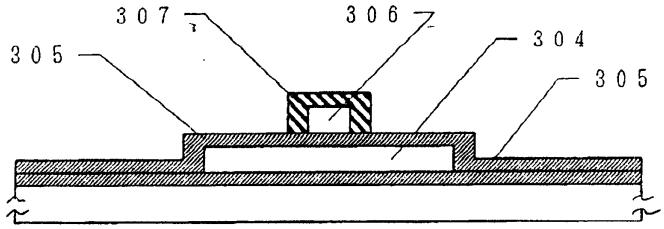
도면 2e



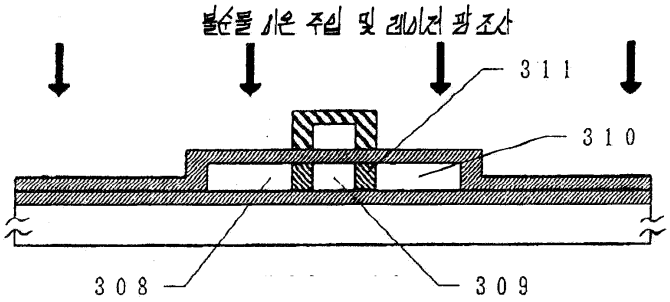
도면 3a



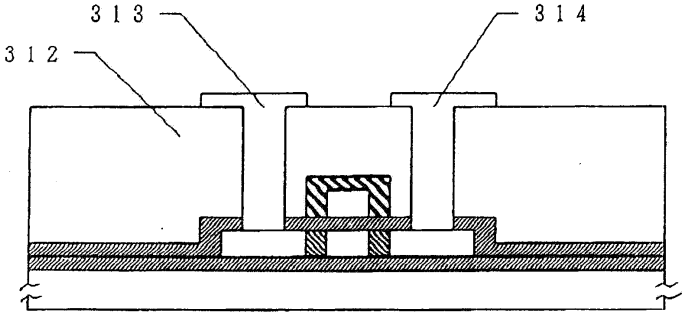
도면 3b



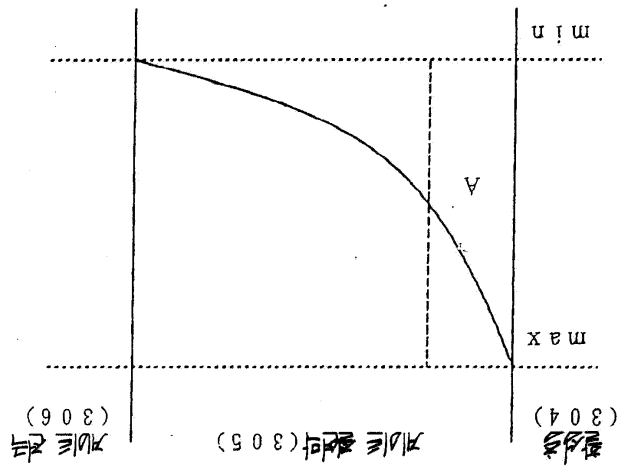
도면 3c



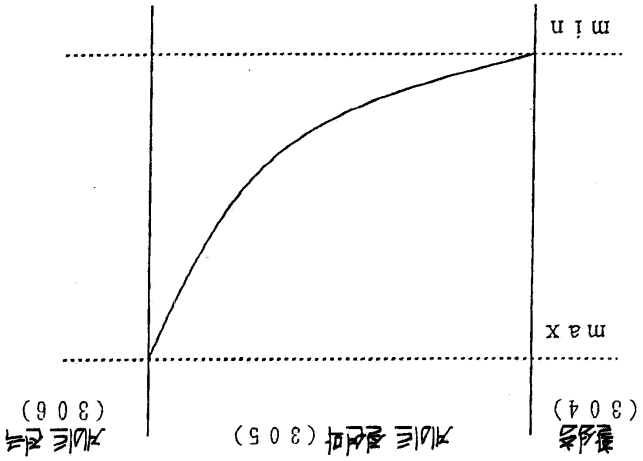
도면 3d



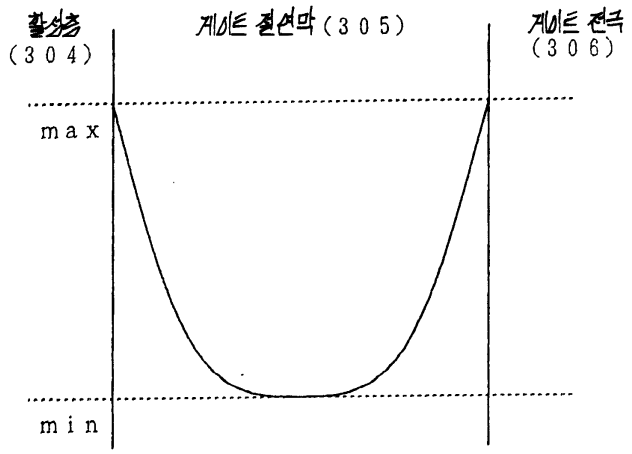
도면 4


min
A
max
활성층 (304)
게이트 활성막 (305)
게이트 전극 (306)

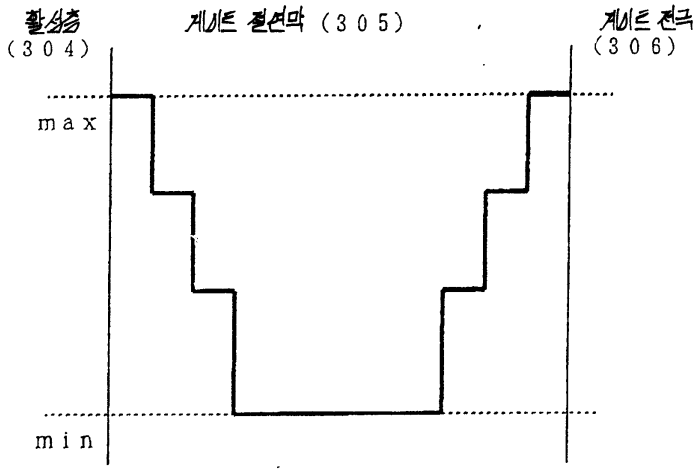
도면 5


min
max
활성층 (304)
게이트 활성막 (305)
게이트 전극 (306)

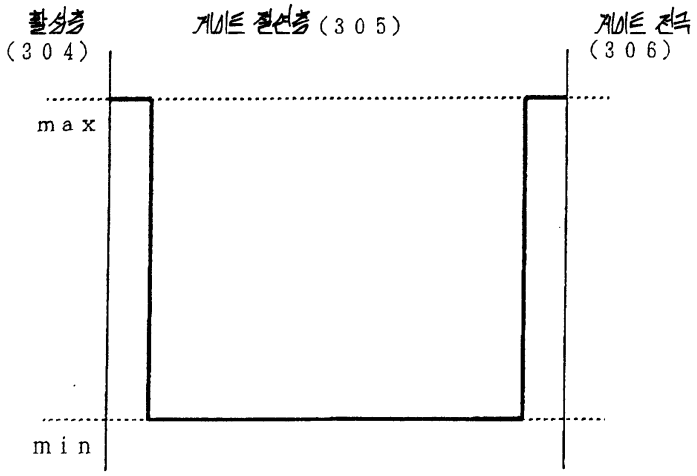
도면 6


활성층
(304)
게이트 절연막 (305)
게이트 전극
(306)
max
min

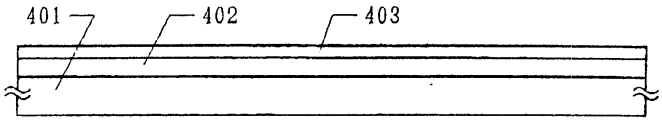
도면 7


활성층
(304)
게이트 절연막 (305)
게이트 전극
(306)
max
min

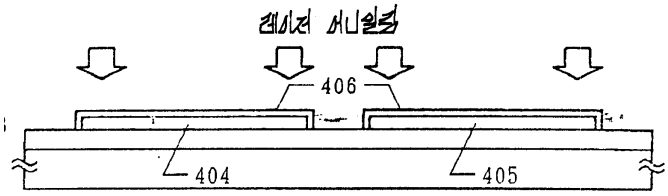
도면 8



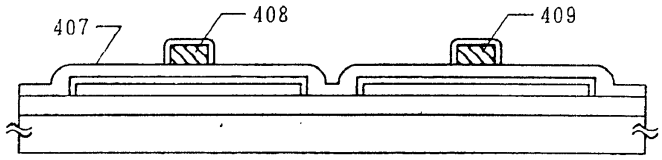
도면 9a



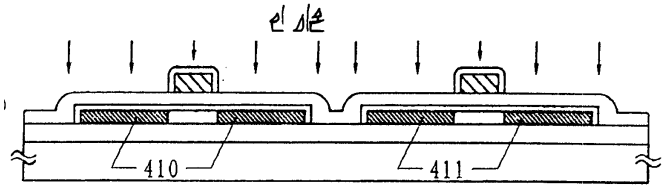
도면 9b



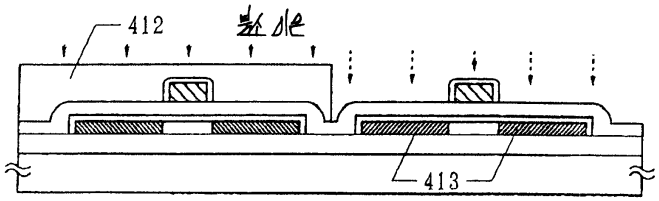
도면 9c



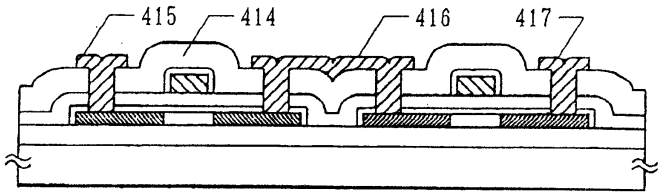
도면 9d



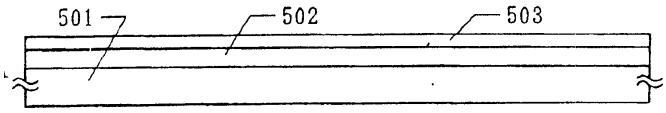
도면 9e



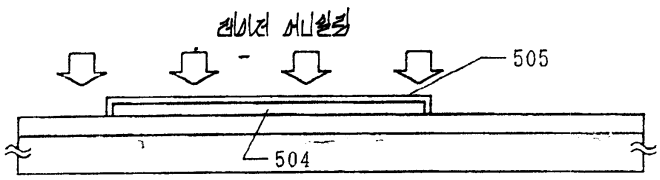
도면 9f



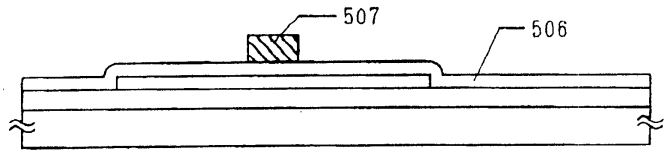
도면 10a



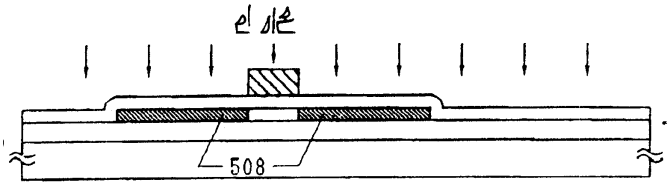
도면 10b



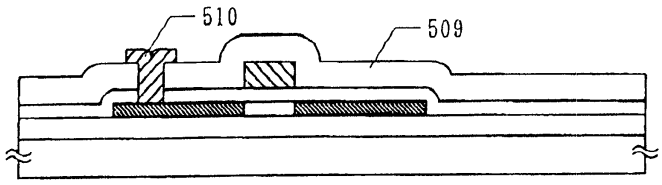
도면 10c



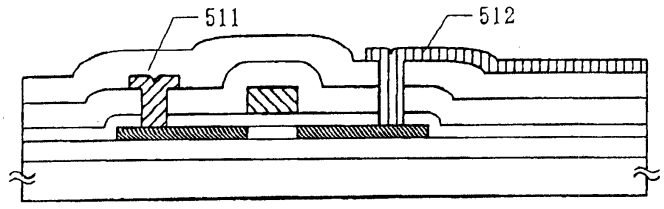
도면 10d



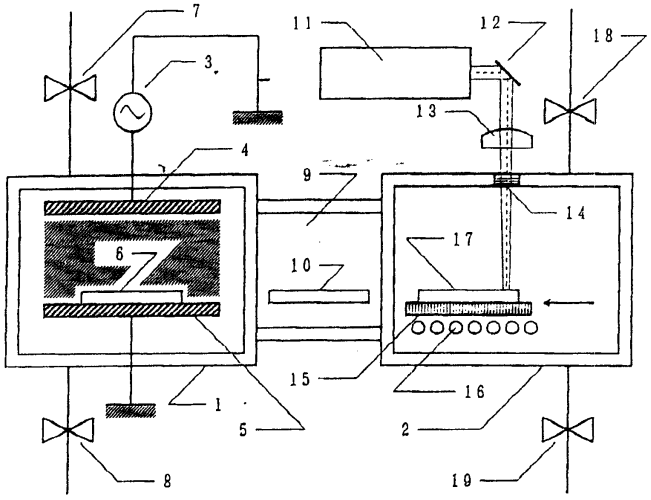
도면 10e



도면 10f



도면 11



도면 12

