

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34488

(P2010-34488A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.		F I		テーマコード (参考)
H O 1 L 29/78 (2006.01)		H O 1 L 29/78	3 O 1 S	5 F 1 4 O
H O 1 L 21/322 (2006.01)		H O 1 L 21/322	J	
H O 1 L 21/265 (2006.01)		H O 1 L 21/322	L	
		H O 1 L 21/265	Q	

審査請求 有 請求項の数 24 O L (全 17 頁)

(21) 出願番号	特願2008-287315 (P2008-287315)	(71) 出願人	390009531
(22) 出願日	平成20年11月10日 (2008.11.10)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(31) 優先権主張番号	12/178766		INTERNATIONAL BUSINESS MACHINES CORPORATION
(32) 優先日	平成20年7月24日 (2008.7.24)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(33) 優先権主張国	米国 (US)	(74) 代理人	100108501 弁理士 上野 剛史
		(74) 代理人	100112690 弁理士 太佐 種一
		(74) 代理人	100091568 弁理士 市位 嘉宏

最終頁に続く

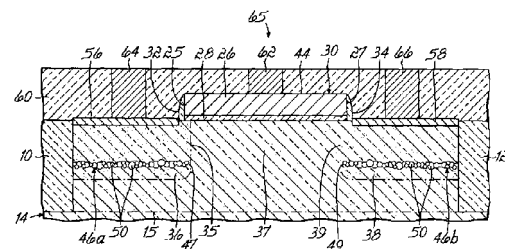
(54) 【発明の名称】 自己整合損傷層を有するデバイス構造体及びそのデバイス構造体の形成方法

(57) 【要約】

【課題】 自己整合損傷層を有するデバイス構造体及びそのデバイス構造体の形成方法を提供する。

【解決手段】 デバイス構造体は、基板の半導体材料内部に画定された第1導電型の第1及び第2ドープ領域を有する。逆の導電型の第3ドープ領域が、横方向に第1ドープ領域を第2ドープ領域から分離する。ゲート構造部が基板の上表面に配置され、第3ドープ領域と垂直方向で重なる関係を有する。第1結晶損傷層は基板の半導体材料の内部に画定される。第1結晶損傷層は、基板の半導体材料によって取り囲まれた第1の複数のボイドを有する。第1ドープ領域は、第1結晶損傷層と基板の上表面との垂直方向の間に配置される。第1結晶損傷層は横方向に第3ドープ領域内には延びない。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

上表面を有する半導体材料の基板の内部に形成されるデバイス構造体であって、
前記基板の前記半導体材料内に画定された、第 1 導電型の第 1 ドープ領域と、
前記基板の前記半導体材料内に画定された、前記第 1 導電型の第 2 ドープ領域と、
前記基板の前記半導体材料内の、前記第 1 ドープ領域と前記第 2 ドープ領域の間に配置
された第 3 ドープ領域であって、該第 3 ドープ領域の前記半導体材料は前記第 1 導電型と
は逆の第 2 導電型を有する、第 3 ドープ領域と、

前記基板の前記上表面の上にあり、前記第 3 ドープ領域と垂直方向に重なる関係にある
ゲート構造部と、

10

前記基板の前記半導体材料の内部にある、前記基板の前記半導体材料によって取り囲ま
れた第 1 の複数のボイドを含んだ第 1 結晶損傷層と、
を備え、

前記第 1 ドープ領域の少なくとも一部分は、垂直方向で前記第 1 結晶損傷層と前記基板
の前記上表面との間に配置され、前記第 1 結晶損傷層は前記ゲート構造部の下方を横方向
に有意な距離は延びない、
デバイス構造体。

【請求項 2】

前記第 1 の複数のボイドの少なくとも一部は不活性気体を含む、請求項 1 に記載のデバ
イス構造体。

20

【請求項 3】

前記第 2 導電型は p 型の導電性であり、従って前記第 3 ドープ領域内の前記半導体材料
は p 型導電性を有し、前記第 1 結晶損傷層は圧縮性応力を前記第 3 ドープ領域に効果的に
伝達する、請求項 1 に記載のデバイス構造体。

【請求項 4】

前記第 3 ドープ領域は前記第 1 ドープ領域に並置されて前記第 1 ドープ領域と界面に沿
って交わり、前記第 1 結晶損傷層は前記界面の垂直部分に概ね垂直に位置合せされた関係
を有する、請求項 1 に記載のデバイス構造体。

【請求項 5】

前記第 1 ドープ領域は電界効果トランジスタのドレインであり、前記第 2 ドープ領域は
前記電界効果トランジスタのソースであり、前記ゲート構造部は、ゲート電極と、該ゲ
ート電極を前記基板の前記上表面から分離するゲート誘電体層とを含む、請求項 1 に記載の
デバイス構造体。

30

【請求項 6】

前記第 1 結晶損傷層は、前記第 1 ドープ領域の境界内に含まれる深さに配置され、
前記基板の前記半導体材料の内部の第 2 結晶損傷層をさらに含み、
前記第 2 結晶損傷層は、前記基板の前記半導体材料により取り囲まれた第 2 の複数のボ
イドを含み、前記第 1 ドープ領域は、垂直方向で前記第 2 結晶損傷層と前記上表面との間
に配置される、請求項 1 に記載のデバイス構造体。

【請求項 7】

前記第 2 結晶損傷層は、前記ゲート構造部の下方を横方向に有意な距離は延びない、請
求項 6 に記載のデバイス構造体。

40

【請求項 8】

前記第 1 ドープ領域は垂直方向で前記第 1 結晶損傷層と前記上表面との間に配置される
、請求項 1 に記載のデバイス構造体。

【請求項 9】

前記基板の前記半導体材料の内部の第 2 結晶損傷層をさらに含み、
前記第 2 結晶損傷層は、前記基板の前記半導体材料により取り囲まれた第 2 の複数のボ
イドを含み、前記第 2 ドープ領域の少なくとも一部分は垂直方向で前記第 2 結晶損傷層と
前記基板の前記上表面との間に配置される、

50

請求項 1 に記載のデバイス構造体。

【請求項 1 0】

前記第 2 結晶損傷層は、前記第 3 ドープ領域の一部分によって前記第 1 結晶損傷層から分離され、前記第 1 結晶損傷層と前記第 2 結晶損傷層は不連続となる、請求項 9 に記載のデバイス構造体。

【請求項 1 1】

前記第 2 結晶損傷層は、前記ゲート構造部の下方を横方向に有意な距離は延びない、請求項 9 に記載のデバイス構造体。

【請求項 1 2】

前記第 1 結晶損傷層は、前記基板を通り抜けるイオン化放射により生成する電荷キャリアを収集し、それにより前記第 1 ドープ領域への前記電荷キャリアの移動を効果的に防ぐ再結合中心を含む、請求項 1 に記載のデバイス構造体。

10

【請求項 1 3】

前記ゲート構造部は第 1 側壁を含み、前記第 1 結晶損傷層は、前記ゲート構造部の前記第 1 側壁に概ね垂直に位置合せされて配置された端部において終る、請求項 1 に記載のデバイス構造体。

【請求項 1 4】

前記ゲート構造部は前記第 1 側壁と対向する第 2 側壁を有し、

前記基板の前記半導体材料の内部の第 2 結晶損傷層をさらに含み、

前記第 2 結晶損傷層は、前記基板の前記半導体材料により取り囲まれた第 2 の複数のボイドを含み、前記第 2 結晶損傷層は、垂直方向で前記第 2 ドープ領域の少なくとも一部分と前記基板の前記上表面との間に配置され、前記第 2 結晶損傷層は、前記ゲート構造部の前記第 2 側壁に概ね垂直に位置合せされて配置された終端部を有する、請求項 1 3 に記載のデバイス構造体。

20

【請求項 1 5】

前記第 2 結晶損傷層は、前記第 3 ドープ領域の一部分によって前記第 1 結晶損傷層から分離され、前記第 1 結晶損傷層と前記第 2 結晶損傷層は不連続となる、請求項 1 4 に記載のデバイス構造体。

【請求項 1 6】

前記第 1 ドープ領域と前記第 3 ドープ領域は p - n 接合部に沿って交わり、前記第 1 結晶損傷層の前記端部は前記 p - n 接合部に概ね横方向に位置合せされる、請求項 1 3 に記載のデバイス構造体。

30

【請求項 1 7】

半導体材料で構成される基板の内部にデバイス構造体を製造する方法であって、

前記基板の前記半導体材料内に第 1 導電型の第 1 ドープ領域を形成するステップと、

前記半導体材料内の前記第 1 導電型の第 2 ドープ領域であって、前記第 1 導電型とは逆の第 2 導電型を有する第 3 ドープ領域によって前記第 1 ドープ領域から横方向に分離される、前記第 2 ドープ領域を形成するステップと、

前記基板の上表面の上にある、前記第 3 ドープ領域と垂直方向に重なる関係を有するゲート構造部を形成するステップと、

40

前記基板の前記半導体材料によって取り囲まれた第 1 の複数のボイドを形成して第 1 結晶損傷層を画定するステップとを含み、

前記第 1 結晶損傷層は、前記第 1 ドープ領域の少なくとも一部分により前記上表面から分離され、前記第 3 ドープ領域内に横方向に有意な距離は延びない、方法。

【請求項 1 8】

前記第 1 の複数のボイドを形成するステップは、

不活性気体の第 1 の複数のイオンを、第 1 運動エネルギーにおいて第 1 ドーズ量で前記基板内に注入するステップと、

50

前記基板をアニールして前記第 1 の複数のイオンにより前記半導体材料内に生成された点欠陥を前記第 1 の複数のボイド内に凝集させるステップと
をさらに含む、請求項 17 に記載の方法。

【請求項 19】

前記注入された第 1 の複数のイオンからの前記不活性気体の原子は、前記点欠陥と共に前記第 1 の複数のボイド内に凝集され、その結果前記第 1 の複数のボイドの少なくとも一部は前記不活性気体の 1 つ又は複数の原子を含む、請求項 18 に記載の方法。

【請求項 20】

前記ゲート構造部は前記基板の前記上表面の上に形成され、
前記ゲート構造部及び前記上表面の上にレジスト層を塗布するステップと、
前記レジスト層をパターン付けして前記第 1 ドープ領域の上にある前記上表面の第 1 領域を露出させるステップと、
前記不活性気体の前記第 1 の複数のイオンの注入の間、前記ゲート構造部および前記レジスト層を、前記第 3 ドープ領域を覆う注入マスクとして用いて、前記第 1 結晶損傷層の終端部を前記ゲート構造部の第 1 側壁と垂直方向において概ね位置合せするステップと
をさらに含む、
請求項 18 に記載の方法。

10

【請求項 21】

前記注入マスクを用いて、前記不活性気体の第 2 の複数のイオンを、第 1 運動エネルギーとは異なる第 2 運動エネルギーにおいて第 2 ドーズ量で前記基板内に注入して第 2 の複数のボイドを形成し第 2 結晶損傷層を画定するステップをさらに含み、
前記第 2 結晶損傷層は、前記ゲート構造部の前記第 1 側壁と垂直方向において概ね位置合せされた端部を有し、前記第 1 ドープ領域の少なくとも一部分によって前記基板の前記上表面から分離される、
請求項 20 に記載の方法。

20

【請求項 22】

前記レジスト層は、前記第 2 ドープ領域の上にある前記上表面の第 2 領域を露出させるようにパターン付けされ、
前記不活性気体の前記第 1 の複数のイオンの一部が前記上表面の前記第 2 領域を通して前記第 2 ドープ領域に浸透することを可能にして、第 2 の複数のボイドを形成し第 2 結晶損傷層を画定するステップをさらに含み、
前記第 2 結晶損傷層は、前記ゲート構造部の第 2 側壁に概ね位置合せされた終端部を有し、前記第 3 ドープ領域によって前記第 1 結晶損傷層から横方向に分離される、
請求項 20 に記載の方法。

30

【請求項 23】

前記第 1 導電型の前記第 1 ドープ領域を形成するステップは、
前記注入マスクを用いて、不純物種の複数のイオンを前記基板の前記半導体材料の内部に注入し、前記基板の前記半導体材料をドープして前記第 1 ドープ領域にするステップをさらに含む、
請求項 20 に記載の方法。

40

【請求項 24】

前記第 1 ドープ領域と前記第 3 ドープ領域は界面に沿って交わり、前記第 1 結晶損傷層は前記界面に概ね位置合せされた終端部を有する、請求項 17 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体デバイス製造に関し、より具体的には、改善されたソフト・エラー率抑制を有し、性能向上のための歪みが組み込まれたデバイス構造体、及びそのようなデバイス構造体の形成方法に関する。

【背景技術】

50

【 0 0 0 2 】

半導体産業は、デバイス性能を向上させ、相補型金属酸化膜半導体（ＣＭＯＳ）プロセスにより製造される電界効果トランジスタ及び他のバルク・デバイス構造体の電力を節約するための割安で効果的な方法として歪み含有シリコンを採用している。具体的には、電界効果トランジスタのチャネル領域に機械的応力を加えることでキャリア移動度を変化させることができる。一つの従来手法は、チャネル領域の結晶格子に歪みを加えることができるいわゆる埋込みストレッサをデバイス構造体内に直接導入することである。例えば、シリコン・ゲルマニウム材料から構成される埋込みストレッサは、電界効果トランジスタのソース及びドレイン領域の下に直接形成することができる。シリコン・ゲルマニウム材料の格子定数はシリコンと比べて相対的に大きく、このことが電界効果トランジスタの介在するチャネル領域に圧縮歪みを加える。

10

【 0 0 0 3 】

普通、これらの埋込みストレッサ内のゲルマニウム含有量は最大で１５原子パーセント又はそれ以下に制限される。このレベルを超えてゲルマニウム含有量を増加させると、欠陥の導入及び歪みの緩和が始まる。さらに、デバイス製造プロセス中の熱処理もまた、埋込みストレッサにより付与される歪みを緩和させ易い。従って、これら及び他の制約が最終的に、バルクＣＭＯＳ電界効果トランジスタ内のキャリア移動度を変化させるための埋込みシリコン・ゲルマニウム・ストレッサの有用性を制限する。

【 0 0 0 4 】

宇宙用途に用いられる高性能集積回路並びに軍用又は他の高信頼性用途に用いられる高性能集積回路に対して、高エネルギー・イオン化放射によって引き起されるラッチアップに対する高耐性を有するバルクＣＭＯＳ電界効果トランジスタを設計することが、益々重要になっている。高エネルギー・イオン化放射（例えば宇宙線、中性子、プロトン、アルファ線）の衝突は、その軌跡にそったホスト材料の原子のイオン化による電子・ホール対を生成し、これがラッチアップ及びシングル・イベント・アップセット（single event upset）を引き起す。宇宙用途においては集積回路を簡単に交換することができないので、ラッチアップを受け易いバルクＣＭＯＳデバイスによるチップ故障は破局的なものとなり得る。

20

【 0 0 0 5 】

通常、ブランケット埋込み再結合層が放射耐性を強くするために用いられてきた。連続的なブランケット再結合層は、宇宙線などのイオン化放射により引き起される事象からの電荷収集を減少させ、ラッチアップ及びシングル・イベント・アップセットに対するデバイスの感受性を減少させる。しかし、ブランケット埋込み再結合層は、電界効果トランジスタのチャネル領域を損傷させ、デバイス性能を劇的に劣化させる可能性がある。

30

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

要約すると、従来のデバイス構造体及びその製造方法のこれら及び他の欠陥を、デバイス構造体に付与される歪みの増加とソフト・エラー率の抑制を同時に可能にすることによって克服する、バルクＣＭＯＳデバイスの改善されたデバイス構造体及び製造方法が必要である。

40

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明の一実施形態において、デバイス構造体は、基板の半導体材料内に画定された、第１の導電型の第１及び第２のドーブ領域を含む。第３のドーブ領域が、基板の半導体材料内において、第１及び第２ドーブ領域の横方向の間に配置される。第３ドーブ領域の半導体材料は、第１導電型とは逆の第２の導電型を有する。基板の上表面に配置されるゲート構造部は第３ドーブ領域に対して垂直方向に積み重なる関係を有する。デバイス構造体は、基板の半導体材料内の第１の結晶損傷層をさらに含む。この第１結晶損傷層は、基板の半導体材料で取り囲まれた第１の複数のボイドを有する。第１ドーブ領域の少なくとも

50

一部分は、垂直方向で第 1 結晶損傷層と基板の上表面との間に配置される。第 1 結晶損傷層は、ゲート構造部の下方で横方向に有意な距離は延びない。第 1 及び第 2 ドープ領域は、電界効果トランジスタのソース及びドレインとすることができ、ゲート構造部は電界効果トランジスタのゲート電極及びゲート誘電体とすることができる。

【 0 0 0 8 】

本発明の別の実施形態において、半導体材料で構成される基板内にデバイス構造体を製造する方法が提供される。本方法は、基板の半導体材料の内部に第 1 導電型の第 1 及び第 2 ドープ領域を形成するステップを含み、その際、第 2 ドープ領域は、第 1 導電型とは逆の第 2 導電型を有する第 3 ドープ領域によって、第 1 ドープ領域から横方向に分離される。ゲート構造部は、基板の上表面に形成され、第 3 ドープ領域に対して垂直方向に積み重なる関係を有する。本方法は、基板の半導体材料に取り囲まれた第 1 の複数のボイドを形成して、第 1 ドープ領域の少なくとも一部分により基板の上表面から分離され且つゲート構造部の下方を横方向に有意な距離は延びない第 1 結晶損傷層を画定するステップをさらに含む。

10

【 0 0 0 9 】

添付の図面は、本明細書に組み入れられその部分を構成するものであり、本発明の種々の実施形態を示し、本発明の上記の一般的記述及び下記の実施形態の詳細な記述と共に、本発明の実施形態を説明するのに役立つ。

【 発明を実施するための最良の形態 】

【 0 0 1 0 】

図 1 を参照すると、本発明の一実施形態によれば、浅いトレンチ分離領域 1 0、1 2 を典型とする浅いトレンチ分離領域が基板 1 4 の内部に形成される。浅いトレンチ分離領域 1 0、1 2 は、基板 1 4 のデバイス領域の周囲を取り囲むように接続する。浅いトレンチ分離領域 1 0、1 2 は協同して、基板 1 4 の取り囲まれた領域内に製造される 1 つ又は複数のデバイスを隣接するデバイスから電氣的に絶縁する。

20

【 0 0 1 1 】

浅いトレンチ分離領域 1 0、1 2 に含まれる誘電体材料は二酸化シリコン (SiO_2) から構成することができ、標準的な技術を用いて形成することができる。例えば、トレンチは、標準的なリソグラフィ及び異方性乾式エッチングを用いて基板 1 4 の内部に画定し、誘電体材料、例えば熱化学気相堆積 (CVD) により堆積させた緻密化テトラエチルオルトシリケート (TEOS) のような酸化物又は高密度プラズマ (HDP) 酸化物で充填し、通常の化学機械研磨 (CMP) プロセスにより平坦化することができる。平坦化は、基板 1 4 の上表面から余分な誘電体材料を除去する。

30

【 0 0 1 2 】

基板 1 4 は、当業者が集積回路の形成に適すると認識する半導体材料を含む任意の適切なバルク基板とすることができる。例えば、基板 1 4 は、(1 0 0) 結晶格子配向を有する単結晶シリコンのような、単結晶シリコン含有材料で構成されたものとすることができる。基板 1 4 を構成する半導体材料は不純物で軽度にドープしてその電氣的特性を変えることができる。具体的には、基板 1 4 は n 型不純物種で軽度にドープして最初に n 型にすることができ、或いは p 型不純物で軽度にドープして最初に p 型にすることができる。浅いトレンチ分離領域 1 0、1 2 により取り囲まれたデバイス領域は井戸 (ウェル) 1 5 の中に画定され、その井戸は形成されるデバイス構造体が p 型チャネル・デバイス構造体であるか又は n 型チャネル・デバイス構造体であるかに応じて n 型井戸又は p 型井戸とすることができる。井戸 1 5 は、CMOS バルク・デバイス構造の分野の当業者には既知の、イオン注入のような技術により形成される。

40

【 0 0 1 3 】

ゲート誘電体層 1 6、ゲート導電体層 1 8、及びハードマスク層 2 0 を含む層状スタックが基板 1 4 の上表面 2 2 に付着される。ゲート誘電体層 1 6 は、上表面 2 2 に直接接触し、基板 1 4 とゲート導電体層 1 8 の間に配置される。ゲート導電体層 1 8 は、ゲート誘電体層に直接接触し、ハードマスク層 2 0 とゲート誘電体層 1 6 の間に配置される。

50

【0014】

ゲート誘電体層16は、それらに限定されないが、 SiO_2 、酸化窒化シリコン(SiO_xN_y)、窒化シリコン(Si_3N_4)、例えば酸化ハフニウム(HfO_2)、酸化窒化ハフニウム(HfON)、又は比較的高い誘電率により特徴付けられる酸化ジルコニウム(ZrO_2)のような高k誘電体、若しくはこれら及び他の誘電体材料の層状スタックを含む、任意の適切な誘電体又は絶縁材料で構成することができる。ゲート誘電体層16は、約1nmから約10nmまでの範囲の物理的な層厚を有することができる。ゲート誘電体層16を構成する誘電体材料は、基板14の半導体材料と反応物の熱反応、原子層堆積(ALD)、CVDプロセス、物理気相堆積(PVD)プロセス、又はこれら異なる堆積プロセスの組合せによって形成することができる。

10

【0015】

ゲート導電体層18は、金属、ドーパ・ポリシリコン、金属シリサイド、又はこれらの導電性材料の層状スタックのような、ゲート誘電体層16よりも顕著に高い誘電率により特徴付けられる材料で構成される。ハードマスク層20は、CVDプロセスのような通常の堆積プロセスにより形成される Si_3N_4 のような誘電体材料で構成される。ハードマスク層20を形成する誘電体材料は、基板14を構成する材料に対して選択的にエッチングされるように選択される。異なる誘電体材料の比較的薄いパッド層(図示せず)を基板14とハードマスク層20の間に設けることができる。この随意のパッド層は、基板14の上表面22の湿式又は乾式熱酸化により成長させた SiO_2 で構成されることが多いが、ハードマスク層20の内部の応力によって誘起される基板14の半導体材料内の転位を防止するバッファ層として機能することができる。

20

【0016】

ハードマスク層20は、有機材料で構成されるレジスト層24によって覆われる。レジスト層24は、通常の塗布方法により塗布され、通常のフォトリソグラフィ及びエッチング・プロセスによってパターン付けされる。フォトリソグラフィ・プロセスは、レジスト層24を、フォトマスクを用いて画像化放射に露光し、上表面22にわたって分布するゲート構造部の潜像パターンを付与するステップと、露光されたレジスト内の潜像パターンを現像して、ハードマスク層20の部分を覆うレジスト層24の残留領域を画定するステップとを含む。パターン付けされたレジスト層24は、続いてエッチング・プロセスによりハードマスク層20、ゲート導電体層18、及びゲート誘電体層16をパターン付けするためのエッチング・マスクを画定する。

30

【0017】

同じ参照符号が図1及びその後の製造段階におけるのと同じ構造部を示す図2を参照すると、次にゲート構造部のパターンが、異方性乾式エッチング・プロセス、例えば反応性イオン・エッチング(RIE)プロセス又はプラズマ・エッチング・プロセスを用い、そしてパターン付けされたレジスト層24により画定されたエッチング・マスクを用いて、レジスト層24(図1)からハードマスク層20に転写される。レジスト層24がアッシング(灰化)又は溶媒剥離により除去された後、ゲート構造部のパターンは次に、別の異方性乾式エッチング・プロセス及び物理的エッチング・マスクとしてパターン付けされたハードマスク層20を用いて、ハードマスク層20からゲート導電体層18及びゲート誘電体層16(図1)に転写される。ハードマスク層20によって覆われた関心のある領域内で、ゲート導電体層18及びゲート誘電体層16が無傷で残される。ハードマスク層20がない場所ではゲート導電体層18及びゲート誘電体層16はエッチング除去される。

40

【0018】

各々のゲート構造部、例えば典型的なゲート構造部30の、結果として得られたゲート電極26及びゲート誘電体28は、浅いトレンチ分離領域10、12により取り囲まれたデバイス領域の境界の内部に位置する。ゲート構造部30は、誘電体材料で構成される側壁スペーサ32、34をさらに含むことができ、これらは通常のスペーサ形成プロセスによりゲート電極26及びゲート誘電体28の側壁25、27の上に形成される。側壁スペーサ32、34は、電氣的絶縁材料、例えばCVDにより堆積させる約10ナノメートル

50

から約 50 ナノメートルまでの Si_3N_4 の共形層を、基板 14 にわたって堆積させ、次いで共形層を異方性エッチングして電気絶縁材料を水平面から優先的に除去することによって形成することができる。側壁スペーサ 32、34 内の誘電体材料の導電率は、ゲート電極 26 の導電体の導電率よりも十分に小さい。スペーサ 32、34 は、ゲート電極 26 の側壁 25、27 の位置を有効に延長する。本発明のある特定の実施形態においては、側壁スペーサ 32、34 は省略することができる。

【0019】

同じ参照符号が図 2 及びその後の製造段階におけるのと同じ構造部を示す図 3 を参照すると、ソース及びドレイン領域、例えば典型的なソース領域 36 及びドレイン領域 38 が、基板 14 の半導体材料をドーピングすることにより、基板 14 にわたって形成される。10
チャンネル領域 37 がソース領域 36 とドレイン領域 38 の間に配置される。チャンネル領域 37 は、井戸 15 の一部分であり同じ導電型を有し、ドーピング・プロセス中、上層のゲート電極 26、ゲート誘電体 28、及びハードマスク層 20 により、並びに上層の注入マスク 40 によって保護される。注入マスク 40 はパターン付けされたレジスト層 24 (図 1) と同じ方法でフォトリソ層から形成され、基板 14 の上表面 22 にわたってソース及びドレイン領域 36、38 のための表面領域を露出させるようにパターン付けされる。

【0020】

ソース及びドレイン領域 36、38 は、一方向矢印 42 により図式的に示されるように基板 14 の半導体材料内に高エネルギー・イオンを注入するイオン注入プロセスを用いて 20
画定することができる。ソース及びドレイン領域 36、38 の半導体材料の、結果として得られる導電型は、井戸 15 を構成する半導体材料の導電型とは逆になる。例えば、ソース及びドレイン領域 36、38 の半導体材料は n 型導電を有し、井戸 15 の半導体材料は p 型導電を有することができる。シリコン中の適切な n 型ドーパントは、それらに限定されないが砒素及びリンを含む周期表の V 族元素である。或いは、ソース及びドレイン領域 36、38 は、周期表の III 族元素から選択される適切な p 型不純物、例えばホウ素でドーピングすることができ、井戸 15 の半導体材料は n 型導電を有することができる。

【0021】

イオン 42 のドーズ量は、ソース及びドレイン領域 36、38 を構成する半導体材料を、デバイス設計に対して選択された適切な不純物濃度でドーピングするように選択される。イ 30
オン 42 の運動エネルギー、並びにハードマスク層 20 及び注入マスク 40 の厚さは、ハードマスク層 20 及び注入マスク 40 内のイオン 42 の深さ方向のプロファイルが、ゲート電極 26 の上表面 44 よりも浅くなるように選択される。ソース/ドレイン延長領域及びハロ領域 (図示せず) は、傾斜イオン注入により、ゲート電極 26 の側壁 25、27 の下方の基板 14 の半導体材料内に設けることができる。

【0022】

基板 14 は、ソース及びドレイン領域 36、38 内の注入不純物を電氣的に活性化し拡散するため、及び、注入によるソース及びドレイン領域 36、38 内の最初の注入損傷を修復するためにアニールすることができる。ソース及びドレイン領域 36、38 が結晶損傷層 46a、46b の後に形成される場合には、随意にこのアニールを用いて、後述のよう 40
に点欠陥と不活性気体原子を一体化して結晶損傷層 46a、46b を形成することができる。

【0023】

異なる導電型の間の正味のドーピング遷移は、p - n 接合部、又はソース領域 36 と逆ドーピング井戸 15 の界面 35 に沿って起り、そして p - n 接合部、又はドレイン領域 38 と逆ドーピング井戸 15 の界面 39 に沿って起る。ソース領域 36 は、界面 35 の横方向縁部に沿ってチャンネル領域 37 と交わる。ドレイン領域 38 は、界面 39 の横方向縁部に沿ってチャンネル領域 37 と交わる。ゲート電極 26 のスペーサ 32 及びそれぞれの側壁 25 は、基板 14 の上表面 22 に垂直な方向において、ソース領域 36 とチャンネル領域 37 の間の界面 35 の横方向縁部に対して実質的に位置合せされる。同様にゲート電極 26 のスペー 50

サ 3 4 及びそれぞれの対向する側壁 2 7 は、基板 1 4 の上表面 2 2 に垂直な方向において、ドレイン領域 3 8 とチャンネル領域 3 7 の間の界面 3 9 の横方向縁部に対して実質的に位置合せされる。界面 3 5 の水平縁部は、上表面 2 2 に関して界面 3 9 の水平縁部と凡そ同じ深さにあり、浅いトレンチ分離領域 1 0 から界面 3 5 の横方向縁部に連結する角まで延びる。界面 3 9 の水平縁部は、浅いトレンチ分離領域 1 2 から界面 3 9 の横方向縁部に連結する角まで延びる。界面 3 5、3 9 の水平縁部は、ソース及びドレイン領域 3 6、3 8 と井戸 1 5 の間のそれぞれの交差部分を定める。

【 0 0 2 4 】

同じ参照符号が図 3 及びその後の製造段階におけるのと同じ構造部を示す図 4 を参照すると、結晶損傷層 4 6 a 及び 4 6 b が、一方向矢印 4 8 により図式的に示されるように、基板 1 4 内に不活性気体の高エネルギー・イオンを注入することによって形成される。高エネルギー・イオン 4 8 を生成するのに用いられる不活性気体は、基板 1 4 の半導体材料内に中性の不純物をもたらすように選択される。ある特定の実施形態において、イオン 4 8 の及びそれゆえにボイド 5 0 内の不活性気体は、例えばヘリウム又はネオンとすることができる。イオン 4 8 の注入ドーズ量は、結晶損傷層 4 6 a、4 6 b の形成を促進するように選択される。

10

【 0 0 2 5 】

結晶損傷層 4 6 a、4 6 b は上表面 2 2 の下方に凡そ同じ深さに配置される。結晶損傷層 4 6 a は浅いトレンチ領域 1 0 から水平に延びて、界面 3 5 の垂直縁部直前の明確な端部 4 7 で終る。同様に、結晶損傷層 4 6 b は浅いトレンチ領域 1 2 から水平に延びて、界面 3 9 の垂直縁部直前の明確な端部 4 9 で終る。従って、結晶損傷層 4 6 a、4 6 b は、ゲート電極 2 6 の下方で連続性を有さず、結晶損傷層 4 6 a の端部 4 7 と結晶損傷層 4 6 b の端部 4 9 との間に配置されるチャンネル領域 3 7 により、互いに分離される。

20

【 0 0 2 6 】

典型的な実施形態において、イオン 4 8 の運動エネルギーは、結晶損傷層 4 6 a の深さがソース領域 3 6 とチャンネル領域 3 7 の間の界面 3 5 の水平縁部よりも浅くなるように、そして結晶損傷層 4 6 b の深さがドレイン領域 3 8 とチャンネル領域 3 7 の間の界面 3 9 の水平縁部よりも浅くなるように選択される。イオン 4 8 の運動エネルギーの選択に関連して、ハードマスク層 2 0 及び注入マスク 4 0 の合計の厚さは、ハードマスク層 2 0 及び注入マスク 4 0 内におけるイオン 4 8 の深さプロファイルがゲート電極 2 6 の上表面 4 4 よりも浅くなるように選択される。

30

【 0 0 2 7 】

高エネルギー・イオン 4 8 は、基板 1 4 の上表面 2 2 に垂直又は近垂直入射で衝突するように向けられるが、本発明はそれに限定されない。特定の実施形態において、イオン 4 8 の軌道は、上表面 2 2 の法線に対して意図的に傾ける又は角度を付けることができ、これが横方向に不均一なボイド分布を生ずることができる。ソース及びドレイン領域 3 6、3 8 内において、チャンネル領域 3 7 の近くに局在する、垂直に分布したボイド 5 0 の不均一な割当てを有する領域は、チャンネル領域 3 7 内へのドーパントの横方向の拡散を遮断するように機能することができる。

【 0 0 2 8 】

高エネルギー・イオン 4 8 は、基板 1 4 に浸透するとき、半導体材料の組成物中の原子及び電子との散乱事象によりエネルギーを失う。電子によるエネルギー損失は比較的高エネルギーで基板 1 4 内の浅い深さにおいて支配的であり、原子核によるエネルギー損失は比較的低エネルギーで投射された領域の近くにおいて支配的である。電子的相互作用においてイオン 4 8 が失うエネルギーは、次にフォノンに転化し、これが半導体材料を加熱するが基板 1 4 に恒久的な結晶損傷を殆ど又は全く生じない。核の衝突により失われたエネルギーは基板 1 4 の標的原子をその元の格子位置から動かし、これが基板 1 4 の格子構造に損傷を与え点欠陥を生じる。

40

【 0 0 2 9 】

点欠陥及び停止イオン 4 8 からの不活性気体を含むバンドは、基板 1 4 の上表面 2 2 に

50

実質的に平行な平面内で水平に延びる。この点欠陥及び停止イオン 48 からの不活性気体は、それぞれ投射された領域の周りの散在範囲 (range straggle) に分布する、類似の深さプロファイルを有し、これが最大イオン濃度及び最大点欠陥ピークの上表面 22 からの垂直距離として計測される。本質的に全ての注入されたイオン 48 は投射された領域からの散在範囲の 3 倍の距離内で停止するが、これは点欠陥の深さプロファイルが不活性気体原子の深さプロファイルと空間的に類似することを意味する。

【0030】

次の高温での熱アニールは、別々の点欠陥及び停止イオン 48 の不活性気体原子を凝集させて、結晶損傷層 46a、46b の幅又は厚さにわたって分布するボイド 50 を形成する。アニール温度及び時間によりボイド 50 のサイズ及びサイズ分布を制御することができる。典型的なアニール温度は、約 800 から約 1000 までの範囲である。熱アニールはアルゴン (Ar) 又は窒素 (N₂) 雰囲気のような非反応性環境で実施することができる。

10

【0031】

理論により拘束されることは望まないが、固溶体中でのボイド 50 の形成は、オストワルド熟成として知られる、熱力学的に駆動された自発的プロセスによって起ると考えられる。停止イオン 48 からの不活性気体原子が基板 14 の半導体材料から凝結 (precipitate) するとき、エネルギー要因により、大きな凝結体が、そのサイズが収縮するより小さな凝結体からの点欠陥及び気体原子を引き寄せて成長する。凝集を促進する高温アニールは、ボイド 50 から不活性気体を漏れ出させてボイド 50 が不活性気体で満たされないようにする可能性がある。勿論、結晶損傷層 46a、46b 内のボイド 50 の一部は不活性気体で満たされない可能性があり、ボイド 50 の残りの部分は不活性気体で少なくとも部分的に満たされる可能性がある。

20

【0032】

イオンのドーズ量、運動エネルギー、及び注入角度、並びに熱処理条件の選択は、結晶損傷層 46a、46b 内のボイド 50 の密度及びサイズに対する高度な制御をもたらす。ボイド 50 のサイズは、典型的には、平均値又は中央値近くの中心及び標準偏差を有する分布である。ボイド 50 は、約 10 ナノメートル (nm) から約 50 nm までの範囲に中央値サイズを有する比較的小さなものにすることができる。或いは、形成条件に依存して、ボイド 50 は 500 nm 又はそれ以上にも大きな中央値サイズを有する比較的大きなものにすることができる。

30

【0033】

結晶損傷層 46a、46b は基板 14 の結晶構造を崩壊させて実質的に非単結晶又はアモルファスとなる。結晶損傷層 46a、46b は基板 14 内で深さ的に局在化し、これは注入イオン 48 のバルク濃度に関する深さプロファイルを反映する。ソース及びドレイン領域 36、38 は、結晶損傷層 46a、46b の深さと基板 14 の上表面 22 との間では実質的に単結晶半導体材料のままにとどまる。ソース及びドレイン領域 36、38 のこれらの部分は、注入プロセス中に実質的に変化せず、同様にチャネル領域 37 及び井戸 15 のゲート構造部 30 直下の部分はイオン 48 の注入中に変化しない。チャネル領域 37 及び井戸 15 のゲート構造部 30 直下の部分はまた、イオン 42 の注入の間マスクされる (図 3)。

40

【0034】

結晶損傷層 46a、46b はそれぞれ、結晶損傷層 46a、46b の横方向の広がりをソース及びドレイン領域 36、38 に対して概ね垂直に自己整合させる注入マスク 40 により、横方向に局所化される。同じ注入マスク 40 が、ソース及びドレイン領域 36、38 及び結晶損傷層 46a、46b の注入に用いられ、これが自己整合をもたらす。結晶損傷層 46a、46b は、ゲート電極 26 及びゲート誘電体 28 の下にある井戸 15 の内部には存在せず、これがボイド 50 による結晶損傷の不連続性を生ずる。

【0035】

ソース及びドレイン領域 36、38 の形成のため、及び結晶損傷層 46a、46b の形

50

成のための注入マスク40が共通であるために、本発明の種々の実施形態は、標準CMOSデバイス・プロセスに、最小のプロセス変更により、そして追加のマスキング・ステップなしに容易に組み込むことができる。本発明の代替の実施形態において、イオン42を注入して基板14の井戸15内にソース及びド레인領域36、38を形成する前に、イオン48を注入して結晶損傷層46a、46bを形成することができる。

【0036】

理論により限定されることは望まないが、結晶損傷層46a、46bを、ソース及びド레인領域36、38の内部で上表面22と界面35、39の水平縁部との間の深さに配置することは、基板14内の結晶損傷層46a、46bがソース及びド레인領域36、38の外部で基板14内のより深い位置にある場合に比べて、ソース及びド레인領域内の歪みを最適化するのに効果的であり得る。結晶損傷層46a、46bを界面35、39の水平縁部と一致する深さに配置することは、接合部漏れ(リーク)が増加する可能性があるのでデバイス構造体65に対して最適ではない。

【0037】

一実施形態において、結晶損傷層46a、46bは、デバイス構造体65の動作中にゲート電極26に制御電圧が印加されるときに現れる空乏層の外部に配置される。通常ド레인領域の近くで最大となる空乏層の断面積、及び空乏層の幾何学的形状は、ゲート電極26に印加される制御電圧の大きさによって調節され、これがデバイス構造体65の出力電流を操作する。結晶損傷層46a、46bと空乏層の間のこの深さ関係は、デバイス構造体65の漏れ電流に対する結晶損傷層46a、46bの影響を制限することができる。

【0038】

同じ参照符号が図4におけると同じ構造部を示す図5に示すように、代替の実施形態によれば、イオン48の運動エネルギーは、結晶損傷層46a、46bが、基板14の上表面22に対して、図4におけるとより深い位置に配置されるように選択することができる。より具体的には、イオンの運動エネルギーの適切な選択により、結晶損傷層46aはソース領域36の界面35の水平縁部よりも深い位置に配置することができる。結晶損傷層46bもまた、ド레인領域38の界面39の水平縁部よりも深い位置に配置することができる。図示した実施形態において、結晶損傷層46a、46bは井戸15の内部で界面35、39の水平縁部よりも深い位置に配置される。しかし、結晶損傷層46a、46bは、井戸15の半導体材料の介在部分により、依然として相互に分離されるので、結晶損傷層46a、46bは不連続である。

【0039】

理論により限定されることは望まないが、結晶損傷層46a、46bを、基板14内で、ソース及びド레인領域36、38の界面35、39の水平縁部よりも深い位置に配置することは、イオン化放射によるソフト・エラー率(SER)の抑制を最適化するのに効果的であり得る。具体的には、結晶損傷層46a、46bを構成するボイド50が強力な再結合中心として機能し、これが集散的に動作して、デバイス構造体65を通り抜ける宇宙線のようなイオン化放射の軌跡に沿って形成される電子・ホール対から生じる電荷のド레인領域38による収集を減少させる。

【0040】

同じ参照符号が図4におけると同じ構造部を示す図6に示すように、代替の実施形態によれば、付加的な結晶損傷層52a、52b及び結晶損傷層54a、54bを基板14内の異なる深さに形成することができる。結晶損傷層52a、52b及び結晶損傷層54a、54bのそれぞれの組みは、結晶損傷層46a、46bに類似するが異なる深さに配置される。典型的な別の実施形態において、結晶損傷層52a、54aは結晶損傷層46aよりも深く、ソース領域36の下方に配置され、結晶損傷層52aは結晶損傷層54aよりも浅い位置に配置される。同様に、結晶損傷層52b、54bは結晶損傷層46bよりも深く、ド레인領域38の下方に配置され、結晶損傷層52bは結晶損傷層54bと結晶損傷層46bの間に配置される。

【0041】

別の代替の実施形態において、結晶損傷層 5 4 a、5 4 b をデバイス構造から削除して、ソース及びドレイン領域 3 6、3 8 内に含まれる結晶損傷層 4 6 a、4 6 b と、上表面 2 2 からソース及びドレイン領域 3 6、3 8 により分離される結晶損傷層 5 2 a、5 2 b とだけが存在するようにすることができる。或いは、結晶損傷層の付加的な組み（図示せず）を、結晶損傷層 4 6 a、4 6 b、5 2 a、5 2 b、5 4 a、5 4 b を含むデバイス構造に加えることができる。

【0042】

結晶損傷層 5 2 a、5 2 b 及び結晶損傷層 5 4 a、5 4 b、並びに結晶損傷層 4 6 a、4 6 b に対する、基板 1 4 の上表面 2 2 からの異なる深さは、異なるイオン注入プロセスの各々に対する独自のイオン運動エネルギーを選択することによって生ずることができる。結晶損傷層 4 6 a、4 6 b、結晶損傷層 5 2 a、5 2 b、及び結晶損傷層 5 4 a、5 4 b の異なる組みに対するイオン・ドーズ量及びアニール温度は、密度及びサイズのようなボイド 5 0、5 3、5 5 の特性を設計するように選択することもできる。典型的な実施形態において、結晶損傷層 5 4 a、5 4 b 内のボイド 5 5 のサイズは、結晶損傷層 5 2 a、5 2 b 内のボイド 5 3 のサイズよりも小さく、このボイド 5 3 のサイズは結晶損傷層 4 6 a、4 6 b 内のボイド 5 0 のサイズよりも小さい。結晶損傷層 5 2 a、5 2 b は、井戸 1 5 の半導体材料の介在部分により連続せず互いに分離される。同様に、結晶損傷層 5 4 a、5 4 b は、井戸 1 5 の半導体材料の別の介在部分により連続性を欠いて互いに隔てられる。

10

【0043】

これらの図 5、図 6 の代替の実施形態においても、ソース及びドレイン領域 3 6、3 8 の形成のため、及び結晶損傷層 4 6 a、4 6 b、5 2 a、5 2 b、5 4 a、5 4 b の形成のための注入マスク 4 0 の共通性は、異なる運動エネルギーにおける多数の連続的自己整合注入を標準的 C M O S デバイス・プロセスに容易に組み込むことを可能にする。この組み込みは最小のプロセス変更により、そして付加的なマスクング・ステップなしに可能である。理論により限定されることは望まないが、結晶損傷層 4 6 a、4 6 b をソース及びドレイン領域 3 6、3 8 内で比較的浅い位置に配置すること、並びに、結晶損傷層 5 2 a、5 2 b、及び結晶損傷層 5 4 a、5 4 b を基板 1 4 内でソース及びドレイン領域 3 6、3 8 よりも深い位置に配置することは、ソース及びドレイン領域 3 6、3 8 内の歪み及び S E R 抑制を同時に最適化するのに効果的であり得る。

20

30

【0044】

同じ参照符号が図 4 及びその後の製造段階におけると同じ構造部を示す図 7 を参照すると、注入マスク 4 0 及びハードマスク層 2 0（図 4）は、それぞれ、例えば溶媒及び湿式化学エッチングにより基板 1 4 の上表面 2 2 から除去される。ゲート電極 2 6、ゲート誘電体 2 8、ソース及びドレイン領域 3 6、3 8、及びチャネル領域 3 7 がデバイス構造体 6 5 を構成し、この構造体はさらに結晶損傷層 4 6 a、4 6 b を含む。ゲート誘電体 2 8 はゲート電極 2 6 をチャネル領域 3 7 から分離させ、その結果ゲート電極 2 6 は基板 1 4 と直接電氣的に接触しない。チャネル領域 3 7 は、ソース及びドレイン領域 3 6、3 8 が形成される際に保護される井戸 1 5 の部分を構成するが、一方の側面にソース領域 3 6 が横に並び、反対の側面にドレイン領域 3 8 が横に並ぶ。典型的な実施形態において、チャネル領域 3 7 はソース及びドレイン領域 3 6、3 8 と接する。

40

【0045】

一実施形態において、デバイス構造体 6 5 は、井戸 1 5 が p 型井戸であり、チャネル領域 3 7 が p 型井戸内に画定され、ソース及びドレイン領域 3 6、3 8 が n 型にドーピングされた基板 1 4 の半導体材料からなる、n 型チャネル電界効果トランジスタとすることができる。或いは、デバイス構造体 6 5 は、井戸 1 5 が n 型井戸であり、チャネル領域 3 7 が n 型井戸内に画定され、ソース及びドレイン領域 3 6、3 8 が p 型にドーピングされた基板 1 4 の半導体材料からなる、p 型チャネル電界効果トランジスタとすることができる。一実施形態において、p 型チャネル電界効果トランジスタのデバイス構造体 6 5、及び n 型チャネル電界効果トランジスタのデバイス構造体 6 5 を基板 1 4 の上に製造して当業者には既

50

知であるようにＣＭＯＳペアを形成することができる。

【００４６】

結晶損傷層４６ａ内のボイド５０により引き起こされるソース領域３６の体積膨張、及び結晶損傷層４６ｂ内のボイド５０により引き起こされるドレイン領域３８の体積膨張は、ソース及びドレイン領域３６、３８内の半導体材料に力を加え、これがチャネル領域に伝達される。圧縮性応力がデバイス構造体６５のソース及びドレイン領域３６、３８からチャネル領域３７に伝達される。デバイス構造体６５がｐ型チャネル電界効果トランジスタである場合、圧縮応力は数メガパスカルにもなる可能性があり、チャネル領域３７に加えられてホール移動度を向上させるように作用し、従って、デバイスの速度及び性能を向上させるように作用する。ボイド５０の特性は、結晶損傷層４６ａ、４６ｂからチャネル領域３７に伝達される圧縮性応力の大きさを調整するように設計することができる。

10

【００４７】

自己整合プロセスは、結晶損傷層４６ａ、４６ｂをソース及びドレイン領域３６、３８の下方にだけ、そしてゲート構造部３０の下方の井戸１５への実質的な横方向の侵食なしに形成する。その結果、デバイス構造体６５のチャネル領域３７への結晶損傷の影響は、基板１４に埋め込まれた連続的な損傷層を設ける従来の手法に比べると、最小になる。勿論、横方向の散在範囲及び他の物理的現象が、チャネル領域３７又はより一般的にはゲート構造部３０の直下の井戸１５の部分内に結晶損傷層４６ａ、４６ｂを短距離だけ浸透させる。いずれにしても、結晶損傷層４６ａ、４６ｂは、ゲート電極２６及びゲート誘電体２８によって定められるゲート構造部の下方で横方向に有意な距離(significant distance)を延長することはなく、その結果、結晶損傷層４６ａ、４６ｂはゲート構造部３０の下方で如何なる型の連続性も有しない。

20

【００４８】

結晶損傷層４６ａ、４６ｂを構成するボイド５０はまた、金属ゲッタリング及び局所的なキャリア寿命制御に効果的な中間バンド・ギャップ・トラップを有益に与えることができる。さらに、結晶損傷層４６ａ、４６ｂは、限定的なドーピング濃度を有する浅い接合部により特徴付けられるデバイス構造体６５に深刻な問題を起す可能性のある、ソース及びドレイン領域３６、３８からのドーパントの拡散流出を削減又は防止するのに有効であり得る。結晶損傷層４６ａ、４６ｂの存在により軽減されなければ、ドーパントの拡散流出は、実際に浅い接合部を形成する機能に下限を定める。イオン４８の斜め注入は、ボイド５０に横方向に不均一な分布をもたせることができる。ソース及びドレイン領域３６、３８の内部の全体的なドーピング濃度を維持することにより、拡散を防ぎドーパント損失を軽減するための結晶損傷層４６ａ、４６ｂが存在するので、浅い接合部のデバイス構造体においてデバイス性能を向上させることができる。

30

【００４９】

導電層５６、５８は、それぞれ、基板１４の上表面２２の近くでソース及びドレイン領域３６、３８の内部に形成される。導電層５６、５８は、当業者には周知の従来のシリサイド化プロセスにより形成されるシリサイド材料で構成することができる。局所相互接続（Ｍ１）メタライゼーション層のための誘電体層６０が基板１４の上表面２２の上に加えられる。誘電体層６０の内部に形成されるコンタクト６２、６４、６６は、ゲート電極２６に、並びにソース及びドレイン領域３６、３８の上の導電層５６、５８に電氣的に結合される。次に、標準的な加工プロセスが続くが、それには層間誘電体層及び導電性ビアの形成、並びに、コンタクト６２、６４、６６及び付加的なデバイス構造体６５に対する他の類似のコンタクトと結合された後工程（ＢＥＯＬ）配線構造部の上部メタライゼーション・レベル（Ｍ２レベル、Ｍ３レベルなど）に含まれるメタライゼーションの形成が含まれる。

40

【００５０】

本明細書において、「垂直」、「水平」などの用語は、例証として、しかし限定的にではなく、基準フレームを確立するために用いられる。本明細書で用いられる用語「水平」は、実際の３次元空間的配向とは無関係に、半導体基板の通常の平面に平行な平面として

50

定義される。用語「垂直」は今定義した水平に垂直な方向を指す。「の上に」、「上方に」、「下方に」、「側に」（「側壁」におけるような）、「上部に」、「下部に」、「の上方に」、「真下に」、及び「下に」のような用語は水平平面に対して定義される。種々の他の基準フレームを用いて、本発明の趣旨及び範囲から逸脱せずに本発明を説明することができることを理解されたい。また本発明の構造部は図面中で必ずしも一定の尺度で示されてはいないことを理解されたい。さらに、用語「含む」、「有している」、「有する」、「伴う」又はそれらの変形体が詳細な説明又は請求項において用いられる範囲において、それらの用語は用語「含んでいる（comprising）」と同様に包括的であることが意図されている。

【 0 0 5 1 】

10

層、領域又は基板のような要素が別の要素の「上に」又は「上方に」とあると記述される場合、その要素は他の要素の直接上に又は上方にあることができ、或いは介在要素があっても良いことを理解されたい。反対に、要素が他の要素の「直接上に」又は「直接上方に」とあると記述される場合は、介在要素は存在しない。また要素が別の要素に「接続される」又は「結合される」と記述される場合、その要素は他の要素に直接接続又は直接結合されることができ、或いは介在要素が存在しても良いことを理解されたい。反対に、要素が別の要素に「直接接続される」又は「直接結合される」と記述される場合は、介在要素は存在しない。

【 0 0 5 2 】

20

本明細書において構造体の製造は、製造段階及びステップの特定の順序によって説明された。しかし、順序は説明されたのとは異なっても良いことを理解されたい。例えば、2つ又はそれ以上の製造ステップの順序は、示した順序に関して交換することができる。さらに2つ又はそれ以上の製造ステップは、同時に又は部分的に同時に実施することができる。さらに、種々の製造ステップを削除することができ、他の製造ステップを加えることができる。全てのそのような変形体は本発明の範囲に入ることを理解されたい。また本発明の構造部は、図面中で必ずしも一定の尺度で示されてはいないことを理解されたい。

【 0 0 5 3 】

30

本明細書で用いられる用語は、特定の実施形態を説明するためだけのものであり、本発明を限定することを意図したものではない。本明細書で用いられる単数形「1つの（a）」、「1つの（an）」、及び「その（the）」は、そうでないことを文脈が明確に示さない限り、同様に複数形を含むことが意図されている。さらに、用語「含む（comprises）」及び／又は「含んでいる（comprising）」は本明細書で用いられるとき、記述された構造部、完全体、ステップ、操作、要素、及び／又はコンポーネントの存在を指定するが、1つ又は複数の他の構造部、完全体、ステップ、操作、要素、コンポーネント、及び／又はそれらの群を除外しないことを理解されたい。

【 0 0 5 4 】

40

添付の特許請求の範囲における、対応する構造体、材料、動作、及び全ての手段又はステップ及び機能要素の等価物は、具体的に請求された他の請求要素と組み合わせてその機能を実施するための任意の構造体、材料、又は動作を含むことが意図されている。本発明の説明は、例証及び説明のために示されたものであり、網羅的であること又は本発明を開示された形態に限定することを意図したものではない。当業者には、本発明の範囲及び趣旨から逸脱することなしに多くの修正及び改変が明白となるであろう。実施形態は、本発明の原理及びその実際的な用途を最も良く説明するため、及び、当業者が特定の企図された用途に適するように種々の修正を加えた種々の実施形態に関して本発明を理解することを可能にするために選択され記述された。

【図面の簡単な説明】

【 0 0 5 5 】

【図 1】本発明の一実施形態によるデバイス構造体に関する製造プロセスの連続的な段階における、基板の一部分の概略的断面図である。

【図 2】本発明の一実施形態によるデバイス構造体に関する製造プロセスの連続的な段階

50

における、基板の一部分の概略的断面図である。

【図 3】本発明の一実施形態によるデバイス構造体に関する製造プロセスの連続的な段階における、基板の一部分の概略的断面図である。

【図 4】本発明の一実施形態によるデバイス構造体に関する製造プロセスの連続的な段階における、基板の一部分の概略的断面図である。

【図 5】本発明の別の実施形態によるデバイス構造体の図 4 に類似した概略的断面図である。

【図 6】本発明の別の実施形態によるデバイス構造体の図 4 に類似した概略的断面図である。

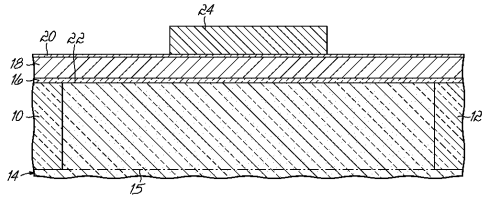
【図 7】本発明の一実施形態によるデバイス構造体に関する製造プロセスの連続的な段階における、基板の一部分の概略的断面図である。 10

【符号の説明】

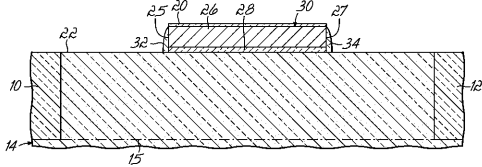
【 0 0 5 6 】

1 0、1 2	浅いトレンチ分離領域	
1 4	基板	
1 5	井戸（ウェル）	
1 6	ゲート誘電体層	
1 8	ゲート導電体層	
2 0	ハードマスク層	
2 2	基板 1 4 の上表面	20
2 4	レジスト層	
2 5、2 7	ゲート電極 2 6 の側壁	
2 6	ゲート電極	
2 8	ゲート誘電体	
3 0	ゲート構造部	
3 2、3 4	側壁スペーサ	
3 5、3 9	接合部（界面）	
3 6	ソース領域	
3 7	チャネル領域	
3 8	ドレイン領域	30
4 0	注入マスク	
4 2、4 8	イオン（一方向矢印）	
4 4	ゲート電極 2 6 の上表面	
4 6 a、4 6 b、5 2 a、5 2 b、5 4 a、5 4 b	結晶損傷層	
4 7、4 9	結晶損傷層の端部	
5 0、5 3、5 5	ボイド	
5 6、5 8	導電層	
6 0	誘電体層	
6 2、6 4、6 6	コンタクト	
6 5	デバイス構造体	40

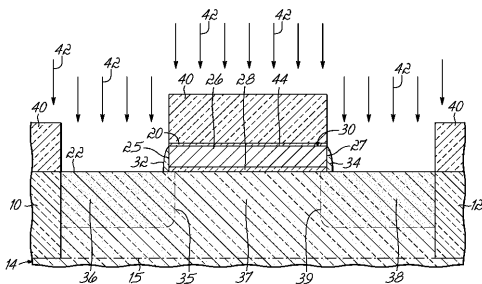
【 図 1 】



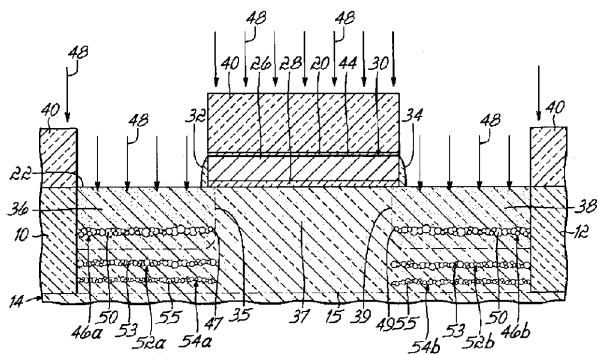
【 図 2 】



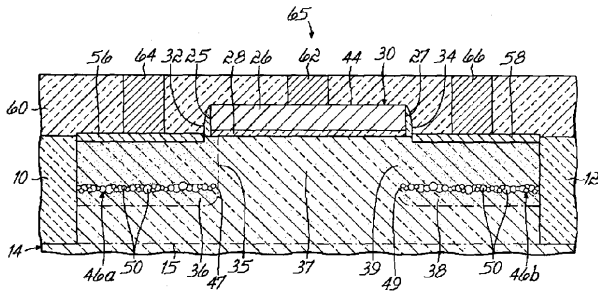
【 図 3 】



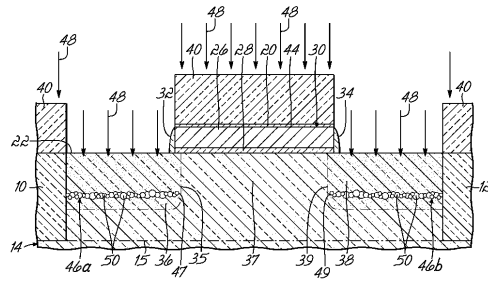
【 図 6 】



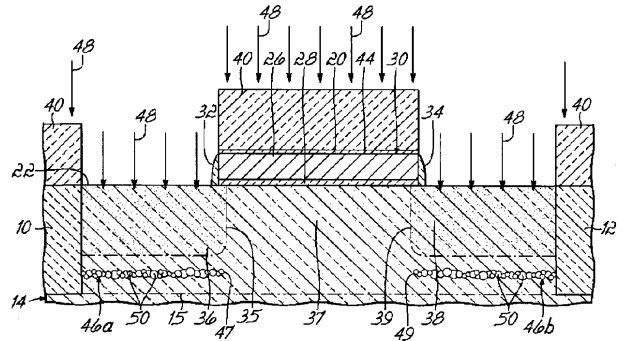
【 図 7 】



【 図 4 】



【 図 5 】



フロントページの続き

(74)復代理人 100110607

弁理士 間山 進也

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 イーサン・エイチ・キャノン

アメリカ合衆国 0 5 4 5 2 バーモント州 エセックス・ジャンクション タイラー・ドライブ
1 7

(72)発明者 フェン・チェン

アメリカ合衆国 0 5 4 9 5 バーモント州 ウィリントン ワイルドフラワー・サークル 2 3
8

F ターム(参考) 5F140 AA09 AA24 AC28 BA01 BA20 BD04 BD07 BD09 BD11 BE09
BE10 BF01 BF04 BF05 BF08 BG08 BG14 BG38 BG39 BG52
BG53 BH34 BH40 BH41 BH45 BJ01 BJ08 BK13 BK20 BK21
BK22 BK25 CB04 CB08 CE03