

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5761551号
(P5761551)

(45) 発行日 平成27年8月12日 (2015. 8. 12)

(24) 登録日 平成27年6月19日 (2015. 6. 19)

(51) Int. Cl. F I
H04L 1/00 (2006.01) H04L 1/00 B

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2010-258570 (P2010-258570)	(73) 特許権者	000002185
(22) 出願日	平成22年11月19日 (2010. 11. 19)		ソニー株式会社
(65) 公開番号	特開2012-109890 (P2012-109890A)		東京都港区港南1丁目7番1号
(43) 公開日	平成24年6月7日 (2012. 6. 7)	(74) 代理人	100082131
審査請求日	平成25年11月6日 (2013. 11. 6)		弁理士 稲本 義雄
		(74) 代理人	100121131
			弁理士 西川 孝
		(72) 発明者	新橋 龍男
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	舟本 一久
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

(54) 【発明の名称】 送信装置、送信方法、受信装置、受信方法、プログラム、および伝送システム

(57) 【特許請求の範囲】

【請求項 1】

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位 of データを出力する変換部と、

複数の前記単位 of データを情報語として誤り訂正符号を計算する誤り訂正符号計算部と

前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当てる分割部と、

前記分割部により割り当てられたデータをパイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信する、複数の前記伝送路に対応して設けられる複数の送信部と

を備える送信装置。

10

20

【請求項 2】

前記分割部は、前記誤り訂正符号計算部から供給された順に、同じ前記符号語を構成する前記符号化データを異なる前記伝送路に割り当てる

請求項 1 に記載の送信装置。

【請求項 3】

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位の変換部から出力し、

10

複数の前記単位の変換部を情報語として誤り訂正符号を誤り訂正符号計算部により計算し、

前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ分割部により複数の伝送路に割り当て、

他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを前記分割部により割り当て、

複数の前記伝送路に対応して設けられる複数の送信部により、前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信する

20

ステップを含む送信方法。

【請求項 4】

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位の変換部から出力し、

30

複数の前記単位の変換部を情報語として誤り訂正符号を誤り訂正符号計算部により計算し、

前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ分割部により複数の伝送路に割り当て、

他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを前記分割部により割り当て、

複数の前記伝送路に対応して設けられる複数の送信部により、前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信する

40

ステップを含む処理をコンピュータに実行させるプログラム。

【請求項 5】

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、複数の前記単位の変換部を情報語として誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記情報語

50

に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当て、複数の前記伝送路に割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して前記伝送路を介して送信する同じ装置内の送信装置から送信されたデータを受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出力する、複数の前記伝送路に対応して設けられる複数の受信部と、

10

複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて前記符号語を生成する結合部と、

前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を行う誤り訂正部と、

誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして出力する変換部と

を備える受信装置。

【請求項 6】

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、複数の前記単位のデータを情報語として誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当て、複数の前記伝送路に割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して前記伝送路を介して送信する同じ装置内の送信装置から送信されたデータを、複数の前記伝送路に対応して設けられる複数の受信部により受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出力し、

20

30

複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて前記符号語を結合部により生成し、

前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を誤り訂正部により行い、

誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして変換部から出力する

ステップを含む受信方法。

40

【請求項 7】

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、複数の前記単位のデータを情報語として誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値

50

を有するパディングデータを割り当て、複数の前記伝送路に割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して前記伝送路を介して送信する同じ装置内の送信装置から送信されたデータを、複数の前記伝送路に対応して設けられる複数の受信部により受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出力し、

複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて前記符号語を結合部により生成し、

前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を誤り訂正部により行い、

誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして変換部から出力する

ステップを含む処理をコンピュータに実行させるプログラム。

【請求項 8】

送信装置と受信装置からなる伝送システムにおいて、

前記送信装置は、

送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位のデータを出力する変換部と、

複数の前記単位のデータを情報語として誤り訂正符号を計算する誤り訂正符号計算部と、

前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当てる分割部と、

前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の前記受信装置に対して前記伝送路を介して送信する、複数の前記伝送路に対応して設けられる複数の送信部と

を備え、

前記受信装置は、

前記送信装置から送信されたデータを受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出力する、複数の前記伝送路に対応して設けられる複数の受信部と、

複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて符号語を生成する結合部と、

前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を行う誤り訂正部と、

誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして出力する変換部と

を備える

伝送システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信装置、送信方法、受信装置、受信方法、プログラム、および伝送システ

10

20

30

40

50

ムに関し、特に、データの伝送速度を向上させつつ、誤り訂正能力を向上させることができるようにした送信装置、送信方法、受信装置、受信方法、プログラム、および伝送システムに関する。

【背景技術】

【0002】

情報の大容量化に伴い、信号処理LSI(Large Scale Integrated Circuit)間のインタフェースの伝送速度の高速化が必要になってきている。

【0003】

この要求に応えるため、信号処理の多並列化、インタフェースのクロック周波数の向上、信号の低電圧化などの手法が採用されているが、これらの手法によれば、ノイズ耐性が劣化し、データを正しく伝送することが難しくなる。

10

【0004】

モバイル機器向けの信号処理LSI間のインタフェースなどの消費電力を抑えることが要求されるインタフェースにおいても、伝送速度の高速化はそれほど要求されないものの、低電圧化が進められており、データを正しく伝送することが難しい。

【0005】

このような問題を解決するため、従来、CDR(Clock Data Recovery)回路やイコライザの高性能化などの伝送チャネルの電気的な性能改善が行われ、また、ノイズによって生じた誤りを受信側で訂正する誤り訂正符号も用いられている。誤り訂正符号にはReed-Solomon符号などがある。受信側のLSIにおいては、誤り訂正符号の復号処理を行うことによって、データの誤りがある程度訂正することが可能になる。

20

【先行技術文献】

【非特許文献】

【0006】

【非特許文献1】Serial ATA: High Speed Serialized AT Attachment Revision 1.0a 7-January-2003

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来のLSI間のインタフェースでは、通常、LSI間の伝送路が複数ある場合であっても、送信データに誤り訂正符号が付加されて構成される1つの符号語のデータは1本の同じ伝送路を用いて伝送される。従って、誤り訂正符号のビット数により定まる訂正能力を超えた数のビットの誤りが1符号語中で発生した場合、その誤りを訂正することができず、データの欠落になってしまっていた。システムによっては、訂正失敗を検出してデータの再送信が行われる。

30

【0008】

信号処理LSI間のインタフェースに要求される伝送容量が加速度的に増大してきており、伝送誤りが起きやすくなっている上、データを再送信するだけの伝送帯域を確保することも困難になってきている。

【0009】

40

本発明はこのような状況に鑑みてなされたものであり、データの伝送速度を向上させつつ、誤り訂正能力を向上させることができるようにするものである。

【課題を解決するための手段】

【0010】

本発明の第1の側面の送信装置は、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位のデータを出力する変換部と、複数の前記単位のデータを情報語として誤り訂正符号を計算する誤り訂正符号計算部と、前記誤り訂正符号計算部による計算によ

50

って求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当てる分割部と、前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信する、複数の前記伝送路に対応して設けられる複数の送信部とを備える。

【0012】

10

前記分割手段には、前記誤り訂正符号計算手段から供給された順に、同じ符号語を構成する前記符号化データを異なる前記伝送路に割り当てさせることができる。

【0013】

本発明の第1の側面の送信方法は、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、複数の前記単位のデータを変換部から出力し、前記単位のデータを情報語として誤り訂正符号を誤り訂正符号計算部により計算し、前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ分割部により複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを前記分割部により割り当て、複数の前記伝送路に対応して設けられる複数の送信部により、前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信するステップを含む。

20

【0014】

本発明の第1の側面のプログラムは、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位のデータを変換部から出力し、複数の前記単位のデータを情報語として誤り訂正符号を誤り訂正符号計算部により計算し、前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ分割部により複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを前記分割部により割り当て、複数の前記伝送路に対応して設けられる複数の送信部により、前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信するステップを含む処理をコンピュータに実行させる。

30

40

【0015】

本発明の第2の側面の受信装置は、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎

50

に集め、複数の前記単位のデータを情報語として誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当て、複数の前記伝送路に割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して前記伝送路を介してを送信する同じ装置内の送信装置から送信されたデータを受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出

10

力する、複数の前記伝送路に対応して設けられる複数の受信部と、複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて前記符号語を生成する結合部と、前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を行う誤り訂正部と、誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして出力する変換部とを備える。

【 0 0 1 7 】

本発明の第2の側面の受信方法は、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、複数の前記単位のデータを情報語として誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当て、複数の前記伝送路に割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して前記伝送路を介して送信する同じ装置内の送信装置から送信されたデータを、複数の前記伝送路に対応して設けられる複数の受信部により受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出

20

力し、複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて符号語を結合部により生成し、前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を誤り訂正部により行い、誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして変換部から出力するステップを含む。

【 0 0 1 8 】

本発明の第2の側面のプログラムは、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、複数の前記単位のデータを情報語として誤り訂正符号を計算し、計算によって求めた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当て、複数の前記伝送路に割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して前記伝送路を介して送信する

40

50

同じ装置内の送信装置から送信されたデータを、複数の前記伝送路に対応して設けられる複数の受信部により受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出力し、複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて符号語を結合部により生成し、前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を誤り訂正部により行い、誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして変換部から出力するステップを含む処理をコンピュータに実行させる。

【 0 0 1 9 】

本発明の第3の側面の伝送システムは、送信装置と受信装置からなる伝送システムにおいて、前記送信装置は、送信対象のデータである複数のシンボルを構成するビットを、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集め、前記単位のデータを出力する変換部と、複数の前記単位のデータを情報語として誤り訂正符号を計算する誤り訂正符号計算部と、前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語を、同じビット数の符号化データに分割し、前記符号化データを所定の数ずつ複数の伝送路に割り当て、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータを割り当てる分割部と、前記分割部により割り当てられたデータをペイロードに格納し、ヘッダとフッタを付加したパケットを、前記パケット毎に開始コードと終了コードを付加して同じ装置内の前記受信装置に対して前記伝送路を介して送信する、複数の前記伝送路に対応して設けられる複数の送信部とを備え、前記受信装置は、前記送信装置から送信されたデータを受信し、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータを出力する、複数の前記伝送路に対応して設けられる複数の受信部と、複数の前記受信部から出力されたデータのうち、前記パディングデータを除去し、前記符号化データに基づいて符号語を生成する結合部と、前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正を行う誤り訂正部と、誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットを、前記シンボルのデータとして出力する変換部とを備える。

【 0 0 2 0 】

本発明の第1の側面においては、送信対象のデータである複数のシンボルを構成するビットが、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集められ、前記単位のデータが変換部から出力され、複数の前記単位のデータを情報語として誤り訂正符号が誤り訂正符号計算部により計算され、前記誤り訂正符号計算部による計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語が、同じビット数の符号化データに分割され、前記符号化データが所定の単位ずつ分割部により複数の伝送路に割り当てられ、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータが前記分割部により割り当てられる。また、複数の前記伝送路に対応して設けられる複数の送信部により、前記分割部により割り当てられたデータがペイロードに格納され、ヘッダとフッタを付加したパケットが、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信される。

【 0 0 2 1 】

本発明の第2の側面においては、送信装置から送信されたデータが、複数の前記伝送路に対応して設けられる複数の受信部により受信され、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータが出力される。また、複数の前記受信部から出力されたデータのうち、前記パディングデータが除去され、前記符号化データに基づいて符号語が結合部により生成され、前記結合部により生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正が誤り訂正部により行われ、誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットが、前記シンボルのデータとして変換部から出力される。

【0022】

10

本発明の第3の側面においては、送信装置により、送信対象のデータである複数のシンボルを構成するビットが、所定の前記シンボルを構成するビット列の先頭から順に同じ単位に集めるようにして足りない場合に、次の前記シンボルを構成するビット列の先頭から集め、その次の前記単位は、それに続くビットから集めるように、先頭のビットから順に同じ前記単位毎に集められ、前記単位のデータが変換部から出力され、複数の前記単位のデータを情報語として誤り訂正符号が計算され、計算によって求められた前記誤り訂正符号を前記情報語に付加して得られた符号語が、同じビット数の符号化データに分割され、前記符号化データが所定の単位ずつ複数の伝送路に割り当てられ、他の前記伝送路より前記符号化データの割り当て数の少ない前記伝送路に対して、他の前記伝送路に割り当てた前記符号化データの量と同じ量のデータが割り当てられるように、前記符号化データと同じビット数の、所定の値を有するパディングデータが前記分割部により割り当てられ、複数の前記伝送路に対応して設けられる複数の送信部により、割り当てられたデータがペイロードに格納され、ヘッダとフッタを付加したパケットが、前記パケット毎に開始コードと終了コードを付加して同じ装置内の受信装置に対して前記伝送路を介して送信される。また、前記受信装置により、前記送信装置から送信されたデータが複数の前記伝送路に対応して設けられる複数の受信部により受信され、前記開始コードから前記終了コードまでのデータを前記パケットのデータとして、前記ペイロードに格納されたデータが出力され、複数の前記受信部から出力されたデータのうち、前記パディングデータが除去され、前記符号化データに基づいて符号語が生成され、生成された前記符号語に含まれる前記誤り訂正符号に基づいて前記情報語の誤り訂正が行われ、誤り訂正後の前記情報語を構成する、先頭のビットから順に並ぶ前記シンボルのビット数と同じビットが、前記シンボルのデータとして変換部から出力される。

20

30

【発明の効果】

【0023】

本発明によれば、データの伝送速度を向上させつつ、誤り訂正能力を向上させることができる。

【図面の簡単な説明】

【0024】

【図1】伝送システムの構成例を示す図である。

【図2】送信データの並び替えの例を示す図である。

40

【図3】誤り訂正符号化の例を示す図である。

【図4】送信データの伝送路分割の例を示す図である。

【図5】送信データの伝送路分割の他の例を示す図である。

【図6】伝送フレームのフレーム構成を示す図である。

【図7】送信データの伝送路結合の例を示す図である。

【図8】誤り訂正復号の例を示す図である。

【図9】送信側ブロックの送信処理について説明するフローチャートである。

【図10】受信側ブロックの受信処理について説明するフローチャートである。

【図11】伝送システムの構成の変形例を示す図である。

【図12】コンピュータの構成例を示す図である。

50

【発明を実施するための形態】**【0025】****<ブロックの構成>**

図1は、本発明の一実施形態に係る伝送システムの構成例を示す図である。

【0026】

図1の伝送システム1は、送信側ブロック11と受信側ブロック12から構成される。送信側ブロック11と受信側ブロック12は、例えば、それぞれ異なるLSIにより、または同じLSIにより実現され、デジタルカメラ、携帯電話機、パーソナルコンピュータなどの、情報を処理する同じ装置内に設けられる。

【0027】

図1の例においては、送信側ブロック11と受信側ブロック12が伝送路C1乃至C4の4本の伝送路を介して接続されている。伝送路C1乃至C4は有線の伝送路であってもよいし、無線の伝送路であってもよい。また、送信側ブロック11と受信側ブロック12の間の伝送路の数を5以上の所定の数にすることも可能である。

【0028】**[送信側ブロックの構成]**

はじめに、送信側ブロック11の構成について説明する。送信側ブロック11は、信号処理部21、並べ替え処理部22、ECC処理部23、分割部24、および送信処理部25-1乃至25-4から構成される。

【0029】

送信処理部25-1は、フレーム化部31-1、変調部32-1、DAC33-1、および送信アンプ34-1から構成され、送信処理部25-2は、フレーム化部31-2、変調部32-2、DAC33-2、および送信アンプ34-2から構成される。送信処理部25-3は、フレーム化部31-3、変調部32-3、DAC33-3、および送信アンプ34-3から構成され、送信処理部25-4は、フレーム化部31-4、変調部32-4、DAC33-4、および送信アンプ34-4から構成される。

【0030】

このように、送信側ブロック11には、伝送路に近い構成を下位の構成とすると、ECC処理部23より下位の位置に分割部24が設けられる。また、分割部24より下位の位置に、伝送路C1乃至C4に対応して、フレーム化部、変調部、DAC、および送信アンプを有する送信処理部が設けられる。

【0031】

信号処理部21は、各種の信号処理を行い、信号処理を行うことによって得られた画像データ、テキストデータ、オーディオデータなどの、送信対象のデータである送信データを並べ替え処理部22に出力する。

【0032】

送信データが送信側ブロック11の外部の回路から並べ替え処理部22に入力されるようにすることも可能である。例えば、CMOS(Complementary Metal Oxide Semiconductor)などの外部の撮像素子により撮像された画像を構成する画素データが、1画素のデータずつ順に送信データとして入力されるようにしてもよい。

【0033】

並べ替え処理部22は、信号処理部21から供給された送信データを取得し、取得した送信データの並び替えを行う。例えば、送信データが12ビットなどの所定の数のビットで1シンボルを構成するデータである場合、並べ替え処理部22においては、データの並び替えが行われることによって8ビット単位のデータに変換される。

【0034】

図2は、送信データの並び替えの例を示す図である。

【0035】

図2の左側に示す縦長の4つのブロックは、それぞれ12ビットのデータであるシンボルS1乃至S4を表す。各ブロックの縦方向の長さが12ビットを表す。

10

20

30

40

50

【 0 0 3 6 】

例えば、シンボル S 1 乃至 S 4 が送信データとして入力された場合、並べ替え処理部 2 2 においては、入力された順に 8 ビットずつ集められ、矢印の先に示すような 8 ビット単位のデータであるシンボル s 1 乃至 s 6 に並び替えられる。

【 0 0 3 7 】

シンボル s 1 は、シンボル S 1 の 1 ビット目から 8 ビット目までの 8 ビットにより構成される。シンボル s 2 は、シンボル S 1 の 9 ビット目から 1 2 ビット目までの 4 ビットと、シンボル S 2 の 1 ビット目から 4 ビット目までの 4 ビットとの 8 ビットにより構成される。シンボル s 3 は、シンボル S 2 の 5 ビット目から 1 2 ビット目までの 8 ビットにより構成される。シンボル s 4 は、シンボル S 3 の 1 ビット目から 8 ビット目までの 8 ビットにより構成される。シンボル s 5 は、シンボル S 3 の 9 ビット目から 1 2 ビット目までの 4 ビットと、シンボル S 4 の 1 ビット目から 4 ビット目までの 4 ビットとの 8 ビットにより構成される。シンボル s 6 は、シンボル S 4 の 5 ビット目から 1 2 ビット目までの 8 ビットにより構成される。

10

【 0 0 3 8 】

送信データを構成する各シンボルが 1 2 ビット以外のビット数で表されることもある。並べ替え処理部 2 2 においては、送信データの各シンボルがどのようなビット数で表される場合であっても後段の処理部において同じ処理で伝送フレームを生成できるように、送信データを 8 ビット単位のデータに区切り直す処理が行われる。並べ替え処理部 2 2 は、並び替えを行うことによって得られた 8 ビット単位の送信データを ECC 処理部 2 3 に出力する。

20

【 0 0 3 9 】

ECC(Error Correcting Code)処理部 2 3 は、並べ替え処理部 2 2 から供給された 8 ビット単位の送信データに基づいて、送信データの誤り訂正に用いられる誤り訂正符号を計算する。また、ECC 処理部 2 3 は、計算により求めた誤り訂正符号であるパリティを送信データに付加することによって誤り訂正符号化を行う。誤り訂正符号として例えば Reed Solomon 符号が用いられる。

【 0 0 4 0 】

図 3 は、ECC 処理部 2 3 による誤り訂正符号化の例を示す図である。

【 0 0 4 1 】

ECC 処理部 2 3 は、所定の数の 8 ビット単位の送信データを情報語として生成多項式に適用し、パリティの計算を行う。例えば、ECC 処理部 2 3 により求められるパリティも 8 ビット単位のデータとされる。ECC 処理部 2 3 は、白抜き矢印の先に示すように、計算により求めたパリティを情報語に付加し、符号語を生成する。ECC 処理部 2 3 は、生成した符号語のデータである符号化データを 8 ビット単位で分割部 2 4 に出力する。

30

【 0 0 4 2 】

分割部 2 4 は、ECC 処理部 2 3 から供給された 8 ビット単位の符号化データを、先頭のデータから順に伝送路 C 1 乃至 C 4 の各伝送路に割り当てることによって伝送路分割を行う。分割部 2 4 は、ある符号化データを伝送路 C 4 に割り当てたとき、それ以降の符号化データを伝送路 C 1 以降の各伝送路に順に割り当てるようにして伝送路分割を行う。

40

【 0 0 4 3 】

図 4 は、伝送路分割の例を示す図である。

【 0 0 4 4 】

数字を付して示す各ブロックは 8 ビット単位の送信データまたはパリティを表す。ブロック 1 乃至 3、ブロック 4 乃至 6、ブロック 7 乃至 9、ブロック 1 0 乃至 1 2 のそれぞれの 2 4 ビットのデータから 1 符号語が構成され、ブロック 1 乃至 1 2 の符号化データが順に供給された場合について説明する。

【 0 0 4 5 】

この場合、分割部 2 4 は、同じ符号語を構成する符号化データが同じ伝送路を使って伝送されないように、ECC 処理部 2 3 から供給された符号化データを供給された順に伝送路

50

C 1 乃至 C 4 に割り当てて。図 4 の例においては、符号語 1 を構成するブロック 1 , 2 , 3 の符号化データがそれぞれ伝送路 C 1 , C 2 , C 3 に割り当てられ、符号語 2 を構成するブロック 4 , 5 , 6 の符号化データが伝送路 C 4 , C 1 , C 2 に割り当てられている。符号語 3 を構成するブロック 7 , 8 , 9 の符号化データがそれぞれ伝送路 C 3 , C 4 , C 1 に割り当てられ、符号語 4 を構成するブロック 10 , 11 , 12 の符号化データが伝送路 C 2 , C 3 , C 4 に割り当てられている。

【 0 0 4 6 】

伝送路 C 1 に割り当てられたブロック 1 , 5 , 9 の符号化データは、その順番でフレーム化部 31 - 1 に供給され、伝送路 C 2 に割り当てられたブロック 2 , 6 , 10 の符号化データは、その順番でフレーム化部 31 - 2 に供給される。伝送路 C 3 に割り当てられたブロック 3 , 7 , 11 の符号化データは、その順番でフレーム化部 31 - 3 に供給され、伝送路 C 4 に割り当てられたブロック 4 , 8 , 12 の符号化データは、その順番でフレーム化部 31 - 4 に供給される。

【 0 0 4 7 】

図 5 は、伝送路分割の他の例を示す図である。

【 0 0 4 8 】

図 5 を参照して、図 4 を参照して説明したブロック 1 乃至 12 を伝送路 C 1 乃至 C 5 の 5 つの伝送路に割り当ててする場合について説明する。図 5 に示す伝送路分割は、送信側ブロック 11 と受信側ブロック 12 が 5 本の伝送路で接続される場合に行われる。

【 0 0 4 9 】

この場合も同様に、分割部 24 は、同じ符号語を構成する符号化データが同じ伝送路を使って伝送されないように、ECC 処理部 23 から供給された符号化データを供給された順に伝送路 C 1 乃至 C 5 に割り当てて。図 5 の例においては、符号語 1 を構成するブロック 1 , 2 , 3 の符号化データがそれぞれ伝送路 C 1 , C 2 , C 3 に割り当てられ、符号語 2 を構成するブロック 4 , 5 , 6 の符号化データが伝送路 C 4 , C 5 , C 1 に割り当てられている。符号語 3 を構成するブロック 7 , 8 , 9 の符号化データがそれぞれ伝送路 C 2 , C 3 , C 4 に割り当てられ、符号語 4 を構成するブロック 10 , 11 , 12 の符号化データが伝送路 C 5 , C 1 , C 2 に割り当てられている。

【 0 0 5 0 】

分割部 24 は、全ての符号化データを各伝送路に割り当てた後、各伝送路に割り当てられる符号化データのデータ量が同じ量になるように、符号化データの割り当て量の少ない伝送路に対してパディングデータを割り当てて。パディングデータも 8 ビットのデータであり、“00000000”などの所定の値を有する。

【 0 0 5 1 】

図 5 の例においては、割り当てられた符号化データのデータ量の少ない伝送路である伝送路 C 3 , C 4 , C 5 に対してパディングデータが 1 つずつ割り当てられている。図 5 において斜線を付して示すブロックはパディングデータを表す。

【 0 0 5 2 】

伝送路 C 1 に割り当てられたブロック 1 , 6 , 11 の符号化データは、その順番でフレーム化部 31 - 1 に供給され、伝送路 C 2 に割り当てられたブロック 2 , 7 , 12 の符号化データは、その順番でフレーム化部 31 - 2 に供給される。伝送路 C 3 に割り当てられたブロック 3 , 8、および、ブロック 8 の符号化データに続けて伝送路 C 3 に割り当てられたパディングデータ P 1 は、その順番でフレーム化部 31 - 3 に供給される。伝送路 C 4 に割り当てられたブロック 4 , 9、および、ブロック 9 の符号化データに続けて伝送路 C 4 に割り当てられたパディングデータ P 2 は、その順番でフレーム化部 31 - 4 に供給される。伝送路 C 5 に割り当てられたブロック 5 , 10、および、ブロック 10 の符号化データに続けて伝送路 C 5 に割り当てられたパディングデータ P 3 は、その順番で、伝送路 C 5 を介して送信されるデータの処理を行う図示せぬ送信処理部に供給される。

【 0 0 5 3 】

このように、各伝送路に割り当てられる符号化データのデータ量が異なる場合、分割部

10

20

30

40

50

24によりパディングデータが割り当てられる。割り当てられるパディングデータ全体の数(バイト数)は、符号化データの数を伝送路の数で割った余りを、伝送路の数から引いて得られた数になる。各伝送路に割り当てられるデータのサイズが同じサイズになることによって、送信処理部25-1乃至25-4において並列に行われる処理の同期をとることが可能になる。

【0054】

送信処理部25-1のフレーム化部31-1は、分割部24から供給された符号化データをペイロードに格納し、送信データに関する情報を含むヘッダとフッタを付加することによってパケットを生成する。伝送路C1にパディングデータが割り当てられている場合、フレーム化部31-1においては、符号化データと同様にパディングデータもパケットのペイロードに格納される。

10

【0055】

また、フレーム化部31-1は、パケットの先頭にパケットデータの開始位置を表す開始コードを付加し、パケットの末尾にパケットデータの終了位置を表す終了コードを付加することによって伝送フレームを生成する。

【0056】

図6は、伝送フレームのフレーム構成を示す図である。

【0057】

図6に示すように、符号化データが格納されたペイロードにヘッダとフッタが付加されることによって1パケットが構成される。また、パケットに開始コードと終了コードが付加されることによって伝送フレームが構成される。

20

【0058】

フレーム化部31-1は、図6に示すようなフレーム構成を有する伝送フレームのデータであるフレームデータを先頭のデータから順に変調部32-1に出力する。

【0059】

変調部32-1は、フレーム化部31-1から供給されたフレームデータを所定の変調方式で変調し、変調後のフレームデータをDAC33-1に出力する。

【0060】

DAC(Digital Analog Converter)33-1は、変調部32-1から供給されたフレームデータに対してD/A変換を施し、D/A変換を施すことによって得られたアナログ信号を送信アンプ34-1に出力する。

30

【0061】

送信アンプ34-1は、DAC33-1から供給された信号の信号電圧を調整し、調整後の信号を伝送路C1を介して受信側ブロック12に送信する。

【0062】

送信処理部25-2乃至25-4においても、送信処理部25-1の各部において行われる処理と同様の処理が行われる。すなわち、送信処理部25-2においては、伝送路C2に割り当てられた符号化データを対象としてフレーム化、変調、D/A変換が施され、フレームデータを表す信号が伝送路C2を介して送信される。また、送信処理部25-3においては、伝送路C3に割り当てられた符号化データを対象としてフレーム化、変調、D/A変換が施され、フレームデータを表す信号が伝送路C3を介して送信される。送信処理部25-4においては、伝送路C4に割り当てられた符号化データを対象としてフレーム化、変調、D/A変換が施され、フレームデータを表す信号が伝送路C4を介して送信される。

40

【0063】

[受信側ブロックの構成]

次に、受信側ブロック12の構成について説明する。受信側ブロック12は、受信処理部51-1乃至51-4、結合部52、ECC処理部53、並べ替え処理部54、および信号処理部55から構成される。

【0064】

50

受信処理部 5 1 - 1 は、受信アンプ 6 1 - 1、クロック再生部 6 2 - 1、ADC(Analog Digital Converter) 6 3 - 1、復調部 6 4 - 1、およびフレーム同期部 6 5 - 1 から構成される。受信処理部 5 1 - 2 は、受信アンプ 6 1 - 2、クロック再生部 6 2 - 2、ADC 6 3 - 2、復調部 6 4 - 2、およびフレーム同期部 6 5 - 2 から構成される。受信処理部 5 1 - 3 は、受信アンプ 6 1 - 3、クロック再生部 6 2 - 3、ADC 6 3 - 3、復調部 6 4 - 3、およびフレーム同期部 6 5 - 3 から構成される。受信処理部 5 1 - 4 は、受信アンプ 6 1 - 4、クロック再生部 6 2 - 4、ADC 6 3 - 4、復調部 6 4 - 4、およびフレーム同期部 6 5 - 4 から構成される。

【 0 0 6 5 】

送信側ブロック 1 1 の送信アンプ 3 4 - 1 から送信された信号は受信アンプ 6 1 - 1 に入力され、送信アンプ 3 4 - 2 から送信された信号は受信アンプ 6 1 - 2 に入力される。送信アンプ 3 4 - 3 から送信された信号は受信アンプ 6 1 - 3 に入力され、送信アンプ 3 4 - 4 から送信された信号は受信アンプ 6 1 - 4 に入力される。

【 0 0 6 6 】

このように、受信側ブロック 1 2 には、伝送路に近い構成を下位の構成とすると、ECC 処理部 5 3 より下位の位置に結合部 5 2 が設けられる。また、結合部 5 2 より下位の位置に、伝送路 C 1 乃至 C 4 に対応して、受信アンプ、クロック再生部、ADC、復調部、およびフレーム同期部を有する受信処理部が設けられる。

【 0 0 6 7 】

受信処理部 5 1 - 1 の受信アンプ 6 1 - 1 は、送信側ブロック 1 1 から送信されてきた信号を受信し、信号電圧を調整して出力する。受信アンプ 6 1 - 1 から出力された信号はクロック再生部 6 2 - 1 と ADC 6 3 - 1 に入力される。

【 0 0 6 8 】

クロック再生部 6 2 - 1 は、入力信号のエッジを検出することによってビット同期を取り、エッジの検出周期に基づいてクロック信号を再生する。クロック再生部 6 2 - 1 は、再生したクロック信号を ADC 6 3 - 1 に出力する。

【 0 0 6 9 】

ADC 6 3 - 1 は、クロック再生部 6 2 - 1 により再生されたクロック信号に従って入力信号のサンプリングを行い、サンプリングによって得られたフレームデータを復調部 6 4 - 1 に出力する。

【 0 0 7 0 】

復調部 6 4 - 1 は、送信側ブロック 1 1 の変調部 3 2 - 1 における変調方式に対応する方式でフレームデータの復調を行い、復調後のフレームデータをフレーム同期部 6 5 - 1 に出力する。

【 0 0 7 1 】

フレーム同期部 6 5 - 1 は、復調部 6 4 - 1 から供給されたフレームデータから開始コードと終了コードを検出し、フレーム同期をとる。フレーム同期部 6 5 - 1 は、開始コードから終了コードまでのデータをパケットデータとして検出し、ペイロードに格納されている符号化データを結合部 5 2 に出力する。

【 0 0 7 2 】

受信処理部 5 1 - 2 乃至 5 1 - 4 においても、受信処理部 5 1 - 1 の各部において行われる処理と同様の処理が行われる。すなわち、受信処理部 5 1 - 2 においては、伝送路 C 2 を介して送信されてきた信号のサンプリング、サンプリングにより得られたフレームデータの復調、およびフレーム同期処理が行われ、符号化データが結合部 5 2 に出力される。受信処理部 5 1 - 3 においては、伝送路 C 3 を介して送信されてきた信号のサンプリング、サンプリングにより得られたフレームデータの復調、およびフレーム同期処理が行われ、符号化データが結合部 5 2 に出力される。受信処理部 5 1 - 4 においては、伝送路 C 4 を介して送信されてきた信号のサンプリング、サンプリングにより得られたフレームデータの復調、およびフレーム同期処理が行われ、符号化データが結合部 5 2 に出力される。

【 0 0 7 3 】

結合部 5 2 は、受信処理部 5 1 - 1 乃至 5 1 - 4 から供給された符号化データを、送信側ブロック 1 1 の分割部 2 4 による各伝送路への割り当て順と逆順で並び替えることによって伝送路結合（統合）を行う。

【 0 0 7 4 】

図 7 は、伝送路結合の例を示す図である。

【 0 0 7 5 】

ブロック 1 乃至 1 2 の符号化データの伝送路分割が図 4 を参照して説明したようにして行われているものとする。この場合、結合部 5 2 においては、伝送路分割時の各伝送路への割り当て順と逆順で符号化データが並び替えられ、図 7 の白抜き矢印の先に示すような、ECC処理部 2 3 からの出力順と同じ並びの符号化データが生成される。結合部 5 2 は、並び替えを行うことによって生成した各符号語を構成するブロック 1 乃至 1 2 の符号化データを順にECC処理部 5 3 に出力する。

10

【 0 0 7 6 】

符号化データに続けてパディングデータが受信処理部 5 1 - 1 乃至 5 1 - 4 から供給された場合、結合部 5 2 はパディングデータを除去し、符号化データのみを出力する。

【 0 0 7 7 】

ECC処理部 5 3 は、結合部 5 2 から供給された符号化データに含まれるパリティに基づいて誤り訂正演算を行うことによって送信データの誤りを検出し、検出した誤りの訂正を行う。

20

【 0 0 7 8 】

図 8 は、ECC処理部 5 3 による誤り訂正復号の例を示す図である。

【 0 0 7 9 】

例えば、図 8 の上段に示す符号語のデータが符号化データとして送信側ブロック 1 1 から送信され、白抜き矢印 # 1 1 の先に示すようなデータが受信された場合について説明する。図 8 の受信データ中のビット E 1 , E 2 は、誤りのあるビットを表す。

【 0 0 8 0 】

この場合、ECC処理部 5 3 においては、パリティに基づく誤り訂正演算が行われることによってビット E 1 , E 2 が検出され、白抜き矢印 # 1 2 の先に示すように訂正される。ECC処理部 5 3 は、各符号語を対象として誤り訂正復号を行い、誤り訂正後の送信データを並べ替え処理部 5 4 に出力する。

30

【 0 0 8 1 】

並べ替え処理部 5 4 は、ECC処理部 5 3 から供給された 8 ビット単位の送信データを、送信側ブロック 1 1 の並べ替え処理部 2 2 による並び替えの順番と逆順で並び替える。すなわち、並べ替え処理部 5 4 においては、図 2 を参照して説明した処理と逆の処理が行われることによって、8 ビット単位の送信データが、1 2 ビットなどの所定のビット数単位の送信データに変換される。並べ替え処理部 5 4 は、並び替えを行うことによって得られた送信データを信号処理部 5 5 に出力する。

【 0 0 8 2 】

信号処理部 5 5 は、並べ替え処理部 5 4 から供給された送信データを用いて各種の処理を行う。例えば、送信データが画像を構成する画素データである場合、信号処理部 5 5 においては、画素データに基づいて 1 フレームの画像が生成され、画像データの圧縮、画像の表示、記録媒体に対する画像データの記録などの各種の処理が行われる。

40

【 0 0 8 3 】

< ブロックの動作 >

ここで、送信側ブロック 1 1 と受信側ブロック 1 2 の一連の処理について説明する。はじめに、図 9 のフローチャートを参照して送信側ブロック 1 1 の送信処理について説明する。

【 0 0 8 4 】

ステップ S 1 において、信号処理部 2 1 は信号処理を行い、信号処理を行うことによ

50

て得られた送信データを出力する。

【0085】

ステップS2において、並べ替え処理部22は、信号処理部21から供給された送信データを取得し、図2を参照して説明したようにしてデータの並び替えを行う。

【0086】

ステップS3において、ECC処理部23は、並び替えによって得られた8ビット単位の送信データに基づいてパリティを計算し、送信データに付加することによって誤り訂正符号化を行う。

【0087】

ステップS4において、分割部24は、誤り訂正符号化によって得られた符号化データの伝送路分割を行う。ステップS5乃至S8の処理は、送信処理部25-1乃至25-4において並行して行われる。

10

【0088】

すなわち、ステップS5において、フレーム化部31-1乃至31-4は、それぞれ、誤り訂正符号化によって得られた符号化データをペイロードに格納し、ヘッダとフッタを付加することによってパケットを生成する。また、フレーム化部31-1乃至31-4は、パケットの先頭に開始コードを付加し、末尾に終了コードを付加することによってフレーム化を行う。

【0089】

ステップS6において、変調部32-1乃至32-4は、それぞれ、フレーム化によって得られた伝送フレームを構成するフレームデータを対象として変調処理を行う。

20

【0090】

ステップS7において、DAC33-1乃至33-4は、それぞれ、変調処理を行うことによって得られたフレームデータにD/A変換を施す。

【0091】

ステップS8において、送信アンプ34-1乃至34-4は、それぞれ、D/A変換によって得られた信号を受信側ブロック12に送信する。ステップS2乃至S8の処理は、信号処理部21から出力された全ての送信データを対象として繰り返し行われ、全ての送信データを対象とした処理が終わったとき、終了される。

【0092】

30

次に、図10のフローチャートを参照して受信側ブロック12の受信処理について説明する。

【0093】

ステップS11乃至S15の処理は、受信処理部51-1乃至51-4において並行して行われる。すなわち、ステップS11において、受信アンプ61-1乃至61-4は、それぞれ、送信側ブロック11から送信されてきた信号を受信し、信号電圧を調整する。

【0094】

ステップS12において、クロック再生部62-1乃至62-4は、それぞれ、受信アンプ61-1乃至61-4から供給された信号のエッジを検出し、クロック信号を再生する。

40

【0095】

ステップS13において、ADC63-1乃至63-4は、クロック再生部62-1乃至62-4により再生されたクロック信号に従ってサンプリングを行う。

【0096】

ステップS14において、復調部64-1乃至64-4は、サンプリングにより得られたフレームデータを対象として復調処理を行う。

【0097】

ステップS15において、フレーム同期部65-1乃至65-4は、復調部64-1乃至64-4から供給されたフレームデータから開始コードと終了コードを検出することによってフレーム同期をとる。フレーム同期部65-1乃至65-4は、ペイロードに格納

50

されている符号化データを結合部 5 2 に出力する。

【 0 0 9 8 】

ステップ S 1 6 において、結合部 5 2 は、フレーム同期部 6 5 - 1 乃至 6 5 - 4 から供給された符号化データを、伝送路分割時の各伝送路への割り当て順と逆順で並び替えることによって伝送路結合を行う。

【 0 0 9 9 】

ステップ S 1 7 において、ECC処理部 5 3 は、符号化データにより構成される符号語に含まれるパリティに基づいて誤り訂正復号を行い、送信データの誤りを訂正する。

【 0 1 0 0 】

ステップ S 1 8 において、並べ替え処理部 5 4 は、誤り訂正後の送信データの並び替えを行い、送信側ブロック 1 1 において信号処理部 2 1 から出力されたデータと同じ所定のビット数単位の送信データを生成する。ステップ S 1 1 乃至 S 1 8 の処理は、送信側ブロック 1 1 から送信されてきた信号を対象とした処理が終了するまで繰り返し行われる。

【 0 1 0 1 】

送信側ブロック 1 1 から送信されてきた信号を対象とした処理が終了したとき、ステップ S 1 9 において、信号処理部 5 5 は、並べ替え処理部 5 4 から供給された送信データに基づいて信号処理を行う。信号処理部 5 5 は、信号処理が終了したとき、処理を終了する。

【 0 1 0 2 】

以上のように、伝送システム 1 においては、伝送路上において生じた送信データの誤りが、送信データに付加されている誤り訂正符号を用いて訂正される。これにより、送信データの誤りが生じた場合に送信データの再送を送信側ブロック 1 1 に対して要求する必要があるため、エラー対策を確保しつつ、データ伝送のリアルタイム性を確保することができる。また、再送要求用の伝送路を設ける必要があるため、回路構成の簡易化、コストの削減を図ることができる。回路構成を簡易なものにすることができることによって消費電力を削減することもできる。

【 0 1 0 3 】

さらに、符号化データを分割し、分割後の処理を並列に行った上で、複数の伝送路を用いて符号化データを並列に伝送することによって高速なデータ伝送が可能になる。

【 0 1 0 4 】

また、伝送路分割 / 結合をECC処理部より下位の位置で行うことによって、ECC処理部を送信側ブロック 1 1 と受信側ブロック 1 2 にそれぞれ 1 つずつ設ければ済み、回路規模を削減することが可能になる。

【 0 1 0 5 】

例えば、誤り訂正符号化を行うECC処理部より上位で伝送路分割を行うとした場合、伝送路数と同じ数のECC処理部を用意する必要があり、送信側ブロック 1 1 の回路規模が大きくなってしまいがそのようなことを防ぐことが可能になる。また、誤り訂正復号を行うECC処理部より上位で伝送路結合を行うとした場合、伝送路数と同じ数のECC処理部を用意する必要があり、受信側ブロック 1 2 の回路規模が大きくなってしまいがそのようなことを防ぐことが可能になる。

【 0 1 0 6 】

誤り訂正符号化を伝送路分割後に行う送信側ブロック 1 1 の構成と、誤り訂正復号を伝送路結合前に行う受信側ブロック 1 2 の構成を図 1 1 に示す。図 1 1 の送信側ブロック 1 1 には、分割部 2 4 より下位の位置に、伝送路数と同じ数のECC処理部であるECC処理部 2 3 - 1 乃至 2 3 - 4 が設けられている。また、受信側ブロック 1 2 には、結合部 5 2 より下位の位置に、伝送路数と同じ数のECC処理部であるECC処理部 5 3 - 1 乃至 5 3 - 4 が設けられている。

【 0 1 0 7 】

また、伝送路分割前に誤り訂正符号化を行い、同じ符号語を構成する符号化データを異なる伝送路で伝送することによって、伝送路で生じたバースト誤り（連続誤り）を復号後

10

20

30

40

50

の符号語中に分散させることができ、誤り訂正能力を向上させることが可能になる。

【 0 1 0 8 】

例えば、図 7 の左側に示すように伝送路 C 2 において 2 バイトのバースト誤りが生じた場合を考える。伝送路 C 2 において続けて伝送されたブロック 6 の符号化データとブロック 1 0 の符号化データは誤りのあるデータである。図 7 に示すブロックのうち、斜線を付しているブロックは誤りが生じた符号化データのブロックを表し、斜線を付していないブロックは誤りが生じていない符号化データのブロックを表す。

【 0 1 0 9 】

この場合、白抜き矢印の先に示すように、伝送路結合後の符号化データにおいては、伝送路 C 2 を介して伝送されたブロック 6 の符号化データとブロック 1 0 の符号化データが異なる符号語中に分散することになる。一般に、誤り訂正符号ではバースト誤りに弱いものが多い。例えば Reed Solomon 符号では 1 符号語あたりに訂正できる誤り数が決まっているため、1 符号語に集中するバースト誤りを符号語間で分散させることができれば、誤り訂正能力を高めることができることになる。

【 0 1 1 0 】

[コンピュータの構成例]

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または汎用のパーソナルコンピュータなどに、プログラム記録媒体からインストールされる。

【 0 1 1 1 】

図 1 2 は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【 0 1 1 2 】

CPU(Central Processing Unit) 1 0 1、ROM(Read Only Memory) 1 0 2、RAM(Random Access Memory) 1 0 3 は、バス 1 0 4 により相互に接続されている。

【 0 1 1 3 】

バス 1 0 4 には、さらに、入出力インタフェース 1 0 5 が接続されている。入出力インタフェース 1 0 5 には、キーボード、マウスなどよりなる入力部 1 0 6、ディスプレイ、スピーカなどよりなる出力部 1 0 7 が接続される。また、入出力インタフェース 1 0 5 には、ハードディスクや不揮発性のメモリなどよりなる記憶部 1 0 8、ネットワークインタフェースなどよりなる通信部 1 0 9、リムーバブルメディア 1 1 1 を駆動するドライブ 1 1 0 が接続される。

【 0 1 1 4 】

以上のように構成されるコンピュータでは、CPU 1 0 1 が、例えば、記憶部 1 0 8 に記憶されているプログラムを入出力インタフェース 1 0 5 及びバス 1 0 4 を介して RAM 1 0 3 にロードして実行することにより、上述した一連の処理が行われる。

【 0 1 1 5 】

CPU 1 0 1 が実行するプログラムは、例えばリムーバブルメディア 1 1 1 に記録して、あるいは、ローカルエリアネットワーク、インターネット、デジタル放送といった、有線または無線の伝送媒体を介して提供され、記憶部 1 0 8 にインストールされる。

【 0 1 1 6 】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【 0 1 1 7 】

本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

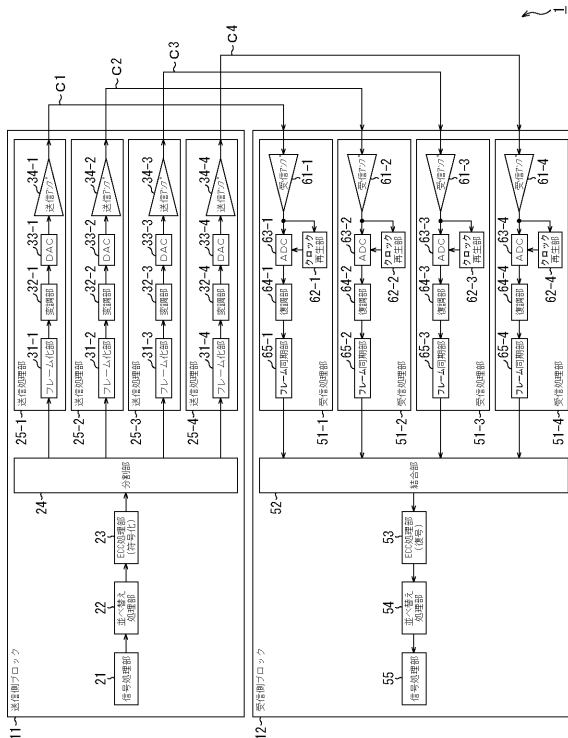
【 符号の説明 】

【 0 1 1 8 】

1 伝送システム, 11 送信側ブロック, 12 受信側ブロック, 21 信号処理部, 22 並べ替え処理部, 23 ECC処理部, 24 分割部, 25-1乃至25-4 送信処理部, 31-1乃至31-4 フレーム化部, 32-1乃至32-4 変調部, 33-1乃至33-4 DAC, 34-1乃至34-4 送信アンプ, 51-1乃至51-4 受信処理部, 52 結合部, 53 ECC処理部, 54 並べ替え処理部, 55 信号処理部, 61-1乃至61-4 受信アンプ, 62-1乃至62-4 クロック再生部, 63-1乃至63-4 ADC, 64-1乃至64-4 復調部, 65-1乃至65-4 フレーム同期部

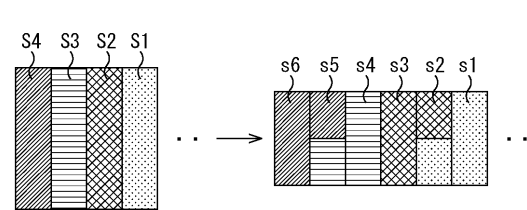
【 図 1 】

図1



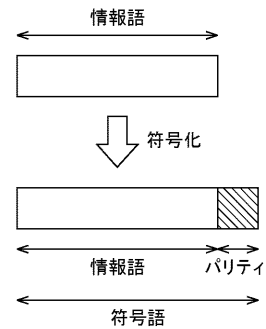
【 図 2 】

図2



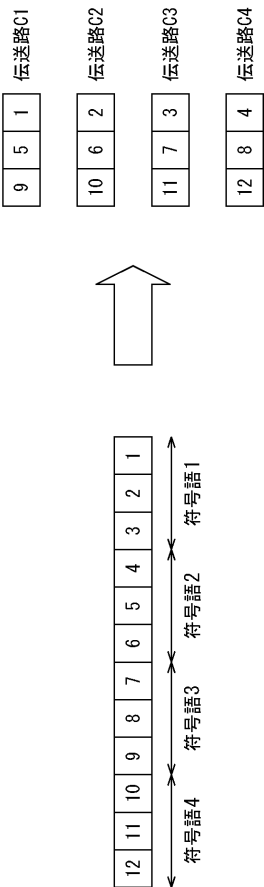
【 図 3 】

図3



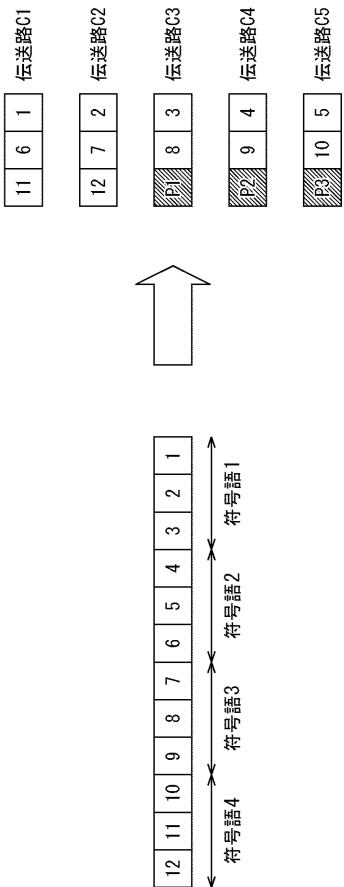
【図 4】

図4



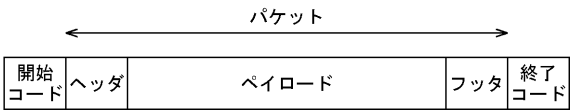
【図 5】

図5



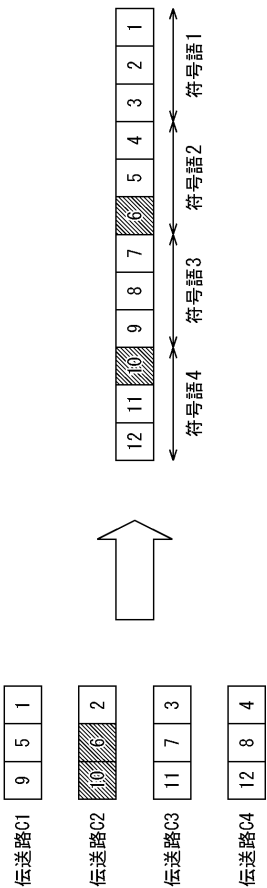
【図 6】

図6



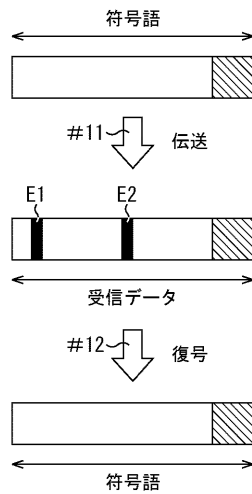
【図 7】

図7



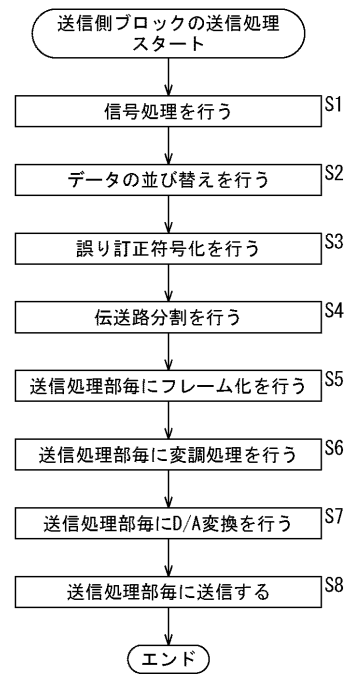
【図 8】

図8



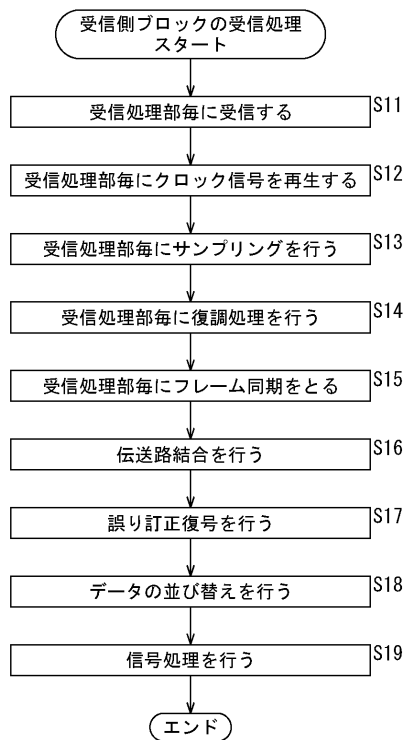
【図 9】

図9



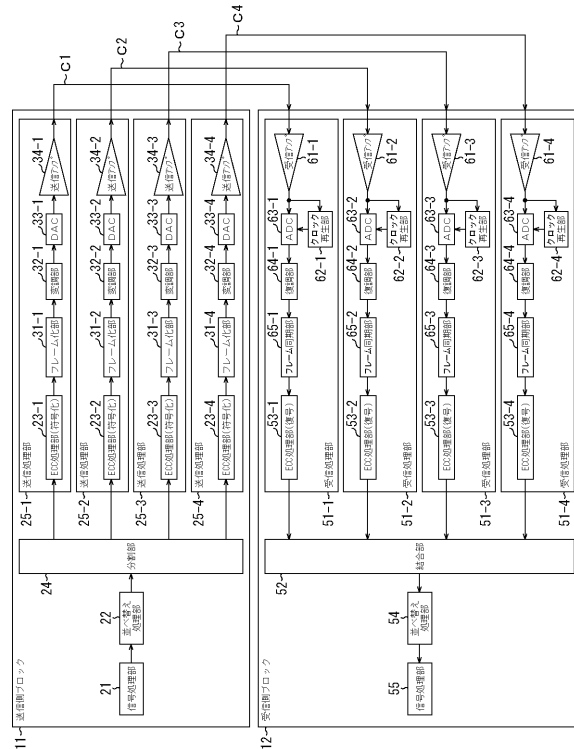
【図 10】

図10

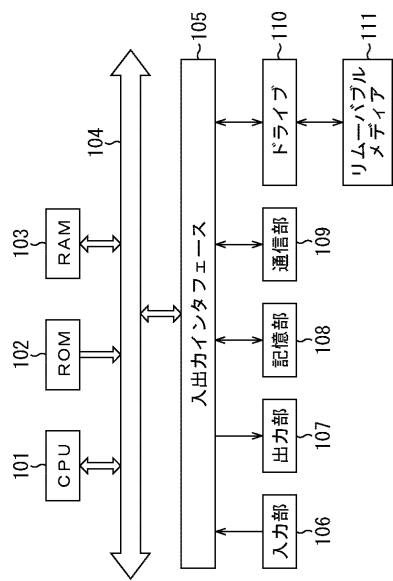


【図 11】

図11



【図12】
図12



フロントページの続き

- (72)発明者 松本 英之
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 城下 寛司
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 丸子 健一
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 杉岡 達也
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 越坂 直弘
神奈川県横浜市保土ヶ谷区神戸町134番地 ソニー・エルエスアイ・デザイン株式会社内

審査官 谷岡 佳彦

- (56)参考文献 特開2008-200344(JP,A)
特開平05-304515(JP,A)
特開2002-344490(JP,A)
特開2003-143191(JP,A)
特開2002-368811(JP,A)
DRAFT MIPI Alliance Specification for Camera Serial Interface 2(CSI-2), 2009年 4月, Draft Version 1.01.00 Revision 0.04, p.22,23,39,40,46,47,89-91, URL, <http://electronix.ru/forum/index.php?act=Attach&type=post&id=67362>

- (58)調査した分野(Int.Cl., DB名)
H04L 1/00