



(12) 实用新型专利

(10) 授权公告号 CN 204515786 U

(45) 授权公告日 2015.07.29

(21) 申请号 201520215518.7

(ESM) 同样的发明创造已同日申请发明专利

(22) 申请日 2015.04.10

(73) 专利权人 深圳市卡联科技有限公司

地址 518112 广东省深圳市龙岗区南湾街道
丹竹头社区康正路 48 号莲塘工业区一
号楼三楼

(72) 发明人 张权 王绍芳 凌奕煥 曾福康

(74) 专利代理机构 深圳市精英专利事务所
44242

代理人 冯筠

(51) Int. Cl.

G06K 7/00(2006.01)

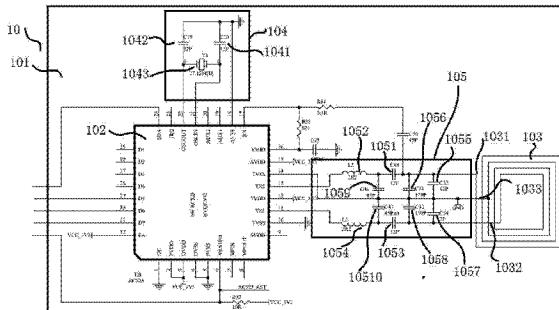
权利要求书2页 说明书5页 附图1页

(54) 实用新型名称

一种射频天线板及读卡电路

(57) 摘要

本实用新型公开了一种射频天线板，包括电路板，电路板上设有绕线式天线和射频读卡芯片，绕线式天线与射频读卡芯片连接，射频读卡芯片上设有串行外设接口，绕线式天线用于获取射频信号或接收射频读卡芯片发送的射频信号，射频读卡芯片用于将射频信号转换为低速数字信号或将低速数字信号转换为射频信号，串行外设接口用于传输低速数字信号。本实用新型还公开了一种读卡电路。本实用新型的射频读卡芯片与主控制板之间传输低速数字信号，该低速数字信号具有信号强、频率低的特性，所以，射频天线板与主控制板之间的连接排线、以及连接排线两端的连接座的电阻对低速数字信号的影响小。因此，降低了连接排线和连接座的生产材料与品质等的一致性要求。



1. 一种射频天线板，其特征在于，其包括一个电路板，所述电路板上设有绕线式天线和射频读卡芯片，所述绕线式天线与所述射频读卡芯片连接，所述射频读卡芯片上设有用于与主控制板通讯连接的串行外设接口；所述绕线式天线用于向所述射频读卡芯片发射射频信号，所述射频读卡芯片用于将所述射频信号转换为数字信号，所述串行外设接口用于发送所述数字信号给所述主控制板。

2. 根据权利要求 1 所述的射频天线板，其特征在于，所述电路板上还设有射频晶振电路，所述射频晶振电路与所述射频读卡芯片电连接，所述射频晶振电路用于产生标准时钟脉冲信号，以及与射频读卡芯片配合，控制所述绕线式天线进行读写操作。

3. 根据权利要求 2 所述的射频天线板，其特征在于，所述射频晶振电路包括晶体谐振器、第一电容和第二电容，所述晶体谐振器的一端与所述第一电容的一端、所述射频读卡芯片的 OSCIN 引脚连接，所述晶体谐振器的另一端与所述第二电容的一端、所述射频读卡芯片的 OSCOUT 引脚连接，所述第一电容的另一端和所述第二电容的另一端分别接地，所述射频读卡芯片的 AVSS 引脚接地。

4. 根据权利要求 1 所述的射频天线板，其特征在于，所述电路板上还设有射频滤波电路，所述射频滤波电路与所述射频读卡芯片电连接，所述射频滤波电路用于将射频读卡芯片与绕线式天线之间传输的射频信号进行滤波处理。

5. 根据权利要求 4 所述的射频天线板，其特征在于，所述绕线式天线包括第一端、第二端和中间端，所述射频滤波电路包括第三电容、第四电容、第五电容、第六电容、第七电容、第八电容、第九电容、第十电容、第一电感、第二电感，所述第一端经所述第三电容和所述第一电感与所述射频读卡芯片的 TX2 引脚连接，所述第二端经所述第四电容和所述第二电感与所述射频读卡芯片的 TX1 引脚连接，所述中间端接地，且与所述射频读卡芯片的 TVSS 引脚连接，所述第五电容和所述第六电容并联，且并联后的一端分别与所述第三电容、所述第一端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第七电容和所述第八电容并联，且并联后的一端分别与所述第四电容、所述第二端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第九电容的一端分别与所述第三电容、所述第一电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接，所述第十电容的一端分别与所述第四电容、所述第二电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接。

6. 一种读卡电路，其特征在于，所述读卡电路包括主控制板和射频天线板，所述射频天线板包括一个电路板，所述电路板上设有绕线式天线和射频读卡芯片，所述绕线式天线与所述射频读卡芯片连接，所述射频读卡芯片上设有用于与主控制板通讯连接的串行外设接口；所述主控制板与所述射频天线板之间设有连接排线，所述连接排线的一端与所述串行外设接口连接，所述连接排线的另一端与所述主控制板连接，所述绕线式天线用于向所述射频读卡芯片发射射频信号，所述射频读卡芯片用于将所述射频信号转换为数字信号，所述串行外设接口用于发送所述数字信号给所述主控制板，所述主控制板用于对所述数字信号进行处理。

7. 根据权利要求 6 所述的读卡电路，其特征在于，所述电路板上还设有射频晶振电路，所述射频晶振电路与所述射频读卡芯片电连接，所述射频晶振电路用于产生标准时钟脉冲信号，以及与射频读卡芯片配合，控制所述绕线式天线进行读写操作。

8. 根据权利要求 6 所述的读卡电路，其特征在于，所述射频晶振电路包括晶体谐振器、

第一电容和第二电容，所述晶体谐振器的一端与所述第一电容的一端、所述射频读卡芯片的 OSCIN 引脚连接，所述晶体谐振器的另一端与所述第二电容的一端、所述射频读卡芯片的 OSCOUT 引脚连接，所述第一电容的另一端和所述第二电容的另一端分别接地，所述射频读卡芯片的 AVSS 引脚接地。

9. 根据权利要求 6 所述的读卡电路，其特征在于，所述电路板上还设有射频滤波电路，所述射频滤波电路与所述射频读卡芯片电连接，所述射频滤波电路用于将射频读卡芯片与绕线式天线之间传输的射频信号进行滤波处理。

10. 根据权利要求 6 所述的读卡电路，其特征在于，所述绕线式天线包括第一端、第二端和中间端，所述射频滤波电路包括第三电容、第四电容、第五电容、第六电容、第七电容、第八电容、第九电容、第十电容、第一电感、第二电感，所述第一端经所述第三电容和所述第一电感与所述射频读卡芯片的 TX2 引脚连接，所述第二端经所述第四电容和所述第二电感与所述射频读卡芯片的 TX1 引脚连接，所述中间端接地，且与所述射频读卡芯片的 TVSS 引脚连接，所述第五电容和所述第六电容并联，且并联后的一端分别与所述第三电容、所述第一端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第七电容和所述第八电容并联，且并联后的一端分别与所述第四电容、所述第二端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第九电容的一端分别与所述第三电容、所述第一电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接，所述第十电容的一端分别与所述第四电容、所述第二电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接。

一种射频天线板及读卡电路

技术领域

[0001] 本实用新型涉及信号处理技术领域,尤其涉及一种射频天线板及读卡电路。

背景技术

[0002] 随着自动识别技术的快速发展,无线射频识别技术的应用也变得越来越广泛,在非接触式集成电路 (Integrated Circuit, IC) 卡等方面都发挥着重要的作用。

[0003] 现有的射频天线板与主控制板之间传输的是射频信号。然而,射频天线板与主控制板之间的连接排线、以及连接排线两端的连接座的电阻对射频信号的影响比较大。为了保证不同的射频天线板的性能的一致性,需要降低连接排线和连接座的电阻差异,所以,对连接排线、连接座的生产材料和品质等提出更高的一致性要求。

[0004] 综上所述,如何克服对与现有的射频天线板连接的连接排线、以及射频天线板上的连接座的生产材料和品质等的一致性要求高的缺陷,是当前亟待解决的技术问题。

实用新型内容

[0005] 本实用新型的主要目的在于提供一种射频天线板,解决对与现有的射频天线板连接的连接排线、以及射频天线板上的连接座的生产材料和品质等的一致性要求高的技术问题。

[0006] 为实现上述目的,本实用新型提供了一种射频天线板,该射频天线板包括一个电路板,所述电路板上设有绕线式天线和射频读卡芯片,所述绕线式天线与所述射频读卡芯片连接,所述射频读卡芯片上设有用于与主控制板通讯连接的串行外设接口;所述绕线式天线用于获取射频信号或接收所述射频读卡芯片发送的射频信号,所述绕线式天线用于向所述射频读卡芯片发射射频信号,所述射频读卡芯片用于将所述射频信号转换为数字信号,所述串行外设接口用于发送所述数字信号给所述主控制板。

[0007] 优选地,所述电路板上还设有射频晶振电路,所述射频晶振电路与所述射频读卡芯片电连接,所述射频晶振电路用于产生标准时钟脉冲信号,以及与射频读卡芯片配合,控制所述绕线式天线进行读写操作。

[0008] 优选地,所述射频晶振电路包括晶体谐振器、第一电容和第二电容,所述晶体谐振器的一端与所述第一电容的一端、所述射频读卡芯片的 OSCIN 引脚连接,所述晶体谐振器的另一端与所述第二电容的一端、所述射频读卡芯片的 OSCOUT 引脚连接,所述第一电容的另一端和所述第二电容的另一端分别接地,所述射频读卡芯片的 AVSS 引脚接地。

[0009] 优选地,所述电路板上还设有射频滤波电路,所述射频滤波电路与所述射频读卡芯片电连接,所述射频滤波电路用于将射频读卡芯片与绕线式天线之间传输的射频信号进行滤波处理。

[0010] 优选地,所述绕线式天线包括第一端、第二端和中间端,所述射频滤波电路包括第三电容、第四电容、第五电容、第六电容、第七电容、第八电容、第九电容、第十电容、第一电感、第二电感,所述第一端经所述第三电容和所述第一电感与所述射频读卡芯片的 TX2 引

脚连接，所述第二端经所述第四电容和所述第二电感与所述射频读卡芯片的 TX1 引脚连接，所述中间端接地，且与所述射频读卡芯片的 TVSS 引脚连接，所述第五电容和所述第六电容并联，且并联后的一端分别与所述第三电容、所述第一端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第七电容和所述第八电容并联，且并联后的一端分别与所述第四电容、所述第二端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第九电容的一端分别与所述第三电容、所述第一电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接，所述第十电容的一端分别与所述第四电容、所述第二电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接。

[0011] 此外，为实现上述目的，本实用新型还提供了一种读卡电路，所述读卡电路包括主控制板和射频天线板，所述射频天线板包括一个电路板，所述电路板上设有绕线式天线和射频读卡芯片，所述绕线式天线与所述射频读卡芯片连接，所述射频读卡芯片上设有用于与主控制板通讯连接的串行外设接口；所述主控制板与所述射频天线板之间设有连接排线，所述连接排线的一端与所述串行外设接口连接，所述连接排线的另一端与所述主控制板连接，所述绕线式天线用于向所述射频读卡芯片发射射频信号，所述射频读卡芯片用于将所述射频信号转换为数字信号，所述串行外设接口用于发送所述数字信号给所述主控制板，所述主控制板用于对所述数字信号进行处理。

[0012] 优选地，所述电路板上还设有射频晶振电路，所述射频晶振电路与所述射频读卡芯片电连接，所述射频晶振电路用于产生标准时钟脉冲信号，以及与射频读卡芯片配合，控制所述绕线式天线进行读写操作。

[0013] 优选地，所述射频晶振电路包括晶体谐振器、第一电容和第二电容，所述晶体谐振器的一端与所述第一电容的一端、所述射频读卡芯片的 OSCIN 引脚连接，所述晶体谐振器的另一端与所述第二电容的一端、所述射频读卡芯片的 OSCOUT 引脚连接，所述第一电容的另一端和所述第二电容的另一端分别接地，所述射频读卡芯片的 AVSS 引脚接地。

[0014] 优选地，所述电路板上还设有射频滤波电路，所述射频滤波电路与所述射频读卡芯片电连接，所述射频滤波电路用于将射频读卡芯片与绕线式天线之间传输的射频信号进行滤波处理。

[0015] 优选地，所述绕线式天线包括第一端、第二端和中间端，所述射频滤波电路包括第三电容、第四电容、第五电容、第六电容、第七电容、第八电容、第九电容、第十电容、第一电感、第二电感，所述第一端经所述第三电容和所述第一电感与所述射频读卡芯片的 TX2 引脚连接，所述第二端经所述第四电容和所述第二电感与所述射频读卡芯片的 TX1 引脚连接，所述中间端接地，且与所述射频读卡芯片的 TVSS 引脚连接，所述第五电容和所述第六电容并联，且并联后的一端分别与所述第三电容、所述第一端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第七电容和所述第八电容并联，且并联后的一端分别与所述第四电容、所述第二端连接，并联后的另一端分别与所述中间端、所述 TVSS 引脚连接，所述第九电容的一端分别与所述第三电容、所述第一电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接，所述第十电容的一端分别与所述第四电容、所述第二电感连接，其另一端分别与所述中间端、所述 TVSS 引脚连接。

[0016] 本实用新型的射频读卡芯片与主控制板之间通过串行外设接口连接，串行外设接口传输的是低速数字信号，该低速数字信号具有信号强、频率低的特性，所以，射频天线

板与主控制板之间的连接排线、以及连接排线两端的连接座的电阻对低速数字信号的影响小。由于连接排线和连接座的电阻对数字信号的影响小,所以,降低了连接排线和连接座的生产材料与品质等的一致性要求。

附图说明

[0017] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图 1 为本实用新型射频天线板的一种实施例的电路图。

[0019] 图 2 为本实用新型读卡电路的一种实施例的电路图。

具体实施方式

[0020] 为了使本实用新型的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本实用新型进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本实用新型,并不用来限定本实用新型。

[0021] 如图 1 所示,其为一种实施例射频天线板的电路图。该射频天线板 10 包括一个电路板 101。电路板 101 上设有绕线式天线 103 和射频读卡芯片 102,绕线式天线 103 与射频读卡芯片 102 连接,射频读卡芯片 102 上设有用于与主控制板通讯连接的串行外设接口。

[0022] 绕线式天线 103 用于获取射频信号或接收射频读卡芯片 102 发送的射频信号,射频读卡芯片 102 用于将射频信号转换为低速数字信号或将低速数字信号转换为射频信号,串行外设接口用于传输低速数字信号。

[0023] 电路板 10 上还设有射频晶振电路 104,射频晶振电路 104 与射频读卡芯片 102 电连接,射频晶振电路 104 用于产生标准时钟脉冲信号,以及与射频读卡芯片 102 配合,控制绕线式天线 103 对非接触式集成电路卡的读写操作。

[0024] 射频晶振电路 104 包括晶体谐振器 1043、第一电容 1041 和第二电容 1042。晶体谐振器 1043 的一端与第一电容 1041 的一端、射频读卡芯片 102 的 OSCIN 引脚连接。晶体谐振器 1043 的另一端与第二电容 1042 的一端、射频读卡芯片 102 的 OSCOUT 引脚连接。第一电容 1041 的另一端和第二电容 1042 的另一端分别接地,射频读卡芯片 102 的 AVSS 引脚接地。

[0025] 电路板 10 上还设有射频滤波电路 105,射频滤波电路 105 与射频读卡芯片 102 电连接,射频滤波电路 105 用于将射频读卡芯片 102 与绕线式天线 103 之间传输的射频信号进行滤波处理。

[0026] 绕线式天线 103 包括第一端 1031、第二端 1032 和中间端 1033,射频滤波电路 105 包括第三电容 1051、第四电容 1053、第五电容 1055、第六电容 1056、第七电容 1057、第八电容 1058、第九电容 1059、第十电容 10510、第一电感 1052、第二电感 1054。

[0027] 第一端 1031 经第三电容 1051 和第一电感 1052 与射频读卡芯片 102 的 TX2 引脚连接,第二端 1032 经第四电容 1053 和第二电感 1054 与射频读卡芯片 102 的 TX1 引脚连接,中间端 1033 接地,且与射频读卡芯片 102 的 TVSS 引脚连接。

[0028] 第五电容 1055 和第六电容 1056 并联,且并联后的一端分别与第三电容 1051、第一端 1031 连接,并联后的另一端分别与中间端 1033、TVSS 引脚连接。

[0029] 第七电容 1057 和第八电容 1058 并联,且并联后的一端分别与第四电容 1053、第二端 1032 连接,并联后的另一端分别与中间端 1033、TVSS 引脚连接。

[0030] 第九电容 1059 的一端分别与第三电容 1051、第一电感 1052 连接,其另一端分别与中间端 1033、TVSS 引脚连接,第十电容 10510 的一端分别与第四电容 1053、第二电感 1054 连接,其另一端分别与中间端 1033、TVSS 引脚连接。

[0031] 首先,本实用新型的射频读卡芯片 102 与主控制板之间通过串行外设接口连接,串行外设接口传输的是低速数字信号。该低速数字信号具有信号强、频率低的特性,所以,射频天线板与主控制板之间的连接排线、以及连接排线两端的连接座的电阻对低速数字信号的影响小。由于连接排线和连接座的电阻对数字信号的影响小,所以,降低了连接排线和连接座的生产材料与品质等的一致性要求。

[0032] 其次,本实用新型射频晶振电路 104 用于产生标准时钟脉冲信号,且射频读卡芯片在射频晶振电路配合下,与主控制板进行通信并控制绕线式天线对非接触式集成电路(Integrated Circuit, IC) 卡进行读写操作。

[0033] 最后,射频滤波电路 105 用于将射频读卡芯片与绕线式天线之间传输的射频信号进行滤波处理。

[0034] 如图 2 所示,其为一种实施例读卡电路的电路图。读卡电路包括主控制板 20 和射频天线板 10,射频天线板 10 包括一个电路板 101,电路板 101 上设有绕线式天线 103 和射频读卡芯片 102,绕线式天线 103 与射频读卡芯片 102 连接,射频读卡芯片 102 上设有用于与主控制板通讯连接的串行外设接口。

[0035] 绕线式天线 103 用于获取射频信号或接收射频读卡芯片 102 发送的射频信号,射频读卡芯片 102 用于将射频信号转换为低速数字信号或将低速数字信号转换为射频信号,串行外设接口用于传输低速数字信号。

[0036] 主控制板与射频天线板之间设有连接排线,连接排线的一端与射频天线板的串行外设接口连接,连接排线的另一端与主控制板连接,主控制板用于对射频天线板发送的低速数字信号进行处理或发送低速数字信号至射频天线板。

[0037] 电路板 10 上还设有射频晶振电路 104,射频晶振电路 104 与射频读卡芯片 102 电连接,射频晶振电路 104 用于产生标准时钟脉冲信号,以及与射频读卡芯片 102 配合,控制绕线式天线 103 对非接触式集成电路卡的读写操作。

[0038] 射频晶振电路 104 包括晶体谐振器 1043、第一电容 1041 和第二电容 1042。晶体谐振器 1043 的一端与第一电容 1041 的一端、射频读卡芯片 102 的 OSCIN 引脚连接。晶体谐振器 1043 的另一端与第二电容 1042 的一端、射频读卡芯片 102 的 OSCOUT 引脚连接。第一电容 1041 的另一端和第二电容 1042 的另一端分别接地,射频读卡芯片 102 的 AVSS 引脚接地。

[0039] 电路板 10 上还设有射频滤波电路 105,射频滤波电路 105 与射频读卡芯片 102 电连接,射频滤波电路 105 用于将射频读卡芯片 102 与绕线式天线 103 之间传输的射频信号进行滤波处理。

[0040] 绕线式天线 103 包括第一端 1031、第二端 1032 和中间端 1033,射频滤波电路 105

包括第三电容 1051、第四电容 1053、第五电容 1055、第六电容 1056、第七电容 1057、第八电容 1058、第九电容 1059、第十电容 10510、第一电感 1052、第二电感 1054。

[0041] 第一端 1031 经第三电容 1051 和第一电感 1052 与射频读卡芯片 102 的 TX2 引脚连接，第二端 1032 经第四电容 1053 和第二电感 1054 与射频读卡芯片 102 的 TX1 引脚连接，中间端 1033 接地，且与射频读卡芯片 102 的 TVSS 引脚连接。

[0042] 第五电容 1055 和第六电容 1056 并联，且并联后的一端分别与第三电容 1051、第一端 1031 连接，并联后的另一端分别与中间端 1033、TVSS 引脚连接。

[0043] 第七电容 1057 和第八电容 1058 并联，且并联后的一端分别与第四电容 1053、第二端 1032 连接，并联后的另一端分别与中间端 1033、TVSS 引脚连接。

[0044] 第九电容 1059 的一端分别与第三电容 1051、第一电感 1052 连接，其另一端分别与中间端 1033、TVSS 引脚连接，第十电容 10510 的一端分别与第四电容 1053、第二电感 1054 连接，其另一端分别与中间端 1033、TVSS 引脚连接。

[0045] 需要说明的是：本实施例中的射频天线板 10 的具体结构，及其达到的技术效果在此不再赘述，与上述实施例叙述的射频天线板 10 的结构一致。

[0046] 首先，由于，本实用新型的读卡电路的射频读卡芯片 102 与绕线式天线 103 集成于射频天线板 10 上，所以，射频读卡芯片 102 的信号不会受到主控制板 20 上的芯片上的信号的干扰。因此，提升了本实用新型的读卡电路的抗干扰性能。

[0047] 其次，由于，本实用新型的读卡电路的射频读卡芯片 102 与绕线式天线 103 集成于射频天线板 10 上，所以，主控制板 20 上的电路得到简化。所以，降低了主控制板 20 上的电路的设计复杂度，以及降低了主控制板 20 的设计成本。

[0048] 再次，本实用新型的射频读卡芯片 102 与主控制板 20 之间通过串行外设接口连接，所述串行外设接口传输的是低速数字信号。该低速数字信号具有信号强、频率低的特性，所以，射频天线板与主控制板 20 之间的连接排线、以及连接排线两端的连接座的电阻对低速数字信号的影响小。由于连接排线和连接座的电阻对数字信号的影响小，所以，降低了连接排线和连接座的生产材料与品质等的一致性要求。

[0049] 最后，本实用新型的读卡电路对连接排线、连接座的生产材料和品质等的一致性要求比较不高，所以，生成每一批读卡电路，只需要对前几个读卡电路进行调试，后续的读卡电路只需要根据调试好的参数进行批量生成即可。因此，降低了读卡电路的调试成本。

[0050] 以上对实用新型的具体实施方式进行了详细说明，但其只作为范例，本实用新型并不限制与以上描述的具体实施方式。对于本领域的技术人员而言，任何对该实用新型进行的等同修改或替代也都在本实用新型的范畴之中，因此，在不脱离本实用新型的精神和原则范围下所作的均等变换和修改、改进等，都应涵盖在本实用新型的范围内。

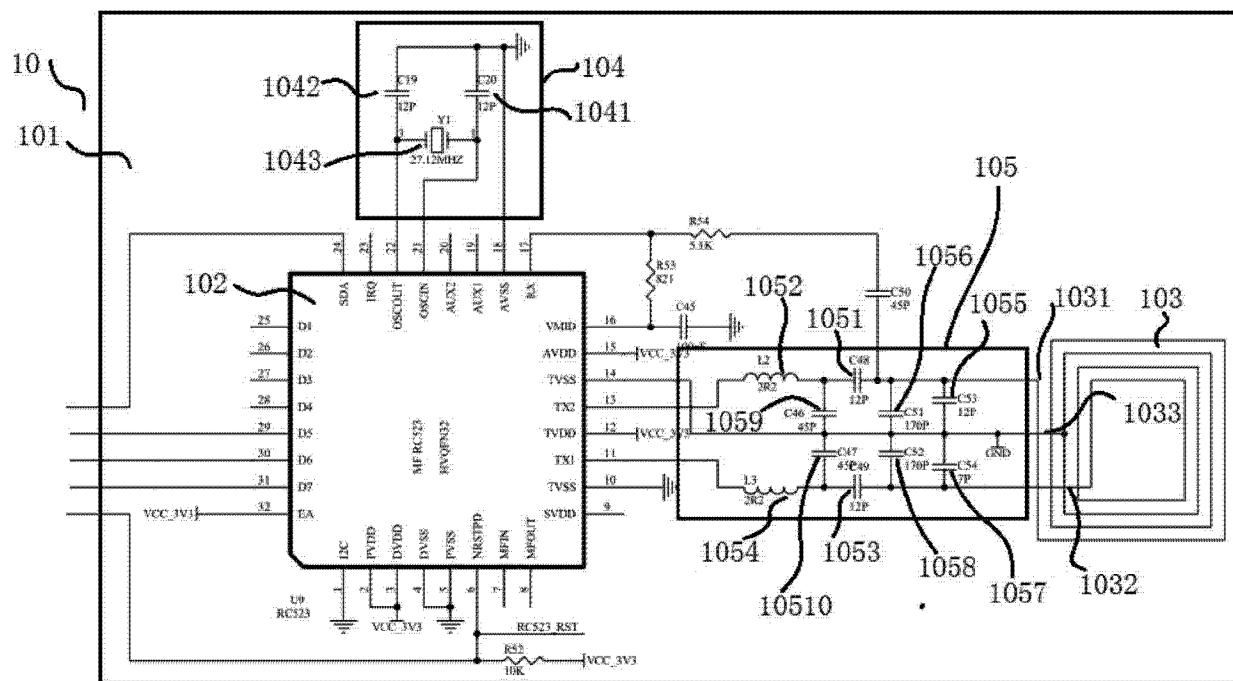


图 1

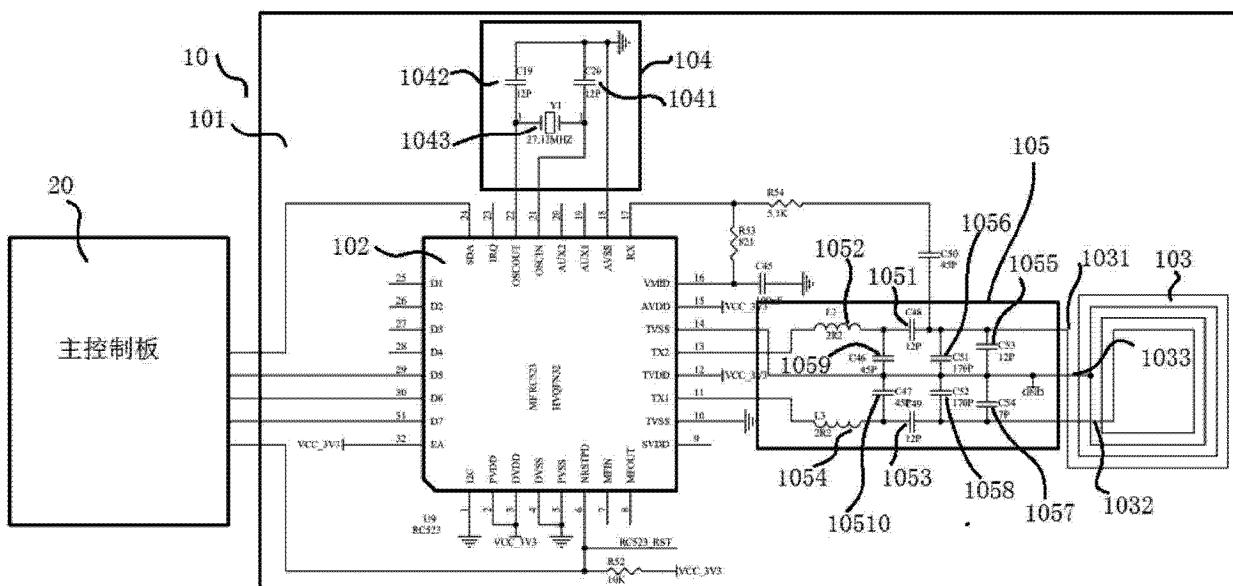


图 2