(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1723444 B
(45)授权公告日 2010.08.11

(21)申请号 200480001931.8

(22)申请日 2004.01.20

(30)优先权数据
60/440,734 2003.01.17 US

(85)PCT申请进入国家阶段日
2005.07.07

(86)PCT申请的申请数据
PCT/US2004/001581 2004.01.20

(87)PCT申请的公布数据
WO2004/066355 EN 2004.08.05

(73)专利权人 汤姆森许可贸易公司
地址 法国布洛里

(72)发明人 亚伦·布耶

(74)专利代理机构 中科专利商标代理有限责任公司 11021
代理人 戎志敏

(51)Int.Cl.
G06F 11/30(2006.01)
H04L 9/00(2006.01)
H04L 9/32(2006.01)

(56)对比文件
US 3943346 A,1976.03.09, 第8栏第53至67行、附图5.
US 20020154620 A1,2002.10.24, 说明书[0375].
US 6128357 A,2000.10.03, 全文.
US 5943369 A,1999.08.24, 说明书第2栏第9至23行、第4栏第63行至第5栏第2行、第10栏第1至5行、第58至65行、附图2和3.
US 20010048723 A1,2001.12.06, 全文.
US 5588025 A,1996.12.24, 全文.

审查员 张潇

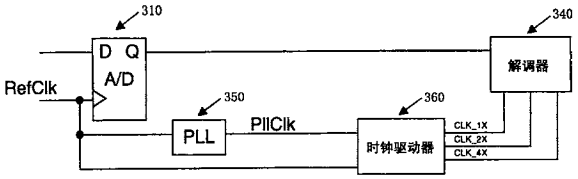
权利要求书 2 页 说明书 4 页 附图 5 页

(54)发明名称

在固定速率取样模式下使用同步取样设计的方法

(57)摘要

本发明大体上涉及处理射频信号的设备,诸如电视信号处理设备。更具体地,本发明尤其可用于必须结合以必须适合于与固定速率取样模式应用的同步取样模式操作的电路的集成电路。根据典型实施例,电视信号处理设备(100)包括:固定速率数字信号源(220);解调器(240),响应突发时钟,来处理符号速率的样本,所述解调器(240)以同步取样模式进行操作,其中解调器(240)包括表示符号速率的信号;插值器(230),用于对固定速率数字信号进行处理,以符号速率产生样本,称为符号速率的样本,插值器(230)还用于响应所述符号速率的样本准备好由解调器(240)进行处理,启动突发时钟。



CN 1723444 B

1. 一种信号处理设备，包括：

固定速率数字信号源；

信号处理器，响应由时钟发生器产生的突发时钟，所述信号处理器以同步取样模式操作，用于产生表示符号速率的控制信号；以及

插值器，利用固定速率时钟进行操作，以及响应所述控制信号，用于通过对与符号位置相邻的多个固定速率样本进行插值、计算在所述符号位置处的符号值，对固定速率数字信号进行处理，以便以符号速率产生样本，称为符号速率的样本，并向所述信号处理器输出所述符号速率的样本，以及所述插值器还用于响应所述符号速率的样本准备好由所述信号处理器进行处理，启动所述突发时钟。

2. 根据权利要求 1 所述的信号处理设备，其特征在于所述插值器通过对大量与符号位置相邻的固定速率样本进行插值、计算在所述符号位置处的符号值，对固定速率数字信号进行处理，以便产生所述符号速率的样本。

3. 根据权利要求 1 所述的信号处理设备，其特征在于所述固定速率数字信号源是模拟到数字转换器；

4. 根据权利要求 1 所述的信号处理设备，其特征在于所述插值器是三次插值器。

5. 根据权利要求 1 所述的信号处理设备，其特征在于所述插值器是线性插值器。

6. 根据权利要求 1 所述的信号处理设备，其特征在于所述插值器是分段抛物线型插值器。

7. 根据权利要求 1 所述的信号处理设备，其特征在于所述插值器处于集成电路的内部。

8. 根据权利要求 1 所述的信号处理设备，其特征在于所述插值器是利用软件来实现的。

9. 一种信号处理方法，包括以下步骤：

以固定时间速率接收多个数字值；

接收来自以同步取样模式操作的信号处理器中的控制信号，所述控制信号表示符号速率，所述信号处理器响应由时钟发生器产生的突发时钟；

利用响应所述控制信号的插值器，通过对与符号位置相邻的多个固定速率样本进行插值、计算在所述符号位置处的信号电平，以便以符号速率产生样本，称为符号速率的样本，其中所述插值器利用固定速率时钟进行操作；

响应所述符号速率的样本和所计算的信号电平可用于所述信号处理器，启动所述突发时钟。

10. 根据权利要求 9 所述的方法，其特征在于来自所述信号处理器的所述控制信号是符号速率。

11. 根据权利要求 9 所述的方法，其特征在于多个固定时间速率处的数字值源是模拟到数字转换器。

12. 根据权利要求 9 所述的方法，其特征在于所述通过对多个数字值进行插值来以符合速率产生样本的步骤是利用三次插值器来执行的。

13. 根据权利要求 9 所述的方法，其特征在于所述通过对多个数字值进行插值来以符合速率产生样本的步骤是利用线性插值器来执行的。

14. 根据权利要求 9 所述的方法，其特征在于所述通过对多个数字值进行插值来以符合速率产生样本的步骤是利用分段抛物线型插值器来执行的。

15. 一种信号处理设备，包括：

模拟信号源；

模拟到数字转换器，用于将模拟信号转换为固定速率数字信号；

解调器，以同步取样模式进行操作；

处理器，响应由时钟发生器产生的突发时钟，用于产生表示符号速率的控制信号；以及

插值器，利用固定速率时钟进行操作，以及响应所述控制信号，通过对与符号位置相邻的多个固定速率样本进行插值、计算在所述符号位置处的符号值，对固定速率数字信号进行处理，以便以符号速率产生样本，称为符号速率的样本，并向解调器输出所述符号速率的样本，以及所述插值器还用于响应所述符号速率的样本准备好由所述信号处理器进行处理，启动所述突发时钟。

16. 根据权利要求 15 所述的信号处理设备，其特征在于所述插值器是三次插值器。

17. 根据权利要求 15 所述的信号处理设备，其特征在于所述插值器是线性插值器。

18. 根据权利要求 15 所述的信号处理设备，其特征在于所述插值器是分段抛物线型插值器。

19. 根据权利要求 15 所述的信号处理设备，其特征在于所述插值器处于集成电路内部。

20. 根据权利要求 15 所述的信号处理设备，其特征在于所述插值器是利用软件来实现的。

在固定速率取样模式下使用同步取样设计的方法

[0001] 相关文件的交叉引用

[0002] 本申请要求 2003 年 1 月 17 日提交的、题为“METHOD FOR USINGA SYNCHRONOUS SAMPLING DESIGN IN A FIXED-RATE SAMPLING MODE”的美国临时申请序号 NO.60/440,734 的优先权，其内容一并在此作为参考。

[0003] **技术领域**

[0004] 本申请大体上涉及处理射频信号的设备，诸如电视信号处理设备。更具体地，本申请尤其可用于结合了以必须适合用于固定速率取样模式应用的同步取样模式进行操作的电路的集成电路。

[0005] **背景技术**

[0006] 本申请大体上涉及处理射频信号的设备，诸如电视信号处理设备。更具体地，本申请尤其可用于必须结合以必须适合用于固定速率取样模式应用的同步取样模式进行操作的电路的集成电路。

[0007] 典型地，现代信号处理设备包括信号处理电路，用于处理诸如 NTSC、ATSC、QAM 等大量信号格式、或卫星星号。典型地，这样的信号处理设备包括各种组件，诸如 :调谐器，用于从由设备接收到的多个信号或信道中选择特定信号或信号。为了处理诸如 ATSC 或卫星信号等数字信号，信号处理电路，尤其是调谐器，必须利用高速数字电路执行这些功能。部分数字信号处理设备以同步取样模式进行操作，其中 A/D 转换器获取与数字符号位置一致的样本。利用解调器来计算数字符号以及随后的取样频率，并且从解调器输出速率控制信号，以控制 A/D 的取样速率。也能够利用 A/D 转换器、以固定时间间隔获取样本。

[0008] 通常，在时间和费用方面的主要设计改变在于 :对最初用于以同步取样模式进行操作的设计进行转换，以在固定速率取样模式下操作。这主要是由于在设计中要向所有存储元件提供使能信号的需要。使能信号是设计中所需的，以便识别何时处理将要进行，因为解调器以高速运行，且并非每个时钟信号均伴随有数字符号。通常，需要彻底了解原始设计，以实现设计改变，并需要执行再验证。在设计重用的情况下，将有利于引入预处理块，所述块可以将固定速率的样本转换为同步样本，需要必要的使能线。

[0009] 此外，在数字信号处理应用中，典型地，存在许多用于驱动处理电路的不同时钟。典型地，这些时钟源自于锁相环 (PLL)。当通过 A/D 转换器收集数据时，随着高速 A/D 转换器对时钟抖动变得敏感，利用 PLL 为 A/D 转换器提供时钟可能会降低其性能，。当使用外部时钟驱动 A/D 转换器时，出现同步问题，因为 A/D 时钟和 PLL 输出时钟之间未知的相位。过去，对于参考时钟和 PLL 时钟线，设计人员使用了时钟再同步装置或背对背触发器。此解决方案基于“不良相位”仅有时发生的假设。然而，如果系统在“不良相位”的情况下启动，则将继续以不良相位持续操作。这导致了数据锁存，并使系统进入不稳定状态。因此，背对背触发器方案的鲁棒性是成问题的。理想地是，实现一种由数字信号处理电路使用的、与 PLL 输出时钟同步的 A/D 时钟，利于锁存 A/D 输出并防止与时钟抖动相关的问题。

[0010] **发明内容**

[0011] 根据本发明的一个方面，提出了一种信号处理设备，包括 :固定速率数字信号源 ;

解调器，响应突发时钟，来处理符号速率的样本，所述解调器以同步取样模式操作，用于产生代表符号速率的控制信号；以及插值器，响应控制信号，用于对固定速率数字信号进行处理，以便以符号速率产生样本，称为符号速率的样本，所述插值器还用于响应所述符号速率的样本准备好由所述解调器进行处理，启动突发时钟。

[0012] 根据本发明的另一方面，提出了一种信号处理方法，包括以下步骤：以固定时间速率接收多个数字值；接收来自以同步取样模式操作的解调器中的控制信号，所述解调器响应突发时钟；通过对多个数字值进行插值，以符号速率计算样本，称为符号速率的样本；响应所述符号速率的样本准备好由所述解调器进行处理，启动突发时钟；以及处理所述符号速率的样本。

[0013] 根据本发明的再一方面，提出了一种信号处理设备，包括：模拟信号源；模拟到数字转换器，用于将模拟信号转换为固定速率数字信号；解调器，以同步取样模式进行操作，用于处理符号速率的样本；处理器，响应突发时钟，用于产生表示符号速率的控制信号；以及插值器，响应所述控制信号，通过对大量与符号位置相邻的固定速率样本进行插值、计算在所述符号位置处的符号值，对固定速率数字信号进行处理，以便以符号速率产生样本，并向解调器输出所述符号速率的样本，所述插值器还用于响应所述符号速率的样本准备好由所述解调器进行处理，启动突发时钟。

[0014] **附图说明**

[0015] 参考以下结合附图对本发明实施例的描述，本发明的上述和其它特征和优点、以及其实现方式将变得显而易见，并将更好地理解本发明，其中：

[0016] 图 1 是根据本发明典型实施例的电视信号处理设备的方框图；

[0017] 图 2 是利用根据固定速率取样模式进行操作的 A/D 转换器的数字信号处理电路、以及根据同步取样模式进行操作的随后的信号处理电路的典型实施例的方框图；

[0018] 图 3 是根据本发明典型实施例的时钟发生器电路的方框图；

[0019] 图 4 是根据本发明典型实施例的时钟发生器的时钟分割器电路的图；

[0020] 图 5 是根据本发明典型实施例的时钟分割器电路的时序图。

[0021] **具体实施方式**

[0022] 这里所述的范例示出了本发明的优选实施例，并不将此范例视为以任何方式对本发明的范围进行限制。

[0023] 参照图 1，示出了电视信号处理设备 100 的典型实施例的方框图。在图 1 中，电视信号处理设备 100 包括：信号接收装置，诸如信号接收元件 110；调谐装置，诸如调谐器 130；解调装置，诸如解调器 140；解码装置，诸如解码器 170；处理装置和存储装置，诸如处理器和存储器 180；音频放大装置，诸如音频放大器 190；音频输出装置，诸如扬声器 135；视频处理装置，诸如视频处理器 145；以及诸如显示器 155 的可视输出装置、电源 125、响应于处理器和存储器 180 的开关 115。例如，部分前述元件可以利用集成电路 (IC) 来具体实现。为了描述的清晰性，包括控制信号的电视信号处理设备 100 的某些传统元件可能未在图 1 中示出。根据典型实施例，电视信号处理设备 100 可以接收和处理模拟和 / 或数字格式的信号。

[0024] 信号接收元件 110 用于接收来自诸如射频广播信号传输源、或有线电视传输等信号源的、包括音频、视频和 / 或辅助数据的信号。信号接收元件 110 可以具体实现为诸如天

线、输入端子等任何信号接收元件或其它元件。

[0025] 调谐器 130 用于对包括音频、视频和 / 或辅助数据信号的信号进行调谐。因此，调谐器 130 可以对电视信号处理设备 100 的主图像的信号进行调谐。根据典型实施例，电视信号处理设备 100 还可以包括画中画 (PIP) 功能，其中，第一频道包括针对主图像的音频和 / 或视频信号，而第二频道 (未示出) 包括针对 PIP 功能的音频和 / 或视频信号。解调器 140 用于对调谐器 130 提供的信号进行解调，并可以对模拟和 / 数字传输格式的信号进行解调。

[0026] 解码器 170 用于对解调器 140 提供的包括音频、视频和 / 或辅助数据信号的信号进行解码。根据典型实施例，解码器 170 对表示节目指南数据的数字数据、或指示紧急事件的紧急告警信号进行解码。解码器 170 还可以执行其它解码功能，诸如对表示辅助数据信号、包括在模拟电视信号的垂直消隐区间 (VBI) 的数据进行解码。

[0027] 处理器和存储器 180 用于执行电视信号处理设备 100 的各种处理、控制和数据存储功能。根据典型实施例，处理器 180 用于对解码器 170 提供的音频和视频信号进行处理，例如，可以执行诸如国家电视制式委员会 (NTSC) 信号处理等模拟处理，以及 / 或者可以执行诸如运动图像专家组 (MPEG) 处理等数字处理。

[0028] 处理器和存储器 180 还用于从解码器 170 接收辅助数据信号，并根据所接收的辅助数据，确定需要何种动作。例如，如果接收到 EPG 数据，则处理器 180 可以决定对 EPG 数据进行分类，并将该数据存储在处理器的相关存储器 180 中。如果处理器 180 接收到与电视信号处理设备 100 的紧急告警功能相关的辅助数据，则其可以将紧急告警信号中的数据与存储在存储器 180 中的用户设置数据进行比较，以确定是否激活紧急告警功能以激活紧急告警信号。

[0029] 音频放大器 190 用于对处理器 180 提供的信号进行放大。扬声器 135 用于对音频放大器 190 提供的已放大音频信号进行听觉上输出。

[0030] 视频处理器 145 用于对处理器 180 提供的视频信号进行处理。根据典型实施例，这样的视频信号可以包括基于包含在所接收到的辅助数据信号的数据的信息，诸如 EPG 信息或紧急告警信息。视频处理器 145 可以包括实现封闭字幕显示的封闭字幕电路。显示器 155 用于提供与视频处理器 145 提供的已处理信号相对应的可视显示。

[0031] 参照图 2，示出了包括根据固定速率取样模式进行操作的 A/D 转换器 220 的数字信号处理电路、以及根据同步取样模式进行操作的诸如解调器 240 等随后的信号处理电路的典型实施例的方框图。数字信号处理电路还包括调谐器 210、插值器 230、时钟发生器 260、锁相环 (PLL)250 以及固定速率时钟 270。

[0032] 在图 2 所示的典型实施例中，调谐器 210 输出中频 (IF) 模拟信号。A/D 转换器 220 以固定取样速率获取 IF 模拟信号的样本。利用固定速率时钟 270，以与输入到 A/D 转换器 220 的数字时钟信号相对应的时间，获取这些固定速率样本。利用插值器 230，以固定速率读取所述固定速率样本，并利用插值器 230 存储离散样本数目，样本数目取决于插值器 230 所使用的插值方法。

[0033] 然后，插入已插值的样本，以便根据来自解调器 240 的速率控制信号，在插值器 230 中、以符号速率或其任一整数倍来产生样本。在同步取样模式的操作中，速率控制信号最初可以用于控制电压可控振荡器 (VCXO) 的频率。同样，对插值器 230 进行设计，从而使

其速率控制输入具有模仿去往 VCXO 的速率控制信号对传递到解调器 240 的数据样本的作用的效果。插值器 230 利用固定速率时钟 270 进行操作，而解调器 240 以由时钟发生器 260 产生的突发 (burst) 时钟进行操作。当插值器 230 中存在准备好由解调器 240 进行处理的样本时，由插值器 230 启动突发时钟。可能存在一个以上的由时钟发生器 260 产生的、去往解调器 240 和随后的同步取样模式电路的时钟频率。针对从插值器 230 中提取的每个符号，允许所有这些时钟运行 1 个符号的时间。例如，针对从插值器 230 中得到的每个符号，将允许以 8 倍于符号速率运行的时钟运行 8 个周期。

[0034] 参照图 3，示出了根据本发明典型实施例的时钟发生器电路 300 的方框图。在图 3 中，时钟发生器电路 300 包括 A/D 转换器 310、PLL350、时钟分割器 360、以及解调器 340。时钟分割器 360 用于使由 PLL 产生的时钟和参考时钟同步（这在图 4 的描述中进一步得到解释），以及创建要由随后的信号处理电路所使用的同步时钟信号的整数倍。

[0035] 参照图 4，示出了根据本发明典型实施例的时钟发生器的时钟分割器电路 400 的图。在图 4 中，时钟分割器电路 400 包括：多个 D 触发器 405、410、415、420、425、460、465、470；多个与门 430、435、440、445；多个或门 450、455。在图 4 所示的本发明典型实施例中，5 个 D 触发器 405、410、415、420 和 425 用于创建针对参考时钟的延迟线。PLL 时钟用于使延迟线的状态提前。包括与门 430、435、440、445 和或门 450、455 的逻辑元件组用作对延迟线 405、410、415、420、425 的不同输出级进行比较的装置。例如，为了产生 1X 时钟，使用逻辑元件组 430、435、440、445、450、455，对第一 D 触发器 405、第二 D 触发器 410、第四 D 触发器 420 和第五 D 触发器的输出的状态进行比较。然后，使 1X 时钟通过最后的 D 触发器 460，以完成参考时钟与 PLL 时钟的同步。

[0036] 参照图 5，示出了根据本发明典型实施例的时钟分割器电路的时序图。所示时序图表示在图 4 的时钟分割器电路 400 上、在所指示的点处的信号状态。

[0037] 尽管已经对具有优选设计的本发明进行了描述，但在此公开的精神和范围内，可以对本发明进行进一步修改。因此，本申请用于覆盖使用其一般原理对本发明进行的各种变更、使用或修改。此外，此申请用于覆盖在本发明所属的现有技术中已知或传统作法的范围内出现的与本公开的这种偏离，且其落入所附权利要求的限制内。

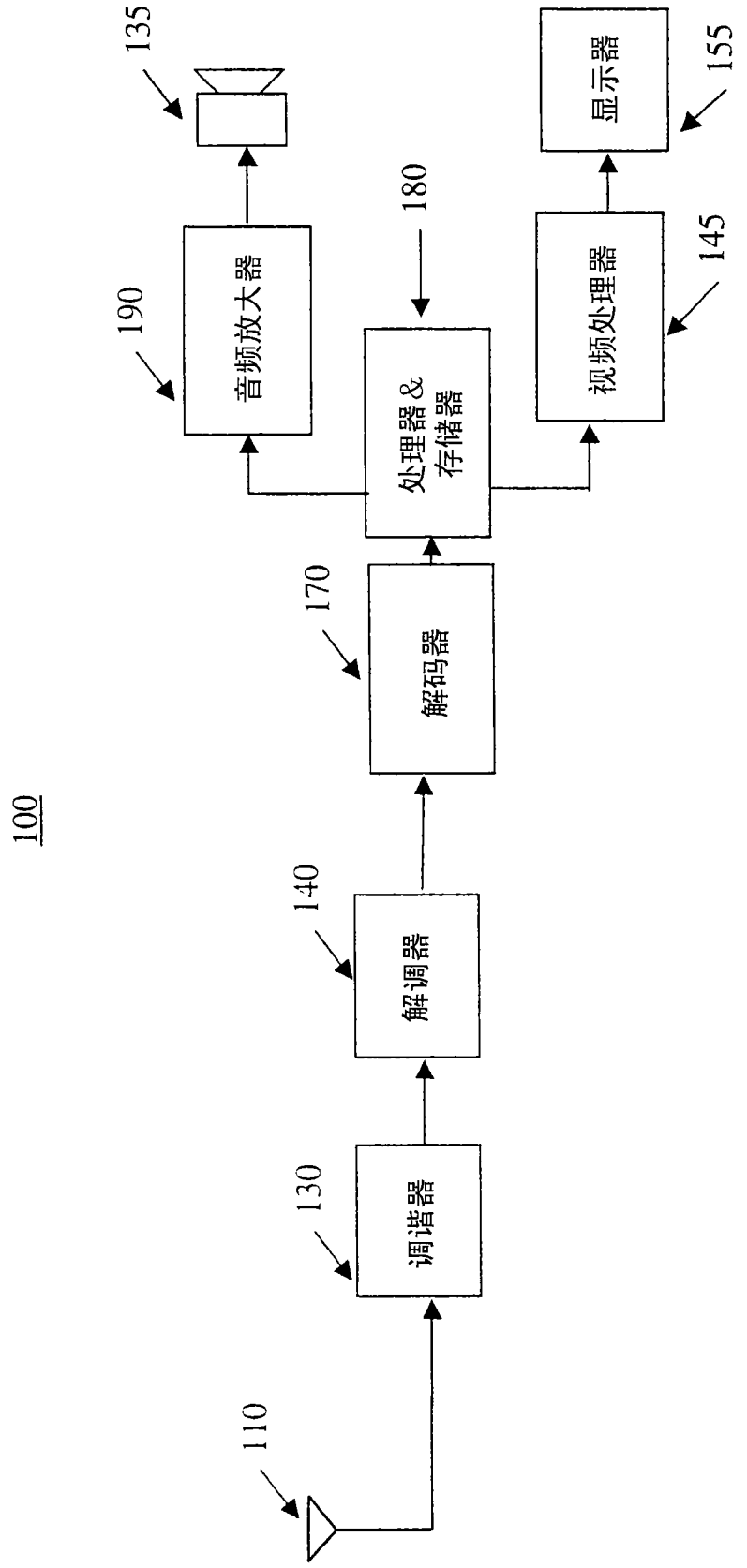

100
110
130
调谐器
140
解调器
170
解码器
180
处理器 & 存储器
190
音频放大器
135
145
视频处理器
155
显示器

图 1

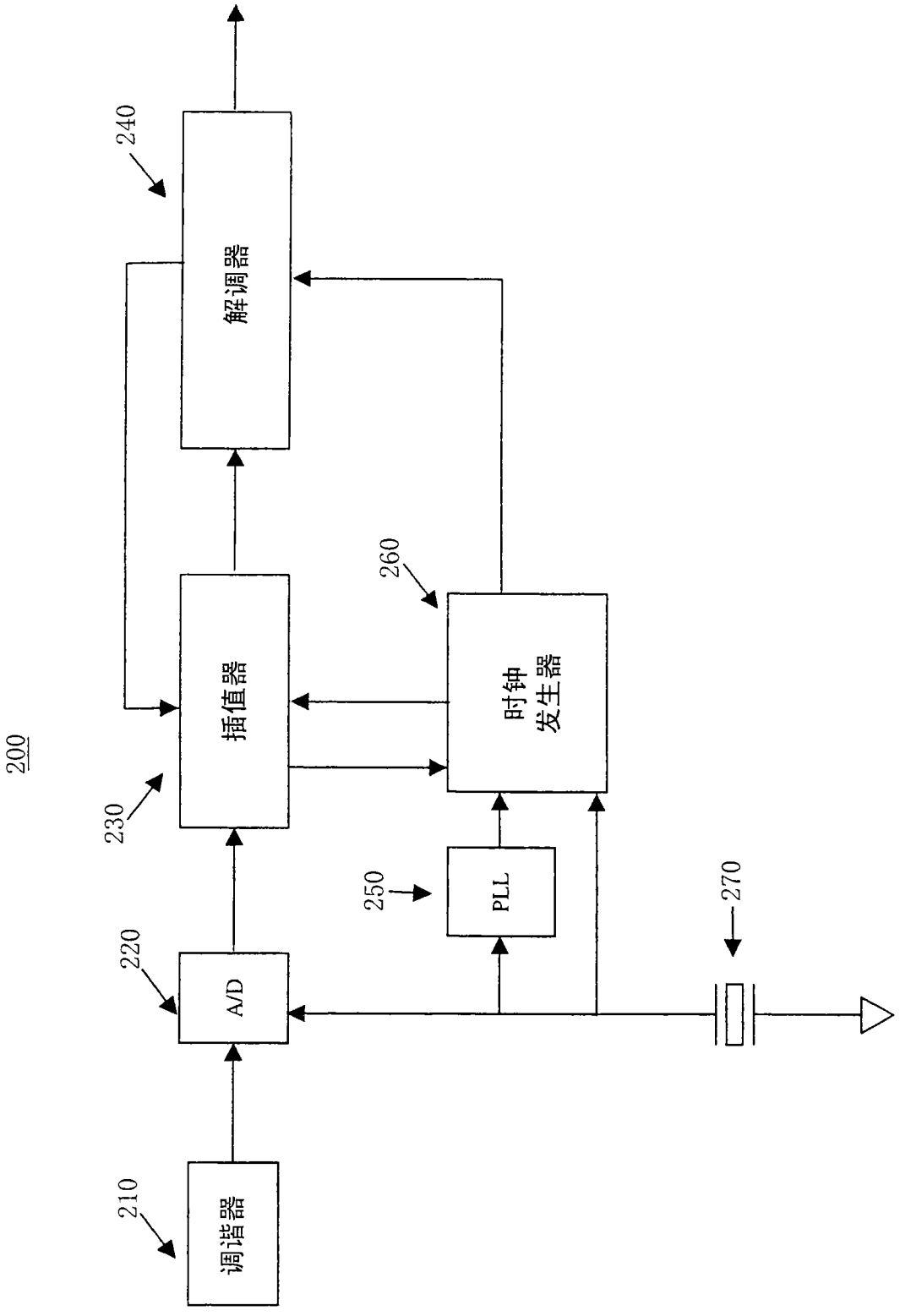


图 2

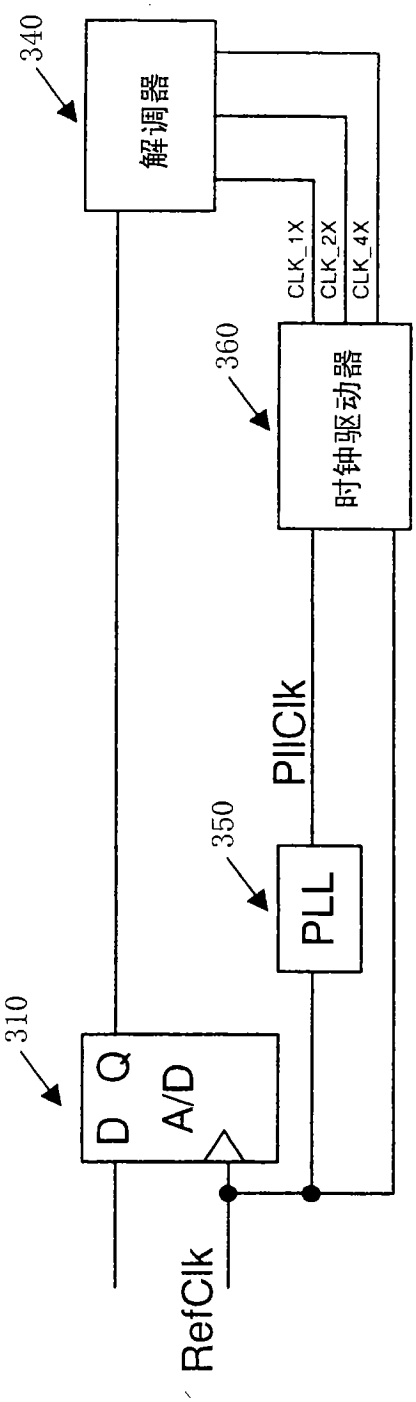

340
解调器
CLK_1X
CLK_2X
CLK_4X
360
时钟驱动器
PllClk
350
PLL
310
D Q
A/D
RefClk

图 3

400

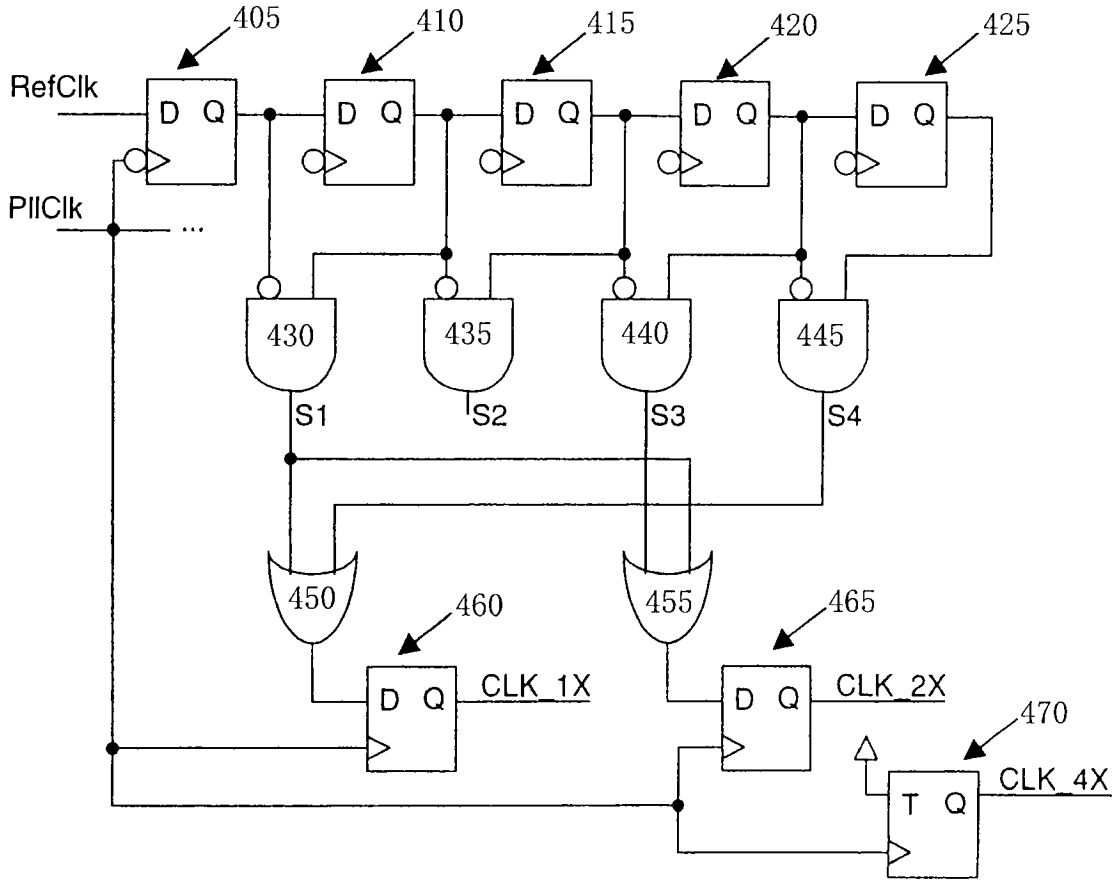

405
410
415
420
425
RefClk
PllClk
D Q
430
435
440
445
S1
S2
S3
S4
450
455
460
465
CLK_1X
CLK_2X
470
CLK_4X
T Q

图 4

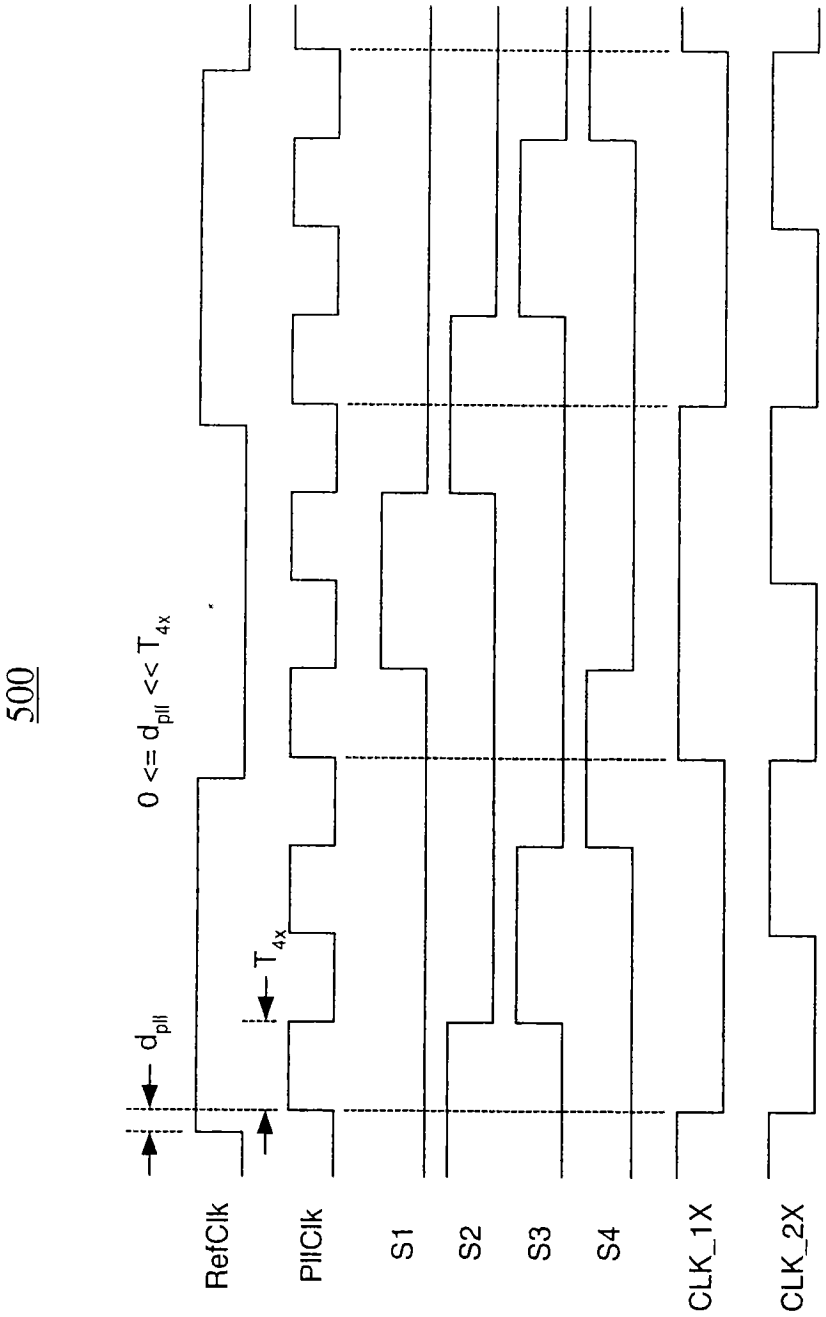


图 5