

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5348939号  
(P5348939)

(45) 発行日 平成25年11月20日 (2013.11.20)

(24) 登録日 平成25年8月30日 (2013.8.30)

(51) Int. Cl.	F I
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 B
HO 1 L 27/12 (2006.01)	HO 1 L 21/265 H
HO 1 L 21/265 (2006.01)	

請求項の数 8 (全 37 頁)

(21) 出願番号	特願2008-123316 (P2008-123316)	(73) 特許権者	000153878
(22) 出願日	平成20年5月9日 (2008.5.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2008-311635 (P2008-311635A)		神奈川県厚木市長谷398番地
(43) 公開日	平成20年12月25日 (2008.12.25)	(72) 発明者	山崎 舜平
審査請求日	平成23年4月13日 (2011.4.13)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2007-127270 (P2007-127270)		半導体エネルギー研究所内
(32) 優先日	平成19年5月11日 (2007.5.11)	(72) 発明者	大沼 英人
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

ハロゲンを含む酸化雰囲気中で熱処理を行い半導体基板の表面に第1の酸化層を形成し、

前記第1の酸化層の一部及び前記半導体基板の一部をエッチングして、凸部及び溝を有する半導体基板と前記凸部の表面上の第2の酸化層とを形成し、

前記凸部側から前記凸部及び溝を有する半導体基板に一又は複数の原子からなる質量の異なるイオンを照射して、前記凸部表面から一定の深さを有する第1の領域及び前記溝底面から一定の深さを有する第2の領域に、脆弱領域を形成し、

支持基板と前記凸部及び溝を有する半導体基板とを前記第2の酸化層を挟んで重ね合わせて接合し、

熱処理により、前記第1の領域の前記脆弱領域において前記凸部及び溝を有する半導体基板を分離することで、前記支持基板上に半導体層を残し、

前記半導体層を用いて半導体素子を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

ハロゲンを含む酸化雰囲気中で熱処理を行い半導体基板の表面に第1の酸化層を形成し、

前記第1の酸化層の一部及び前記半導体基板の一部をエッチングして、凸部を及び溝を有する半導体基板と前記凸部の表面上の第2の酸化層とを形成し、

前記凸部側から前記凸部及び溝を有する半導体基板に一又は複数の原子からなる質量の

10

20

異なるイオンを照射して、前記凸部表面から一定の深さを有する第 1 の領域及び前記溝底面から一定の深さを有する第 2 の領域に、脆弱領域を形成し、

接合層を有する支持基板を用意し、

前記支持基板と前記凸部及び溝を有する半導体基板とを前記第 2 の酸化層及び前記接合層を挟んで重ね合わせて接合し、

熱処理により、前記第 1 の領域の前記脆弱領域において前記凸部及び溝を有する半導体基板を分離することで、前記支持基板上に半導体層を残し、

前記半導体層を用いて半導体素子を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

ハロゲンを含む酸化雰囲気中で熱処理を行い半導体基板の表面に第 1 の酸化層を形成し

10

、  
前記第 1 の酸化層の一部及び前記半導体基板の一部をエッチングして、凸部を有する半導体基板と前記凸部の表面上の第 2 の酸化層とを形成し、

前記凸部側から前記凸部を有する半導体基板に一又は複数の原子からなる質量の異なるイオンを照射して、前記凸部を有する半導体基板の表面から一定の深さを有する領域に、脆弱領域を形成し、

剥離層を有する支持基板を用意し、

前記支持基板と前記凸部を有する半導体基板とを前記第 2 の酸化層及び前記剥離層を挟んで重ね合わせて接合し、

熱処理により、前記脆弱領域において前記凸部を有する半導体基板を分離することで、前記支持基板上に半導体層を残し、

20

前記半導体層を用いて形成した半導体素子を有する素子層を形成し、

前記素子層上に可撓性基板を設け、

前記可撓性基板及び前記素子層から、前記支持基板を前記剥離層で剥離することを特徴とする半導体装置の作製方法。

【請求項 4】

ハロゲンを含む酸化雰囲気中で熱処理を行い半導体基板の表面に第 1 の酸化層を形成し

、  
前記第 1 の酸化層の一部及び前記半導体基板の一部をエッチングして、凸部を有する半導体基板と前記凸部の表面上の第 2 の酸化層とを形成し、

30

前記凸部側から前記凸部を有する半導体基板に一又は複数の原子からなる質量の異なるイオンを照射して、前記凸部を有する半導体基板の表面から一定の深さを有する領域に、脆弱領域を形成し、

剥離層及び前記剥離層上の接合層を有する、支持基板を用意し、

前記支持基板と前記凸部を有する半導体基板とを、前記第 2 の酸化層、前記剥離層及び前記接合層を挟んで重ね合わせて接合し、

熱処理により、前記脆弱領域において前記凸部を有する半導体基板を分離することで、前記支持基板上に半導体層を残し、

前記半導体層を用いて形成した半導体素子を有する素子層を形成し、

前記素子層上に可撓性基板を設け、

40

前記可撓性基板及び前記素子層から、前記支持基板を前記剥離層で剥離することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 1 において、前記支持基板上にブロッキング層が設けられた状態で、前記支持基板と前記凸部及び溝を有する半導体基板とを、前記ブロッキング層を挟んで重ね合わせて接合することを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 2 において、前記支持基板と前記接合層との間にブロッキング層が設けられた状態で、前記支持基板と前記凸部及び溝を有する半導体基板とを、前記ブロッキング層を挟んで重ね合わせて接合することを特徴とする半導体装置の作製方法。

50

## 【請求項 7】

請求項 3 において、前記剥離層上にブロック層が設けられた状態で、前記支持基板と前記凸部を有する半導体基板とを、前記ブロック層を挟んで重ね合わせて接合することを特徴とする半導体装置の作製方法。

## 【請求項 8】

請求項 4 において、前記剥離層と前記接合層との間にブロック層が設けられた状態で、前記支持基板と前記凸部を有する半導体基板とを、前記ブロック層を挟んで重ね合わせて接合することを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

SOI 構造を有する基板を用いる半導体装置の作製方法に関する。

## 【背景技術】

## 【0002】

単結晶半導体のインゴットを薄く切断して作製されるシリコンウエハーに代わり、絶縁層の上に薄い単結晶半導体層を設けたシリコン・オン・インシュレータと呼ばれる半導体基板（SOI 基板）が開発されている。SOI 基板を用いて集積回路を形成するトランジスタを設けることによって、トランジスタのドレインと基板間における寄生容量を減らせるので、動作速度向上と消費電力削減に効果があるとされている。そのため SOI 基板はマイクロプロセッサなど高性能な半導体装置への応用が期待されている。

20

## 【0003】

SOI 基板を製造する方法としては、水素イオン注入剥離法が知られている（例えば、特許文献 1 参照）。水素イオン注入剥離法は、シリコンウエハーに水素イオンを注入することによって表面から所定の深さに微小気泡層を形成し、水素イオン注入面を別のシリコンウエハーと重ね合わせ、熱処理を行って、該微小気泡層を劈開面として剥離することで、別のシリコンウエハーに薄いシリコン層（SOI 層）を接合する。SOI 層を剥離するための熱処理に加え、酸化性雰囲気下での熱処理により SOI 層に酸化層を形成し、その後該酸化層を除去し、次に 1000 から 1300 の還元性雰囲気下で熱処理を行って接合面の接合強度を高め、SOI 層の表面のダメージ層の改善をする必要があるとされている。

30

## 【0004】

一方、高耐熱性ガラスなどの絶縁基板に単結晶シリコン層を設けた半導体装置が開示されている（特許文献 2 参照）。この半導体装置は、歪み点が 750 以上の結晶化ガラスの全面を絶縁性シリコン層で保護し、水素イオン注入剥離法により得られる単結晶シリコン層を当該絶縁性シリコン層上に固着する構成を有している。

【特許文献 1】特開 2000 - 124092 号公報

【特許文献 2】特開平 11 - 163363 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

40

水素イオン注入剥離法では、SOI 層と他方の基板との接合強度を強固なものとし、SOI 層の表面のダメージ層の改善をするために 1000 以上の高温で熱処理をする必要がある。そのため、基板コストを下げるために液晶パネルなどで使われる耐熱温度が 700 程度のガラス基板に単結晶シリコンを接合させて SOI 基板を形成する場合、このような高温で熱処理をするとガラス基板が収縮してしまうという問題が生じる。ガラス基板が収縮してしまうと、単結晶シリコン層とガラス基板との接合強度が低下し歩留まりが低下する。

## 【0006】

このような問題点を鑑み、ガラス基板など耐熱温度が低い基板を用いた場合でも実用に耐えうる結晶半導体層を備えた半導体装置を歩留まり高く作製する方法を提供することを目

50

的とする。

【課題を解決するための手段】

【0007】

半導体層の基となる半導体基板の一部に溝を形成し、凸部を有する半導体基板を形成し、当該凸部を覆うように接合層を形成する。また、接合層を形成する前において、少なくとも凸部となる半導体基板に加速されたイオンを照射して、半導体基板の一部を多孔質化し脆弱層を形成する。接合層表面及び支持基板の表面を洗浄した後、接合層及び支持基板を接合させ、半導体基板を分離する熱処理を行うことで支持基板上に半導体層を設ける。当該半導体層を選択的にエッチングして、電界効果トランジスタ、ダイオード、容量素子、不揮発性記憶素子等の半導体素子を形成し半導体装置を作製する。

10

【0008】

半導体基板を分離する熱処理の前に半導体基板の一部に溝を形成して、分離した凸部を形成する。その後、該凸部を支持基板に接合し、半導体基板を分離する熱処理を行う。半導体基板を分離する熱処理により支持基板が収縮するため、支持基板上に接合されたSOI層の位置も変化すると共に、歪応力が発生する。しかしながら、凸部は溝で分離されているため、支持基板上に連続的に接合されず、分断されており、支持基板の収縮に伴う半導体層の歪応力の発生を抑えることが可能であり、膜剥れや接合面の接合力の低下を低減することが可能である。また、この後の加熱工程では支持基板の収縮が生じにくいいため、複数のフォトリソグラフィ工程におけるフォトマスクのずれを抑制することができる。

【0009】

20

また、半導体基板に加速されたイオンを照射して半導体基板の一部を多孔質化し脆弱領域を形成する際、加速されたイオンが半導体基板に照射されても、適切に半導体基板に含まれない領域がある。半導体基板の当該領域を除去して溝を形成し、凸部を形成し、凸部に連続的な脆弱領域を形成する。その後、該分断された半導体基板を支持基板に接合し、半導体基板を分離する熱処理を行う。半導体基板を分離する熱処理により、連続的な脆弱領域で半導体基板の凸部すべてが分離し、所定の厚さの半導体層を支持基板上に設けることができる。

【0010】

接合層としては、平滑面を形成し親水性表面を有する層とする。このような表面を形成可能なものとしては、化学的な反応により形成される絶縁層が好ましい。例えば、熱的又は化学的な反応により形成される酸化層が適している。主として化学的な反応により形成される膜であれば表面の平滑性を確保できるからである。接合層の代表例としては、有機シランを原材料として形成した酸化珪素層を用いる。有機シランガスとしては、珪酸エチル(TEOS: 化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン(化学式 $\text{Si}(\text{CH}_3)_4$ )、トリメチルシラン(化学式 $(\text{CH}_3)_3\text{Si}$ )、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ )等のシリコン含有化合物が適用される。

30

【0011】

40

また、支持基板に不純物の拡散を防ぐブロッキング層を支持基板の歪み点以下の温度で形成しておく。しかる後に、支持基板のブロッキング層及び半導体基板の接合層を接合させ、半導体基板を分離する熱処理を行うことで支持基板上に半導体層を設けてもよい。

【0012】

また、半導体基板の一部に溝を形成する前または後に半導体基板の表面にブロッキング層を形成し、当該ブロッキング層上に接合層を形成する。しかる後に、支持基板及び半導体基板の接合層を接合させ、半導体基板を分離する熱処理を行うことで支持基板上に半導体層を設けてもよい。

【0013】

支持基板または半導体基板に形成する不純物元素の拡散を防止するブロッキング層として

50

は、窒化珪素層、窒化酸化珪素層、窒化アルミニウム層、又は窒化酸化アルミニウム層を設けることができる。さらに応力を緩和する作用のある絶縁層として酸化窒化珪素層を組み合わせても良い。なお、ここで酸化窒化珪素層とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS: Hydrogen Forward Scattering) を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~15原子%、Siが25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化珪素層とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5~30原子%、窒素が20~50原子%、Siが25~35原子%、水素が10~30原子%の範囲で含まれるものをいう。但し、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、Si及び水素の含有比率が上記の範囲内に含まれるものとする。

#### 【0014】

さらには、半導体基板の一部に溝を形成する前または後に、半導体基板を酸化性雰囲気中で加熱処理することが好ましい。特に好ましくはハロゲンを含む酸化性雰囲気中で熱処理が行われることが好ましい。例えば、酸素に微量の塩酸を添加して熱処理を行い、半導体基板に酸化層を形成する。それにより、半導体基板と酸化層の界面の未結合手を水素で終端させることにより界面を不活性化して電気的特性の安定化を図ることができる。また、塩素は半導体基板に含まれる金属と反応し、それを除去(ゲッタリング)するように作用する。

#### 【発明の効果】

#### 【0015】

半導体基板の一部に溝を形成して凸部を有する半導体基板を形成した後、当該凸部を支持基板に接合し、熱処理により脆弱領域から半導体基板を分離すると共に、支持基板上にSOI層を設けることができる。半導体基板上の凸部は分離されているため、加熱による当該支持基板の収縮に伴って、SOI層の剥れを防止することができる。

#### 【0016】

また、半導体基板の凸部には連続的な脆弱層が形成されるため、所定の厚さのSOI層を支持基板上に設けることができる。

#### 【0017】

これらのため、当該SOI層を用いて歩留まり高く半導体装置を作製することができる。

#### 【発明を実施するための最良の形態】

#### 【0018】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

#### 【0019】

なお、以下の説明では、絶縁表面を有する基板若しくは絶縁基板上に、単結晶半導体層を設ける場合について説明するが、単結晶半導体層の基となる半導体基板の種類を代えることで、絶縁表面を有する基板若しくは絶縁基板上に多結晶半導体層を固定することもできる。

#### 【0020】

##### (実施の形態1)

本実施の形態では、支持基板に半導体基板を接合し、熱処理して、半導体基板の一部を剥離(分離)する際において、支持基板の収縮を考慮して、歩留まり高く半導体装置を作製する方法について、図1乃至図7を参照して説明する。図1乃至図4は図5乃至図7のA

10

20

30

40

50

- Bの断面図を示す。また、図5は半導体基板の上面図を示し、図6及び図7は支持基板の上面図を示す。

【0021】

図1(A)において、半導体基板101として、結晶半導体基板または単結晶半導体基板を用いることができる。また、結晶半導体基板または単結晶半導体基板としては、シリコン基板、ゲルマニウム基板があり、その他シリコンゲルマニウム、ガリウムヒ素、インジウムリンなどの化合物半導体の基板を適用することができる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)サイズのものが代表的であり、その形状は円形のものがほとんどである。また、厚さは1.5mm程度まで適宜選択できる。ここでは、半導体基板101として、p型若しくはn型の単結晶シリコン基板(シリコンウエハー)を用いる。

10

【0022】

また、半導体基板101の一表面にブロッキング層102を形成する。ブロッキング層102としては、窒化珪素層、窒化酸化珪素層、窒化アルミニウム層、または窒化酸化アルミニウム層から選ばれた一層又は複数の膜による積層構造が適用される。窒化珪素層、窒化酸化珪素層、窒化アルミニウム層、または窒化酸化アルミニウム層を気相成長法で50nm~200nmの厚さで形成する。例えば、窒化珪素層は $\text{SiH}_4$ と $\text{NH}_3$ をソースガスとしてプラズマCVD法で形成する。窒化酸化珪素層は $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 及び $\text{NH}_3$ を用いてプラズマCVD法で形成する。窒化アルミニウム層は、アルミニウムターゲットに反応性ガスとして窒素を用いた反応性スパッタリング法で形成する。または、塩化アルニウムまたは臭化アルニウムとアンモニアとをソースガスとして熱CVD法により形成する。窒化酸化アルミニウム層は、アルミニウムターゲットに反応性ガスとして窒素及び酸素を用いた反応性スパッタリング法で形成する。または、塩化アルニウムまたは臭化アルニウムとアンモニアと一酸化二窒素とをソースガスとして熱CVD法により形成する。

20

【0023】

ブロッキング層102は、この半導体基板101から形成されるSOI層に対する不純物の拡散防止効果を発現する。また、脆弱層(具体的には、加速されたイオンが照射された脆弱な層のことであり、以下、脆弱領域という)を形成する際に、イオンの照射により半導体基板101のイオンが照射される面がダメージを受け、平坦性が損なわれるのを防ぐ効果がある。

30

【0024】

図1(B)では、半導体基板101の一部を除去し溝107を形成する。この結果、半導体基板101には分離された凸部が形成される。また、ブロッキング層102が分断される。

【0025】

ここで、溝を形成した後の半導体基板101の上面の模式図を図5に示す。なお、図5の線分A-Bの断面図が、図1(B)に相当するものとする。

【0026】

半導体基板101は選択的にエッチングされており、図1(B)の凸部に相当する部分にブロッキング層102a、102bが残存する。半導体基板101に形成された凸部は、上面から見ると露光装置の一回の露光領域と概略対応する。

40

【0027】

半導体装置等の製造分野において、微細なパターン等を形成する際は、フォトリソグラフィを適用することが多い。フォトリソグラフィでは、ステッパーに代表される露光装置を用いて、基板上に塗布したレジスト層に所望のパターン形状を露光し、現像した後、当該パターン形状を利用して基板上に所望のパターンを形成する。露光装置の一回の露光領域の面積は装置に依存するが、既存のステッパーを利用する場合、一回の露光領域の面積は25mm角、100mm角、113mm角、132mm角、又は144mm角程度であり、一辺が1メートルを超えるような大面積の基板を一括で露光することは難しい。よっ

50

て、予め露光装置の一回の露光領域をSOI層に対応させることで、所望の回路パターンを効率的に形成することができる。

【0028】

図5では、露光装置の一回の露光領域108a、108bを破線で示す。半導体基板101は、SOI層として接合される領域の大きさが、露光装置の一回の露光領域の大きさに対応するように選択的にエッチングされている。

【0029】

また、露光装置の一回の露光領域108a、108b内には、アライメントマーカ107a、107bも残存している。該アライメントマーカ107a、107bは、半導体基板のSOI層となる部分にレジストマスクを形成する際に、アライメントマーカとなる部分にもレジストマスクを形成する。図5に示す半導体基板101には、アライメントマーカにもブロッキング層が残っている。なお、アライメントマーカ107a、107bは図1(B)の断面図では省略する。

【0030】

半導体基板101の一部を除去し溝を形成する方法としては、除去する部分以外をレジストマスクで覆った後、ドライエッチング法、またはウエットエッチング法により半導体基板101の一部をエッチングする。または、ダイシング装置のブレードや、スクライバー、レーザビーム等によって、溝を形成することができる。溝の深さは、後に支持基板に転置するSOI層の厚さを考慮して適宜選択する。なお、SOI層の厚さは、加速されたイオンの元素が含まれる領域の位置により設定することが可能である。本実施の形態において、半導体基板101の溝の深さは、脆弱領域（即ち脆弱領域が形成される位置）よりも深くなるようにすることが好ましい。半導体基板101の溝加工において、溝の深さを脆弱領域よりも深くすることで、後にSOI層を支持基板に転置する際に、分離された半導体基板101の凸部のみ、容易に支持基板に接合することが可能になる。

【0031】

図1(C)では、半導体基板101に加速された水素イオン若しくはハロゲンイオンを半導体基板に照射して、脆弱領域103a~103cを形成する。脆弱領域103a~103cは、加速されたイオンの照射により、イオンの元素が含まれる領域を指す。例えば、水素、ハロゲンを含む脆弱な領域のことであり、脆弱層ともいう。

【0032】

脆弱領域103a~103cは、半導体基板101の表面から電界で加速されたイオンを照射し、所定の深さに当該イオンの元素を含ませることで形成される。このようなイオンの照射方法としては、イオンドーピング法、イオン注入法等がある。半導体基板101に形成される脆弱領域103a~103cの深さは、イオンの加速エネルギーとイオンの入射角によって制御する。半導体基板101の表面からイオンの平均進入深さに近い深さ領域に脆弱領域103a~103cが形成される。例えば、半導体層の厚さは5nm乃至500nm、好ましくは10nm乃至200nmの厚さであり、半導体基板にイオンを照射する際の加速電圧はこのような厚さを考慮して行われる。

【0033】

イオンの照射はイオンドーピング装置を用いて行うことが好ましい。すなわち、ソースガスをプラズマ化して生成された複数のイオン種を質量分離しないでそのまま電界で加速して対象物に照射し、イオン化したガスの元素を対象物に含ませるドーピング方式を用いる。本形態の場合、水素イオン若しくはハロゲンイオンをドーピングすることが好ましい。イオンドーピングは、加速電圧10kVから100kV、好ましくは30kVから80kV、ドーズ量は $1 \times 10^{16} / \text{cm}^2$ から $4 \times 10^{16} / \text{cm}^2$ 、ビーム電流密度が $2 \mu\text{A} / \text{cm}^2$ 以上、好ましくは $5 \mu\text{A} / \text{cm}^2$ 以上、より好ましくは $10 \mu\text{A} / \text{cm}^2$ 以上とすれば良く、これにより半導体層に生成される欠陥を低減することができる。

【0034】

水素イオンを照射する場合には、 $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$ イオンを含ませると共に、 $\text{H}_3^+$ イオンの割合を高めておくことが好ましい。水素イオンを照射する場合には、 $\text{H}^+$ 、 $\text{H}_2$

10

20

30

40

50

$\text{H}_3^+$  イオンを含ませると共に、 $\text{H}_3^+$  イオンの割合を高めておくと、 $\text{H}_3^+$  イオンの割合を高めないでイオンを照射する場合と比べて導入効率を高めることができ、ドーピング時間を短縮することができる。それにより、半導体基板 101 に形成される脆弱領域 103a ~ 103c の領域には  $1 \times 10^{20} / \text{cm}^3$  (好ましくは  $5 \times 10^{20} / \text{cm}^3$ ) 以上の水素を含ませることが可能である。半導体基板 101 中において、局所的に高濃度の水素を含む領域を形成すると、結晶構造が乱されて微小な空孔が形成され、多孔質構造の脆弱領域 103a ~ 103c を形成することができる。この場合、比較的低温の熱処理によって脆弱領域 103a ~ 103c に形成された微小な空洞の体積変化が起こり、脆弱領域に沿って劈開(分離)することにより薄い半導体層を形成することができる。

#### 【0035】

なお、本明細書においてイオンドーピングとは、原料ガスから生成されるイオン化したガスを質量分離せず、そのまま電界で加速して対象物に照射する方式を指す。イオンドーピング装置を用いると、大面積基板であっても高効率に高ドーズのイオンドーピングを行うことができる。

#### 【0036】

また、イオンドーピングの加速電圧は、20 kV 以上 100 kV 以下、好ましくは 20 kV 以上 70 kV 以下とし、ドーズは、 $1 \times 10^{16} \text{ ions} / \text{cm}^2$  以上  $4 \times 10^{16} \text{ ions} / \text{cm}^2$  以下、好ましくは  $1 \times 10^{16} \text{ ions} / \text{cm}^2$  以上  $2.5 \times 10^{16} \text{ ions} / \text{cm}^2$  以下とすればよい。本実施の形態では、加速電圧 80 kV で、ドーズを  $2 \times 10^{16} \text{ ions} / \text{cm}^2$  としてイオンドーピングを行う。

#### 【0037】

加速されたイオンを質量分離して半導体基板 101 に照射しても同様に脆弱領域 103a ~ 103c を形成することができる。この場合にも、質量の大きいイオン(例えば  $\text{H}_3^+$  イオン)を選択的に照射することは上記と同様な効果を奏することとなり好ましい。

#### 【0038】

イオンを生成するガスとしては水素の他に重水素、ヘリウムのような不活性ガスを選択することも可能である。原料ガスにヘリウムを用い、質量分離機能を有さないイオンドーピング装置を用いることにより、 $\text{He}^+$  イオンの割合が高いイオンビームが得ることができる。このようなイオンを半導体基板 101 に照射することで、微小な空孔を形成することができ上記と同様な脆弱領域 103a ~ 103c を半導体基板 101 中に設けることができる。

#### 【0039】

なお、ここでは、半導体基板 101 の表面から一定の深さの領域に加速されたイオンの元素が含まれるため、半導体基板の凸部の領域と共に、溝 107 の表面から一定の深さの領域にも脆弱領域 103c が形成される。

#### 【0040】

図 1(D) は接合層 104 (接合界面に形成される層) を形成する段階を示す。接合層 104 は、平滑面を形成し親水性表面を有する層とする。このような表面を形成可能なものとして、化学的な反応により形成される絶縁層が好ましい。例えば、熱的又は化学的な反応により形成される酸化層が適している。主として化学的な反応により形成される層であれば表面の平滑性を確保できるからである。平滑面を形成し親水性表面を形成する接合層 104 は 0.2 nm 乃至 500 nm の厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。

#### 【0041】

接合層 104 の好適な一例としては、化学気相成長法により堆積される酸化珪素を接合層 104 とすることができる。この場合、有機シランガスを用いて化学気相成長法により作製される酸化珪素層が好ましい。有機シランガスとしては、珪酸エチル(TEOS: 化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン(化学式  $\text{Si}(\text{CH}_3)_4$ )、トリメチルシラン(化学式  $(\text{CH}_3)_3\text{Si}$ )、テトラメチルシクロテトラシロキサン(TMC

10

20

30

40

50



T S)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ )等のシリコン含有化合物を用いることができる。化学気相成長法による成膜では、半導体基板に形成した脆弱領域103a~103cから脱ガスが起こらない温度として、例えば350以下の成膜温度が適用される。また、単結晶半導体基板若しくは多結晶半導体基板から、単結晶半導体層または多結晶半導体層を剥離(分離)する熱処理は、成膜温度よりも高い熱処理温度が適用される。

#### 【0042】

なお、接合層104は支持基板100側又は半導体基板101側の一方又は双方に成膜されていれば良い。

#### 【0043】

また、図1(B)と(C)の工程において、脆弱領域103a~103cを形成し、半導体基板の一部を除去して溝107を形成した後、ブロッキング層102と接合層104を形成しても良い。この工程によれば、ブロッキング層102と接合層104を大気に曝されることなく連続的に形成することができ、半導体基板101への異物の混入や、半導体基板101のカリウム、ナトリウムなどの汚染を防ぐことができる。また、後の剥離(分離)工程において分離された半導体基板に脆弱領域103cを形成することがないため、半導体基板101を容易に再利用することができる。

#### 【0044】

図2(A)は支持基板100と半導体基板101を接合させる段階を示す。支持基板100と半導体基板101の接合層104が形成された面を対向させ、密接させることで接合を形成する。接合を形成する面は、脱脂処理し十分に清浄化しておく。そして、支持基板100と接合層104を密接させることにより、室温であっても接合が形成される。この接合は表面間引力によるものであり、表面に複数の親水基を付着させる処理を加えるとより好ましい態様となる。例えば、支持基板100の表面を酸素プラズマ処理若しくはオゾン処理して親水性にすることが好ましい。このように表面を親水性にする処理を加えた場合には、表面の水酸基が作用して水素結合により接合が形成される。さらに清浄化された表面同士を密接させて接合を形成したのに対して、室温以上の温度で加熱すると接合強度高めることができる。

#### 【0045】

良好な接合を形成するために、接合層104の表面及び/又は接合層104と接する側の表面の前処理として、その表面にアルゴンなどの不活性ガスによるイオンビームを照射して清浄化することは有効である。イオンビームの照射により、接合層104の表面及び/又は接合層104と接する側の表面に未結合手が露呈して非常に活性な表面が形成される。このように活性化された表面同士を密接させると低温でも接合を形成することが可能である。表面を活性化して接合を形成する方法は、当該表面を高度に清浄化しておくことが要求されるので、真空中で行うことが好ましい。

#### 【0046】

このような表面処理により200乃至400の温度であっても異種材料間の接合強度を高めることが可能となる。

#### 【0047】

支持基板100は、SOI層を設ける基板のことであり、絶縁性又は絶縁表面を有するものであり、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われるガラス基板(「無アルカリガラス基板」とも呼ばれる)が適用される。すなわち、熱膨張係数が $25 \times 10^{-7}/$ から $50 \times 10^{-7}/$ (好ましくは、 $30 \times 10^{-7}/$ から $40 \times 10^{-7}/$ )であって歪み点が580から680(好ましくは、600から680)のガラス基板を適用することができる。その他に石英基板、セラミック基板、表面が絶縁層で被覆された金属基板なども適用可能である。

#### 【0048】

10

20

30

40

50

図2(B)は半導体基板101からSOI層105a、105bを剥離(分離)する段階を示す。半導体基板101と支持基板100を重ね合わせて、支持基板100に接合層104を接合した後、熱処理を行う。熱処理により支持基板100上にSOI層105a、105bを残して半導体基板101の分離を行うと共に、接合面における接合強度を高めることができる。熱処理は接合層104の成膜温度以上で行うことが好ましく、400以上600未満の温度で行うことが好ましい。この温度範囲で熱処理を行うことで脆弱領域103a、103bに形成された微小な空孔に体積変化が起こり、脆弱領域103a、103bに沿って半導体層を分離することができる。接合層104は支持基板100と接合しているので、支持基板100上には半導体基板101と同じ結晶性のSOI層105a、105bが接合される。

10

#### 【0049】

なお、半導体基板101として単結晶半導体基板を用いた場合は、SOI層105a、105bは単結晶半導体層となる。また、半導体基板101として結晶性半導体基板を用いた場合は、SOI層105a、105bは結晶性半導体層となる。

#### 【0050】

図6は、SOI層が接合された支持基板100の上面の模式図を示している。なお、図6のA-Bの断面図が、図2(B)に相当するものとする。

#### 【0051】

支持基板100は、露光装置の1回の露光領域を一単位として、SOI層105a、105bが規則的に配列している。また、SOI層と同じ結晶性のアライメントマーカ107a、107bも形成されている。

20

#### 【0052】

図6において、露光装置の1回の露光領域に、一のアライメントマーカと、一つのSOI層が設けられている。露光装置の1回の露光領域を考慮してSOI層を配列させており、且つSOI層が露光装置の1回の露光領域に対応するため、効率的に露光を行いパターンを形成することができる。

#### 【0053】

また、図2(B)に示す熱処理により、支持基板が収縮し、SOI層105a、105bの間が狭まる。図2(A)では、接合層104と支持基板100とを接合したときのSOI層の間隔109aは、半導体基板101上で溝を形成したときのSOI層の間隔109aと同様であるが、当該熱処理後では、図2(B)及び図6に示すように、間隔109bに狭まっていることがわかる。

30

#### 【0054】

この後、支持基板100にSOI層105a、105bが固定された状態で熱処理を行うことが好ましい。この熱処理は脆弱領域110の形成時に注入され、SOI層105a、105bに残存した微量の水素若しくはハロゲンをSOI層105a、105bから脱離させることを目的の一としている。熱処理の温度は、水素若しくはハロゲンが脆弱領域110から放出される温度以上であって、支持基板100の歪み点近傍の温度までを可としている。例えば、400～730の温度範囲で行われる。熱処理装置としては電熱炉、ランプアニール炉などを適用することができる。熱処理は多段階に温度を変化させて行っても良い。また瞬間熱アニール(RTA)装置を用いても良い。RTA装置によって熱処理を行う場合には、基板の歪み点近傍又はそれよりも若干高い温度に加熱することもできる。

40

#### 【0055】

SOI層105a、105bに含まれる過剰な水素は複雑な挙動を示し、熱履歴によっては半導体素子の特性を劣化させるように作用する場合がある。例えば、シリコンの格子間に含まれる水素は、価電子制御を目的としてドーピングされた不純物元素を不活性化させる作用がある。それにより、トランジスタのしきい値電圧の変動、ソース若しくはドレイン領域を高抵抗化させることとなる。また、シリコンの格子内に水素が含まれることになると、シリコンの配位数が変化して格子欠陥を生成するように振る舞うことがある。勿論

50

、水素若しくはハロゲンはシリコン中の未結合手を補償して、すなわち欠陥を補修する作用があるが、脆弱領域 110 に含まれる水素若しくはハロゲンは一旦、SOI 層 105a、105b から除去することが好ましい。

【0056】

このような熱処理を行うことで、支持基板 100 と接合層 104a、104b との接合面においては水素結合を、より強固な共有結合に変化させることができる。

【0057】

次に、SOI 層 105a、105b にエネルギービームを照射して、結晶欠陥を補修することが好ましい。この工程は、SOI 層 105a、105b が支持基板 100 に接合される際に、熱的及び/又は機械的ダメージを受けて結晶性が劣化するので、その修復を図る上で行うことが好ましい。エネルギービームは、SOI 層 105a、105b に対し選択的に吸収されるものが好ましく、レーザービームを適用することが望まれる。これは支持基板 100 を過剰に加熱することなく、SOI 層 105a、105b の欠陥を修復するためである。レーザービームは、エキシマレーザに代表される気体レーザ、YAGレーザに代表される固体レーザを光源として用いることができる。レーザービームの波長としては、紫外光から赤外光域であることが好ましい。光源から放射されるレーザービームは光学系にて矩形状若しくは線状に集光されたものであることが好ましく、このレーザービームをSOI 層 105a、105b 上を走査して処理を行えば良い。

【0058】

その他、同様な目的においては、ハロゲンランプ若しくはキセノンランプなどを用いて行われるフラッシュランプアニールを適用しても良い。

【0059】

本工程では、既にSOI 層 105a、105b の脱水素化が成されているので、SOI 層 105a、105b にボイドを発生させることなく結晶欠陥の修復を行うことができる。また、SOI 層 105a、105b に対し、エネルギービームを照射する処理を窒素雰囲気中に行えば、SOI 層 105a、105b の表面を平坦化することができる。

【0060】

一方、SOI 層 105a、105b の含有水素が少ない場合には、支持基板 100 とSOI 層 105a、105b を接合した後、エネルギービームを照射する処理を行っても良い。SOI 層 105a、105b の結晶欠陥を補修した後、熱処理を行うことにより、SOI 層 105a、105b と支持基板 100 の熱歪みを除去して接合面の接合強度を高めることができる。

【0061】

以上により、半導体層の一部が分離されたSOI 基板を形成することができる。

【0062】

次いで、本形態による半導体装置について図3及び図4を参照して説明する。図2(B)に示すSOI 層 105a、105b を選択的にエッチングして、図3(A)に示すように、半導体層 106a、106b を形成する。ここでは、SOI 層 105a、105b の一部を覆うようにフォトリソグラフィ工程により形成したレジストマスクを形成し、SOI 層 105a、105b を選択的にエッチングして、半導体層 106a、106b を形成する。なお、SOI 層 105a、105b と同様に、ブロッキング層 102a、102b、及び接合層 104a、104b をエッチングしてもよい。

【0063】

半導体層 106a、106b は、ブロッキング層 102c、102d、及び接合層 104c、104d を介して支持基板 100 上に設けられる。ブロッキング層 102c、102d は支持基板 100 側に設けられていても良い。ブロッキング層 102c、102d を設けることで、SOI 層 105a、105b の汚染を防ぐことができる。

【0064】

SOI 層 105a、105b の厚さは5nmから500nm、好ましくは10nmから200nm、より好ましくは10nmから60nmの厚さとする。SOI 層 105a、10

10

20

30

40

50

5 bの厚さは、図1(C)で説明した脆弱領域103a~103cの深さを制御することにより適宜設定できる。半導体層106a、106bには、nチャネル型電界効果トランジスタ及びpチャネル型電界効果トランジスタの形成領域に合わせて、硼素、アルミニウム、ガリウムなどのp型不純物、若しくはリン、砒素などのn型不純物を添加することが好ましい。すなわち、nチャネル型電界効果トランジスタの形成領域に対応してp型不純物を添加し、pチャネル型電界効果トランジスタの形成領域に対応してn型不純物を添加して、所謂ウエル領域を形成する。不純物イオンのドーズ量は $1 \times 10^{12} / \text{cm}^2$ から $1 \times 10^{14} / \text{cm}^2$ 程度で行えば良い。さらに、電界効果トランジスタのしきい値電圧を制御する場合には、これらのウエル領域にp型若しくはn型不純物を添加すれば良い。

【0065】

10

図7は、半導体層106a、106bが形成された支持基板100の上面の模式図を示している。なお、図7のA-Bの断面図が、図3(A)に相当するものとする。

【0066】

図7において、アライメントマーカー107aを用いて位置合わせを行い、SOI層105aを選択的にエッチングして、所望のパターンを形成する例を示す。例えば、SOI層105aを露光して回路パターンを転写する。このとき、アライメントマーカー107aを形成しておくことで、フォトリソグラフィの際に、位置合わせ等容易に行うことができる。なお、エッチング後の個々の半導体層106aのパターンは、例えば回路部に形成されるトランジスタのチャネル部を形成する。

【0067】

20

図3(B)で示すようにゲート絶縁層121、ゲート電極122、サイドウォール絶縁層123を形成し、第1不純物領域124、第2不純物領域125を形成する。絶縁層126は窒化珪素層で形成し、ゲート電極122をエッチングするときのハードマスクとして用いる。

【0068】

図3(C)は、ゲート電極122などを形成後に保護層127を形成する段階を示す。保護層127は窒化珪素層又は窒化酸化珪素層を、プラズマCVD法で、成膜時の基板温度を350以下として形成することが好ましい。すなわち、保護層127中に水素を含ませしておく。保護層127を形成後、350から450(好ましくは400から420)の熱処理で保護層127中に含まれる水素を半導体層106a、106b側へ拡散させる。先の工程で脱水素化されている半導体層106a、106bに対し、素子形成工程で欠陥を補償する水素を供給することで、捕獲中心となるような欠陥を有効に補償することができる。また、ブロッキング層102c、102dは支持基板100側からの不純物拡散を防止するのに対して、保護層127はこの上層側からの不純物汚染を防ぐ効果がある。本形態では、結晶性に優れた半導体層106a、106bの下層側及び上層側を、ナトリウムなどの可動性の高い不純物イオンすら防ぐ効果の高い絶縁層で被覆することで、この半導体層106a、106bにより作製される半導体素子の特性安定化に絶大な効果を発揮する。

30

【0069】

その後、図4(A)に示すように層間絶縁層128を形成する。層間絶縁層128はBPSG(Boron Phosphorus Silicon Glass)層を成膜するか、ポリイミドに代表される有機樹脂を塗布して形成する。層間絶縁層128にはコンタクトホール129を形成する。

40

【0070】

図4(B)は配線を形成する段階を示す。コンタクトホール129にはコンタクトプラグ130を形成する。コンタクトプラグ130は、WF<sub>6</sub>ガスとSiH<sub>4</sub>ガスから化学気相成長法でタングステンシサイドを形成し、コンタクトホール129に埋め込むことで形成される。また、WF<sub>6</sub>を水素還元してタングステンを形成しコンタクトホール129に埋め込んでも良い。その後、コンタクトプラグ130に合わせて配線131を形成する。配線131はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメ

50

タルとしてモリブデン、クロム、チタンなどの金属層で形成する。さらにその上層に層間絶縁層 132 を形成する。配線は適宜設ければ良く、この上層にさらに配線層を形成して多層配線化しても良い。その場合にはダマシンプロセスを適用しても良い。

#### 【0071】

このように、支持基板 100 に接合された半導体層 106a、106b を用いて電界効果トランジスタを作製することができる。半導体層 106a、106b は、結晶方位が一定である半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。

#### 【0072】

また、半導体基板を分離する熱処理の前に半導体基板の一部に溝を形成して分離した凸部を形成する。その後、分離した凸部を支持基板に接合し、半導体基板を分離する熱処理を行う。半導体基板を分離する熱処理により支持基板が収縮するため、支持基板上に接合されたSOI層の位置も変化する。しかしながら、SOI層は支持基板上に連続的に接合されてはならず、分離されているため、支持基板の収縮に伴うSOI層の歪応力の発生を抑えることが可能であり、膜剥れや接合力の低下を低減することが可能である。また、凸部を露光装置の一露光領域に概略対応させることにより、効率的に露光工程を行うことができる。この結果、歩留まり高く半導体装置を作製することができる。

#### 【0073】

(実施の形態2)

上記形態とは異なる半導体装置の作製方法について、図8乃至10を用いて説明する。ここでは、歩留まり高く半導体基板を支持基板に接合することが可能な半導体装置の作製について示す。

#### 【0074】

図8(A)に示すように、半導体基板101の表面を脱脂洗浄し、表面の酸化層を除去して熱酸化を行う。熱酸化としては通常のドライ酸化でも良いが、酸化雰囲気中にハロゲンを添加した酸化を行うことが好ましい。例えば、酸素に対しHClを0.5~10体積% (好ましくは3体積%) の割合で含む雰囲気中で、700 以上の温度で熱処理を行う。好適には950 ~ 1100 の温度で熱酸化を行うと良い。処理時間は0.1~6時間、好ましくは0.5~1時間とすれば良い。形成される酸化層の厚さとしては、10nm ~ 1000nm (好ましくは50nm ~ 200nm)、例えば100nmの厚さとする。

#### 【0075】

ハロゲンを含むものとしてはHClの他に、HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub> などから選ばれた一種又は複数種を適用することができる。

#### 【0076】

このような温度範囲で熱処理を行うことで、ハロゲン元素によるゲッタリング効果を得ることができる。ゲッタリングとしては、特に金属不純物を除去する効果がある。すなわち、ハロゲンの作用により、金属などの不純物が揮発性のハロゲン化物となって気相中へ離脱して除去される。半導体基板101の表面を化学的機械研磨(CMP)処理したものに對しては有効である。また、水素は半導体基板101と酸化層111の界面の欠陥を補償して界面の局在準位密度を低減する作用を奏する。

#### 【0077】

この熱処理により形成される酸化層111中にハロゲンを含ませることができる。ハロゲン元素は $1 \times 10^{16} / \text{cm}^3 \sim 5 \times 10^{20} / \text{cm}^3$  の濃度で含まれることにより金属などの不純物を捕獲して半導体基板101の汚染を防止する保護層としての機能を発現させることができる。

#### 【0078】

次に、図1(A)に示す工程と同様にブロッキング層102を酸化層111上に形成してもよい。ブロッキング層102及び酸化層111を形成することで、支持基板からの不

10

20

30

40

50

純物元素が半導体層に混入するのを防ぐことができる。

【0079】

次に、半導体基板101に脆弱領域103を形成する。図10(A)は、締め具で固定された半導体基板の上面の模式図を示している。なお、図10(A)のA-Bの断面図が、図8(A)に相当するものとする。

【0080】

脆弱領域103の位置(深さ)及び加速されたイオンのドーズ量を制御するためには、半導体基板101の端部を締め具112で固定しなければならない。しかしながら、締め具で覆われている領域には、締め具112がマスクとなり、半導体基板101にイオンを照射することができない。このため、当該領域において、剥離(分離)することが困難であり、厚さの異なる半導体層が接合されるという問題がある。

10

【0081】

そこで、図8(B)に示すように、締め具112で覆われた半導体基板101を除去し、溝113を形成する。溝113の形成方法は、図1(A)の溝107と同様に形成することができる。このとき、半導体基板101には凸部が形成される。また、凸部においては、連続的に脆弱領域103が形成される。一部エッチングされたブロッキング層102をブロッキング層102aと示す。なお、ここでは、連続的に形成された脆弱領域103とは、凸部をすべて横断するように形成されている脆弱領域のことをいう。

【0082】

図10(B)は、溝が形成された半導体基板の上面の模式図を示している。なお、図10(B)のA-Bの断面図が、図8(B)に相当するものとする。

20

【0083】

次に、図8(C)に示すように、ブロッキング層102a及び半導体基板の凸部に接合層104を形成する。

【0084】

次に、図8(D)に示すように、実施の形態1と同様に、接合層104の表面及び支持基板100の表面を脱脂処理し十分に清浄化する。次に接合層104の表面及び/または支持基板100の表面に複数の水酸基を付着させる処理を加える。または、接合層104の表面及び/または支持基板100の表面にイオンビームを照射し、表面を清浄化すると共に、表面を活性化する。この後、支持基板100及び接合層104を密着させて接合する。支持基板100と半導体基板101とを圧接することで、支持基板100と半導体基板101を強固に接合することが可能である。

30

【0085】

図9(A)は半導体基板101からSOI層105を剥離(分離)する段階を示す。半導体基板101と支持基板100を重ね合わせ密着させて、支持基板100に接合層104を接合した後、熱処理により、支持基板100上にSOI層105を残して半導体基板101を分離すると共に、接合面における接合強度を高めることができる。熱処理は接合層104の成膜温度以上で行うことが好ましく、400 以上600 未満の温度で行うことが好ましい。この温度範囲で熱処理を行うことで脆弱領域103に形成された微小な空洞に体積変化が起こり、脆弱領域103に沿って半導体層を分離することができる。接合層104は支持基板100と接合しているので、支持基板100上には半導体基板101と同じ結晶性のSOI層105が接合される。

40

【0086】

また、当該熱処理を行うことで、支持基板100と接合層104aの接合面においては水素結合を、より強固な共有結合に変化させることができる。また、SOI層105にエネルギービームを照射して、結晶欠陥を補修することが好ましい。

【0087】

図10(C)は、SOI層が接合された支持基板の上面の模式図を示している。なお、図10(C)のA-Bの断面図が、図9(A)に相当するものとする。締め具が設けられた半導体基板の領域には、加速されたイオンが照射されないため、当該領域では、半導体基

50

板を分離することができず、半導体基板が残存してしまうという問題があった。しかしながら、本実施の形態により、締め具が設けられた半導体基板の領域を除去し溝を形成することで、所定の厚さのSOI層を支持基板上に接合することができる。

【0088】

以上の工程により、SOI基板を作製することができる。

【0089】

次に、SOI層105を選択的にエッチングして、図9(B)に示すように、半導体層106a、106bを形成する。ここでは、SOI層105の一部を覆うようにフォトリソグラフィ工程により形成したレジストマスクを形成し、SOI層105を選択的にエッチングして、半導体層106a、106bを形成する。なお、SOI層105と同様に、酸化層111a、ブロック層102a、及び接合層104aをエッチングしてもよい。

10

【0090】

半導体層106a、106bは、酸化層111b、111c、ブロック層102b、102c、及び接合層104b、104cを介して支持基板100上に設けられる。ブロック層102b、102cは支持基板100側に設けられていても良い。ブロック層102b、102cを設けることで、半導体層106a、106bの汚染を防ぐことができる。

【0091】

なお、本実施の形態では、図8(A)に示すように、脆弱領域103を形成した後、半導体基板101に溝113を形成しているが、この代わりに締め具112が覆う半導体基板101の領域に溝113を形成した後、脆弱領域103を形成してもよい。

20

【0092】

また、実施の形態1において、本実施の形態を適宜用いることができる。

【0093】

このように、支持基板100に接合された半導体層106a、106bを用いて電界効果トランジスタを作製することができる。半導体層106a、106bは、結晶方位が一定の半導体層であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。

【0094】

30

本形態によれば、ガラス基板等の耐熱温度が700 以下の支持基板100であっても接合部の接合強度が強固な半導体層106a、106bを得ることができる。支持基板100として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。すなわち、一辺が1メートルを超える基板上に半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイのような表示装置のみならず、半導体集積回路を製造することができる。また、半導体基板に対しては、工程の最初の段階においてハロゲンを含む雰囲気中で熱酸化を行うことでゲッターリング作用が得られ、半導体基板を再利用する場合に有効である。

【0095】

40

また、半導体層106a、106bのバックチャネル側(ゲート電極122と反対側)にはハロゲンを含む酸化層111b、111cが設けられており、局在準位密度が低減されているので、しきい値電圧の変動を抑えることができる。さらに、支持基板100と半導体層106a、106bとの間にはハロゲンを含む酸化層111b、111cの他に、ブロック層102b、102cが設けられているので、支持基板100側からナトリウムなどの金属不純物が拡散して半導体層106a、106bを汚染することを防ぐことができる。

【0096】

また、半導体基板の凸部には連続的に脆弱層が形成されるため、所定の厚さのSOI層を支持基板上に接合することができる。このため、当該半導体層を用いて歩留まり高く半導

50

体装置を作製することができる。

【 0 0 9 7 】

(実施の形態 3)

上記形態とは異なる半導体装置の作製方法について、図 2 1 を用いて説明する。ここでは、歩留まり高く半導体基板を支持基板に接合することが可能な半導体装置の作製について示す。

【 0 0 9 8 】

実施の形態 2 と同様に、図 2 1 ( A ) に示すように、半導体基板 1 0 1 の表面を脱脂洗浄し、表面の酸化層を除去した後、熱酸化を行い、半導体基板 1 0 1 表面に酸化層 1 1 1 を形成する。ここでは、酸化雰囲気中にハロゲンを導入した酸化により、ハロゲン元素による金属不純物ゲッタリングを行い、半導体基板 1 0 1 と酸化層 1 1 1 の界面の欠陥を補償して、界面の局部準位密度を低下する。

【 0 0 9 9 】

次に、実施の形態 2 と同様に、酸化層 1 1 1 にブロッキング層 1 0 2 を形成してもよい。

【 0 1 0 0 】

次に、図 2 1 ( B ) に示すように、溝 1 1 3 を形成する。溝 1 1 3 の形成方法は、図 1 ( A ) の溝 1 0 7 と同様に形成することができる。このとき、半導体基板 1 0 1 には凸部が形成される。一部エッチングされたブロッキング層 1 0 2 をブロッキング層 1 0 2 a と示す。また、一部エッチングされた酸化層 1 1 1 を酸化層 1 1 1 a と示す。

【 0 1 0 1 】

次に、図 2 1 ( C ) に示すように、半導体基板 1 0 1 に脆弱領域 1 0 3 a ~ 1 0 3 c を形成する。ここでは、半導体基板 1 0 1 において溝 1 1 3 が形成された領域で締め具 1 1 2 を固定した後、半導体基板 1 0 1 に加速されたイオンを照射することで、脆弱領域 1 0 3 a ~ 1 0 3 c を形成する。凸部において連続的に脆弱領域 1 0 3 a が形成される。即ち、凸部を全て横断するように形成される脆弱領域 1 0 3 a を形成することができる。

【 0 1 0 2 】

この後、実施の形態 2 の図 8 ( C ) と同様に、ブロッキング層 1 0 2 a 及び半導体基板の凸部に接合層 1 0 4 を形成する。この後、実施の形態 2 と同様の工程により、支持基板 1 0 0 と半導体基板 1 0 1 を強固に接合した後、脆弱領域 1 0 3 において半導体基板 1 0 1 を分離して、支持基板 1 0 0 に S O I 層 1 0 5 が設けられた S O I 基板を作製することができる。また、実施の形態 2 と同様に、当該 S O I 層 1 0 5 を用いて電界効果トランジスタを作製することができる。

【 0 1 0 3 】

本実施の形態では、半導体基板の凸部には連続的に脆弱層が形成されるため、所定の厚さの S O I 層を支持基板上に接合することができる。このため、当該半導体層を用いて歩留まり高く半導体装置を作製することができる。

【 0 1 0 4 】

(実施の形態 4)

本実施の形態では、可撓性を有する半導体装置の作製方法について、図 1 1 乃至図 1 4 を用いて説明する。

【 0 1 0 5 】

図 1 1 ( A ) に示すように、実施の形態 2 と同様に、半導体基板 1 0 1 の表面の酸化層を除去した後、熱酸化を行い酸化層を形成する。ここでは、酸化雰囲気中に H C l を添加し 7 0 0 以上で加熱して熱処理を行い、塩素を含む酸化層 1 1 1 を形成する。次に、酸化層 1 1 1 上にブロッキング層 1 0 2 を形成する。次に、半導体基板 1 0 1 に脆弱領域 1 0 3 を形成する。

【 0 1 0 6 】

次に、図 1 1 ( B ) に示すように、半導体基板 1 0 1 の一部を除去し溝 1 0 7 を形成する。このとき、半導体基板 1 0 1 には凸部が形成される。一部エッチングされたブロッキング層 1 0 2 をブロッキング層 1 0 2 a 、 1 0 2 b と示す。また、一部エッチングされた脆

10

20

30

40

50



弱領域 103 を脆弱領域 103 a、103 b と示す。次に、ブロッキング層 102 a、102 b 及び半導体基板の凸部に接合層 104 を形成する。なお、支持基板表面に接合層が形成される場合は、必ずしも接合層 104 を設ける必要はない。

【0107】

次に、図 11 (C) に示すように、支持基板 141 上に下地層 142 を形成し、下地層 142 上に剥離層 143 を形成し、剥離層 143 上にブロッキング層 144 を形成し、ブロッキング層 144 上に接合層 145 を形成する。なお、半導体基板の表面に接合層が設けられる場合は、必ずしも接合層 145 を設ける必要はない。

【0108】

ここでは、支持基板 141 としては、脆弱領域に亀裂を生じさせる加熱処理温度（代表的には、400 乃至 600 ）に耐えうる耐熱性を有する基板が好ましく、代表的には、ガラス基板、石英基板、セラミック基板、金属基板、シリコンウエハー等を用いることができる。

10

【0109】

下地層 142 は、ブロッキング層 102 と同様に形成することができる。また、支持基板 141 及び剥離層 143 の密着性が高い場合は、下地層 142 を形成しなくとも良い。

【0110】

剥離層 143 としては、スパッタリング法やプラズマ CVD 法、塗布法、印刷法等により、タングステン、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、及び珪素の中から選択された元素、又は元素を主成分とする合金材料、又は元素を主成分とする化合物材料からなる層を、単層または複数の層を積層させて形成する。剥離層 143 として珪素を含む層を形成する場合、珪素を含む層の結晶構造は、非晶質、微結晶、多結晶のいずれの場合でもよい。ここでは、塗布法は、溶液を被処理物上に吐出させて形成する方法であり、例えばスピコート法や液滴吐出法を含む。また、液滴吐出法とは微粒子を含む組成物の液滴を微細な孔から吐出して所定の形状のパターンを形成する方法である。

20

【0111】

剥離層 143 が単層構造の場合、好ましくは、タングステン、モリブデン、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

30

【0112】

剥離層 143 が積層構造の場合、好ましくは、1 層目として金属層を形成し、2 層目として金属酸化物層を形成する。代表的には、1 層目としてタングステン、モリブデン、又はタングステンとモリブデンの混合物を含む層を形成し、2 層目として、タングステン、モリブデン、又はタングステンとモリブデンの混合物の酸化物、タングステン、モリブデン、又はタングステンとモリブデンの混合物の窒化物、タングステン、モリブデン、又はタングステンとモリブデンの混合物の酸化窒化物、又はタングステン、モリブデン、又はタングステンとモリブデンの混合物の窒化酸化物を含む層を形成する。

40

【0113】

剥離層 143 として、1 層目として金属層、2 層目として金属酸化物層の積層構造を形成する場合、金属層、例えばタングステンを含む層を形成し、その上層に酸化物で形成される層間絶縁層 132、例えば酸化珪素層を形成することで、タングステンを含む層と絶縁層との界面に、金属酸化物層、例えばタングステンの酸化物を含む層が形成されることを活用してもよい。さらには、金属層の表面に、熱酸化処理、酸素プラズマ処理、オゾン水等の酸化力の強い溶液での処理等を行って金属酸化物層を形成してもよい。

【0114】

50

さらには、剥離層 143 として、1 層目として金属層、2 層目として金属窒化物層、金属酸化窒化物層を形成してもよい。代表的には、1 層目としてタングステンを含む層を形成した後、2 層目として、窒化タングステン層、酸化窒化タングステン層を形成すればよい。

【0115】

ブロッキング層 144 としては、実施の形態 1 に示すブロッキング層 102 と同様に形成することができる。

【0116】

接合層 145 は、実施の形態 1 に示す接合層 104 と同様に形成することができる。

【0117】

次に、図 11 (D) に示すように、実施の形態 1 と同様に、接合層 104 の表面及び支持基板 141 の表面を十分に清浄化する。次に接合層 104 の表面及び / または支持基板 141 の表面に複数の水酸基を付着させる処理を加える。または、接合層 104 の表面及び / または支持基板 141 の表面にイオンビームを照射し、表面を清浄化すると共に、表面を活性化する。この後、支持基板 141 上に形成される接合層 145 と、半導体基板 101 に形成される接合層 104 とを密着させることで接合する。

【0118】

ここで、半導体基板表面の積層構造及び支持基板の積層構造について、図 14 を用いて説明する。

【0119】

図 14 (A) に示すように、支持基板 141 上には、下地層 142、剥離層 143、及びブロッキング層 144 の 3 層構造とし、半導体基板 101 の表面には酸化層 111 及び接合層 104 が積層されていてもよい。このような構造の支持基板 141 及び半導体基板 101 を密接させることにより、ブロッキング層 144 及び接合層 104 を接合することができる。

【0120】

また、図示しないが、支持基板上には、下地層、剥離層、ブロッキング層、及び接合層の 4 層構造とし、半導体基板の表面には酸化層が形成されていてもよい。このような構造の支持基板及び半導体基板を密接させることにより、接合層及び酸化層を接合することができる。

【0121】

即ち、ブロッキング層を、支持基板 141 または半導体基板 101 の一方に設けることで、外部からの不純物が半導体層に混入するのを防ぐことができる。また、接合層を支持基板 141 または半導体基板 101 の一方に設けることで、支持基板 141 及び半導体基板 101 を接合することができる。さらには、支持基板 141 及び半導体基板 101 の積層数を削減することが可能であり、スループットを向上させることができる。

【0122】

また、図 14 (B) に示すように、半導体基板 101 を熱酸化して酸化層を形成せず、半導体基板 101 に接するように接合層 104 を形成してもよい。この場合は、支持基板 141 上には、下地層 142、剥離層 143、及びブロッキング層 144 の積層構造とする。

【0123】

また、図示しないが、支持基板上には、下地層、剥離層、ブロッキング層、及び接合層の 4 層構造とし、支持基板及び半導体基板を密接させることにより、接合層及び酸化層を接合することができる。

【0124】

即ち、熱酸化層を設けずとも、ブロッキング層を、支持基板 141 に設けることで、外部からの不純物が半導体層に混入するのを防ぐことができる。また、接合層を支持基板 141 または半導体基板 101 の一方に設けることで、支持基板 141 及び半導体基板 101 を接合することができる。さらには、支持基板 141 及び半導体基板 101 の積層数を削

10

20

30

40

50

減することが可能であり、スループットを向上させることができる。

【0125】

次に、図12(A)に示すように、加熱処理、加圧処理、又は加熱処理と加圧処理を行うことで、脆弱領域103a、103bを劈開面(単結晶半導体基板が分離する領域のことをいい、分離領域ともいう。)として半導体基板101を支持基板141から剥離(分離)すると共に、接合面の接合強度を高める。加熱処理の温度は、支持基板141の耐熱温度以下であることが好ましい。例えば、400乃至600の熱処理を行うことにより、脆弱領域103a、103bに形成された微小な空洞の体積変化が起こり、脆弱領域103a、103bに沿って分離することが可能となる。

【0126】

このとき、加熱処理の代わりに、半導体基板101からレーザビームを照射して、脆弱領域103a、103bに形成された微小な空洞の体積変化を行っても良い。レーザビームとしては、半導体基板を透過し、脆弱領域103a、103bに含まれる元素に吸収される波長を用いることが好ましく、代表的には赤外光を用いることができる。

【0127】

半導体基板101を剥離(分離)した後、SOI層105a、105bの表面を平坦化することが好ましい。代表的には、CMPや上記レーザビームを照射する。また、得られたSOI層の薄層化を目的として、CMP等を行ってもよい。

【0128】

次に、SOI層105a、105bを選択的にエッチングして、図12(B)に示すように、半導体層106a、106bを形成する。なお、この際、酸化層111b、111c及び接合層104a、104bの一部をエッチングしてもよい。ここでは、一部エッチングされた酸化層を酸化層111d、111eと示し、エッチングされた接合層を接合層104c、104dと示す。また、ブロッキング層102c、102d、接合層104a、104b、接合層145を選択的にエッチングしてもよい。

【0129】

次に、図3及び図4の工程を経て、図12(C)に示すように、半導体層106a、106bを用いて電界効果トランジスタを含む素子層151を形成する。次に、素子層151上に可撓性基板152を設ける。可撓性基板152及び素子層151を熱圧着することにより、素子層151に可撓性基板152を固着させることができる。また、素子層151に接着材(図示しない)を用いて可撓性基板152を固着することができる。可撓性基板152としては、可撓性を有し且つ絶縁表面を有する基板であり、代表的には可撓性を有する絶縁基板、表面に絶縁層が形成された可撓性を有する金属基板等である。可撓性を有する絶縁基板としては、PET(ポリエチレンテレフタレート)、PEN(ポリエチレンナフタレート)、PES(ポリエーテルスルホン)、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、ポリフタルアミド等からなるプラスチック基板、または繊維質な材料からなる紙がある。

【0130】

また、可撓性を有する絶縁基板としては、プリプレグを用いることで、後に作製されるSOI基板や半導体装置の点圧、線圧による破壊を防ぐことが可能である。プリプレグの代表例としては、ポリビニルアルコール系繊維、ポリエステル系繊維、ポリアミド系繊維、ポリエチレン系繊維、アラミド系繊維、ポリパラフェニレンベンゾビスオキサゾール繊維、ガラス繊維、または炭素繊維等の繊維体に、エポキシ樹脂、不飽和ポリエステル樹脂、ポリイミド樹脂、フッ素樹脂等のマトリックス樹脂を有機溶剤で希釈したワニスを含浸させた後、乾燥して有機溶剤を揮発させてマトリックス樹脂を半硬化させたものである。

【0131】

表面に絶縁層が形成された可撓性を有する金属基板としては、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化アルミニウム層、酸化アルミニウム層等の絶縁層が形成された金属フィルムまたは金属シート等がある。なお、絶縁層は上記列挙した絶縁層に限定されず、

10

20

30

40

50

適宜適用することができる。

【0132】

次に、図13(A)に示すように、支持基板141から、可撓性基板152及び素子層151を含む積層体を物理的手段により剥離する。または、剥離層143及びブロッキング層144界面に液体を浸透させて支持基板141から、可撓性基板152及び素子層151を含む積層体を剥離する。

【0133】

物理的手段とは、力学的手段または機械的手段を指し、何らかの力学的エネルギー（機械的エネルギー）を変化させる手段を指しており、その手段は、代表的には機械的な力を加えること（例えば人間の手や把持具で引き剥がす処理や、ローラーを回転させながら分離する処理）である。このとき、支持基板141または可撓性基板152の少なくとも一方の表面に、光または熱により剥離可能な粘着シートを設けると、さらに剥離が容易となる。

10

【0134】

ここでは、剥離層143及びブロッキング層144の界面、剥離層143、または支持基板141及び剥離層143の界面のいずれかで剥離が生じ、下地層142から素子層151及び可撓性基板152を含む積層体を剥離することができる。

【0135】

なお、剥離層143において支持基板141から、可撓性基板152及び素子層151を含む積層体を剥離する前に、剥離を容易に行うためにきっかけをつくってもよい。さらには、可撓性基板152及び素子層151を含む積層体を支持基板141から剥離する際、支持基板141または可撓性基板152の少なくとも一方の表面に光または熱により剥離可能な粘着シートを設け、支持基板141または可撓性基板152の一方を固定し、他方を引き剥がすことで、さらに剥離が容易となる。

20

【0136】

次に、図13(B)に示すように、ブロッキング層144に可撓性基板153を接着する。可撓性基板153は、可撓性基板152に列挙したものを適宜用いることができる。

【0137】

この後、素子層151に複数の半導体装置が含まれる場合、素子層151及び可撓性基板152、153を分断して、複数の半導体装置を切り出してもよい。このような工程により、薄型で可撓性を有する複数の半導体装置を作製することができる。

30

【0138】

本実施の形態では、支持基板上に接合したSOI層を用いて電界効果トランジスタを形成した後、支持基板から電界効果トランジスタを有する素子層を剥離して、可撓性を有し薄型の半導体装置を作製する。支持基板は可撓性を有する基板と比較して扱いやすいため、作製工程におけるハンドリングがしやすく、歩留まりを高めることができる。

【0139】

本形態に係るSOI層105a、105bは、結晶方位が一定の半導体層であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。さらには、支持基板100及びSOI層105a、105bの間にブロッキング層102c、102dが設けられているため、支持基板からの不純物がSOI層に侵入することを防ぐことが可能であるため、素子層に形成されるトランジスタの特性ばらつきを抑えることができる。

40

【0140】

（実施の形態5）

本実施の形態では、実施の形態4とは異なる半導体装置の作製方法について、図22を用いて説明する。本実施の形態では、可撓性を有する半導体装置の作製方法について示す。

【0141】

図22(A)に示すように、実施の形態2と同様に半導体基板101として、単結晶半導

50

体基板を用い、その表面の酸化層を除去した後、熱酸化を行い酸化層 1 1 1 を形成する。次に、酸化層 1 1 1 上にブロッキング層 1 0 2 を形成する。

【 0 1 4 2 】

次に、図 2 2 ( B ) に示すように、実施の形態 2 と同様に半導体基板 1 0 1 の一部を除去し溝 1 0 7 を形成する。このとき、半導体基板 1 0 1 には凸部が形成される。一部エッチングされたブロッキング層 1 0 2 をブロッキング層 1 0 2 a、1 0 2 b と示す。

【 0 1 4 3 】

次に、図 2 2 ( C ) に示すように、実施の形態 2 と同様に半導体基板 1 0 1 に脆弱領域 1 0 3 a ~ 1 0 3 c を形成する。

【 0 1 4 4 】

次に、図 2 2 ( D ) に示すように、実施の形態 2 と同様にブロッキング層 1 0 2 a、1 0 2 b 及び半導体基板の凸部に接合層 1 0 4 を形成する。なお、支持基板表面に接合層が形成される場合は、必ずしも接合層 1 0 4 を設ける必要はない。

【 0 1 4 5 】

次に、実施の形態 4 と同様に、図 1 1 ( C ) に示すように、支持基板 1 4 1 上に、下地層 1 4 2、剥離層 1 4 3、ブロッキング層 1 4 4、接合層 1 4 5 を順に成膜する。

【 0 1 4 6 】

この後、実施の形態 4 と同様に、図 1 1 ( D ) に示すように、支持基板 1 4 1 上に形成される接合層 1 4 5 と、半導体基板 1 0 1 に形成される接合層 1 0 4 とを密着させることで接合する。次に、図 1 2 ( A ) に示すように、脆弱領域 1 0 3 a、1 0 3 b を分離面として半導体基板 1 0 1 を支持基板 1 4 1 から剥離（分離）し、図 1 2 ( A ) に示すように、支持基板上に S O I 層 1 0 5 a、1 0 5 b を設ける。次に、S O I 層 1 0 5 a、1 0 5 b を用いて、実施の形態 1 と同様に、図 1 2 ( C ) に示すように、電界効果トランジスタを形成すると共に、電界効果トランジスタを含む素子層 1 5 1 を形成する。つぎに、素子層 1 5 1 に可撓性基板 1 5 2 を固着させた後、図 1 3 ( A ) に示すように、支持基板 1 4 1 から、可撓性基板 1 5 2 及び素子層 1 5 1 を含む積層体を物理的手段により剥離する。または、剥離層 1 4 3 及びブロッキング層 1 4 4 界面に液体を浸透させて支持基板 1 4 1 から、可撓性基板 1 5 2 及び素子層 1 5 1 を含む積層体を剥離する。次に、図 1 3 ( B ) に示すように、ブロッキング層 1 4 4 に可撓性基板 1 5 3 を接着する。このような工程により、可撓性を有する半導体装置を作製することができる。

【 0 1 4 7 】

この後、素子層 1 5 1 に複数の半導体装置が含まれる場合、素子層 1 5 1 及び可撓性基板 1 5 2、1 5 3 を分断して、複数の半導体装置を切り出してもよい。このような工程により、薄型で可撓性を有する複数の半導体装置を作製することができる。

【 0 1 4 8 】

本実施の形態では、支持基板上に接合した S O I 層を用いて電界効果トランジスタを形成した後、支持基板から電界効果トランジスタを有する素子層を剥離して、可撓性を有し薄型の半導体装置を作製する。支持基板は可撓性を有する基板と比較して扱いやすいため。作製工程におけるハンドリングがしやすく、歩留まりを高めることができる。

【 0 1 4 9 】

本形態に係る S O I 層 1 0 5 a、1 0 5 b は、結晶方位が一定の半導体層であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。さらには、支持基板 1 0 0 及び S O I 層 1 0 5 a、1 0 5 b の間にブロッキング層 1 0 2 a、1 0 2 b が設けられているため、基板からの不純物が S O I 層に侵入することを防ぐことが可能であるため、素子層に形成されるトランジスタの特性ばらつきを抑えることができる。

【 0 1 5 0 】

( 実施の形態 6 )

本実施の形態は、半導体装置の一形態を図 1 5 を用いて示す。図 1 5 は半導体装置の一例

10

20

30

40

50

として、SOI基板により得られるマイクロプロセッサ200の構成を示す。マイクロプロセッサ200は、上記したように本発明に係る半導体基板により製造されるものである。このマイクロプロセッサ200は、演算回路201(Arithmetic logic unit; ALUともいう。)、演算回路制御部202(ALU Controller)、命令解析部203(Instruction Decoder)、割り込み制御部204(Interrupt Controller)、タイミング制御部205(Timing Controller)、レジスタ206(Register)、レジスタ制御部207(Register Controller)、バスインターフェース208(Bus I/F)、読み出し専用メモリ209(ROM)、及びメモリインターフェース210(ROM I/F)を有している。

10

#### 【0151】

バスインターフェース208を介してマイクロプロセッサ200に入力された命令は命令解析部203に入力され、デコードされた後に演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205に入力される。演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205は、デコードされた命令に基づき各種制御を行う。具体的に演算回路制御部202は、演算回路201の動作を制御するための信号を生成する。また、割り込み制御部204は、マイクロプロセッサ200のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部207は、レジスタ206のアドレスを生成し、マイクロプロセッサ200の状態に応じてレジスタ206

20

#### 【0152】

このようなマイクロプロセッサ200は、絶縁表面を有する支持基板に接合された結晶方位が一定の半導体層(単結晶半導体層)によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。また、支持基板と半導体層との間には、ブロッキング層が設けられているので、支持基板側からナトリウムなどの金属不純物が拡散して半導体層を汚染することを防ぐことができる。

30

#### 【0153】

##### (実施の形態7)

本実施の形態は、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一形態を図16を用いて示す。ここでは、SOI基板により得られるRFICPUの構成について図16を参照して説明する。図16は無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RFICPU」という)の一例を示す。RFICPU211は、アナログ回路部212とデジタル回路部213を有している。アナログ回路部212として、共振容量を有する共振回路214、整流回路215、定電圧回路216、リセット回路217、発振回路218、復調回路219、変調回路220、電源管理回路230を有している。デジタル回路部213は、RFインターフェース221、制御レジスタ222、クロックコントローラ223、インターフェース224(CPUインターフェース)、中央処理ユニット225(CPU)、ランダムアクセスメモリ226(RAM)、読み出し専用メモリ227(ROM)を有している。

40

#### 【0154】

このような構成のRFICPU211の動作は概略以下の通りである。アンテナ228が受信した信号を元に共振回路214により誘導起電力が生じる。誘導起電力は整流回路215を経て容量部229に充電される。この容量部229はセラミックコンデンサーや電気

50

二重層コンデンサなどのキャパシタで形成されていることが好ましい。容量部 229 は R F C P U 2 1 1 と一体形成されている必要はなく、別部品として R F C P U 2 1 1 を構成する絶縁表面を有する基板に取り付けられていれば良い。

#### 【0155】

リセット回路 217 は、デジタル回路部 213 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 218 は定電圧回路 216 により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。ローパスフィルタで形成される復調回路 219 は、例えば振幅変調 ( A S K ) 方式の受信信号の振幅の変動を二値化する。変調回路 220 は、振幅変調 ( A S K ) 方式の送信信号の振幅を変動させて送信する。変調回路 220 は、共振回路 214 の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ 223 は、電源電圧又は中央処理ユニット 225 における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 230 が行っている。

#### 【0156】

アンテナ 228 から R F C P U 2 1 1 に入力された信号は復調回路 219 で復調された後、R F インターフェース 221 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 222 に格納される。制御コマンドには、読み出し専用メモリ 227 に記憶されているデータの読み出し、ランダムアクセスメモリ 226 へのデータの書き込み、中央処理ユニット 225 への演算命令などが含まれている。中央処理ユニット 225 は、インターフェース 224 を介して読み出し専用メモリ 227、ランダムアクセスメモリ 226、制御レジスタ 222 にアクセスする。インターフェース 224 は、中央処理ユニット 225 が要求するアドレスより、読み出し専用メモリ 227、ランダムアクセスメモリ 226、制御レジスタ 222 のいずれかに対するアクセス信号を生成する機能を有している。

#### 【0157】

中央処理ユニット 225 の演算方式は、読み出し専用メモリ 227 に O S (オペレーティングシステム) を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使って中央処理ユニット 225 が実行する方式を適用することができる。

#### 【0158】

このような R F C P U 2 1 1 は、絶縁表面を有する基板若しくは絶縁基板に接合された結晶方位が一定の半導体層 (単結晶半導体層) によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部 229 を小型化しても長時間の動作を保証することができる。図 16 では R F C P U の形態について示しているが、通信機能、演算処理機能、メモリ機能を備えたものであれば、I C タグのようなものであっても良い。

#### 【0159】

(実施の形態 8)

上記実施の形態に示すような S O I 層は表示パネルを製造するマザーガラスと呼ばれる大型のガラス基板に接合することもできる。図 17 は支持基板 100 としてマザーガラスに S O I 層 105 を接合する場合を示す。マザーガラスからは複数の表示パネルを切り出すが、S O I 層 105 は、表示パネル 162 の形成領域に合わせて接合することが好ましい。半導体基板に比べて、マザーガラス基板は面積が大きいのので、図 17 で示すように、表示パネル 162 の形成領域の内側に S O I 層 105 を複数個配置することが好ましい。これによって、S O I 層 105 を支持基板 100 上に複数個並べて配置する場合にも、隣接間隔に余裕を持たせることができる。表示パネル 162 には、走査線駆動回路領域 163、信号線駆動回路領域 164、画素形成領域 165 があり、これらの領域が含まれるよう

10

20

30

40

50

にSOI層105を支持基板100に接合する。

【0160】

図18は、大型のガラス基板上に接合された半導体層により画素トランジスタが形成される液晶表示装置の画素の一例を示す。図18(A)は画素の平面図を示し、半導体層に走査線166が交差し、信号線167、画素電極168が接続する画素を示す。図18(A)に示すJ-K切断線に対応する断面図が図18(B)に示されている。

【0161】

図18(B)において、支持基板100上に、接合層104c、ブロッキング層102c、半導体層106が積層された構造を有する部分があり、画素トランジスタはそのような領域を含んで構成されている。層間絶縁層128上に画素電極168が設けられている。半導体層106と信号線167を接続するコンタクトホールには層間絶縁層128をエッチングして凹段差が生じるのでそこを埋めるように柱状スペーサ171が設けられている。対向基板169には対向電極170が形成され、柱状スペーサ171によって形成される空隙に液晶層172が形成されている。

10

【0162】

図19(A)は、大型のガラス基板上に接合された半導体層により画素部のトランジスタが形成されるエレクトロルミネセンス表示装置の一例を示す。図19(A)は画素の平面図を示し、信号線167に接続する選択トランジスタ173と、電源線175に接続する表示制御トランジスタ174を有している。この表示装置はエレクトロルミネセンス材料を含んで形成される層(EL層)を電極間に挟んだ発光素子が各画素に設けられる構成となっている。画素電極168は表示制御トランジスタ174に接続されている。図19(B)はこのような画素の要部を示す断面図である。

20

【0163】

図19(B)において、支持基板100として大型のガラス基板を用い、当該支持基板100上に接合層104c、ブロッキング層102c、半導体層106が積層された構造を有する部分があり、表示制御トランジスタはそのような領域を含んで構成されている。接合層104c、ブロッキング層102c、半導体層106、層間絶縁層128などの構成は図18(B)と同様である。第1の電極168は周辺部が絶縁性の隔壁層176で囲まれている。第1の電極168上にはEL層177が形成されている。EL層177上には第2の電極170が形成されている。画素部は封止樹脂178が充填され、補強板として基板169が設けられている。

30

【0164】

本形態のエレクトロルミネセンス表示装置はこのような画素をマトリクス状に配列させて表示画面を構成する。この場合、画素のトランジスタのチャネル部が、支持基板100に接合された半導体層106で形成されるので、半導体層106が単結晶半導体層で形成される場合、各トランジスタ間で特性バラツキがなく、画素毎の発光輝度に斑が出ないという利点がある。従って、発光素子の明るさを電流で制御して駆動することが容易となり、トランジスタ特性のバラツキを補正する補正回路も不要となるので、駆動回路の負担を低減することができる。さらに支持基板100として透光性の基板を選択することができるので、支持基板100側から光を放射する、ボトムエミッション型のエレクトロルミネ

40

【0165】

このように、表示装置を製造するマザーガラスにも、接合した半導体基板の一部を用いた半導体層を用いてトランジスタを形成することが可能である。当該半導体層で形成されるトランジスタは、アモルファスシリコントランジスタよりも電流駆動能力など全ての動作特性が優れているので、トランジスタのサイズを小型化することができる。それにより、表示パネルにおける画素部の開口率を向上させることができる。また、図15及び図16で説明したようなマイクロプロセッサも形成することができるので、表示装置内にコンピュータの機能を搭載することもできる。また非接触でデータの入出力を可能としたディスプレイを作製することもできる。

50



## 【 0 1 6 6 】

## (実施の形態 9)

本発明によれば様々な電気器具を構成することができる。電気器具としては、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には DVD (digital versatile disc) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが含まれる。

## 【 0 1 6 7 】

図 20 (A) は携帯電話機 301 の一例を示している。この携帯電話機 301 は、表示部 302、操作部 303 などを含んで構成されている。表示部 302 においては、図 18 で説明した液晶表示装置又は図 19 で説明したエレクトロルミネッセンス表示装置を適用することができる。実施の形態 8 に係る表示装置を適用することで、表示斑が少なく画質の優れた表示部を構成することができる。さらに携帯電話機 301 に含まれるマイクロプロセッサやメモリにも実施の形態 6、7 の半導体装置を適用することができる。

## 【 0 1 6 8 】

また、図 20 (B) は、デジタルプレーヤー 304 を示しており、オーディオ装置の 1 つの代表例である。図 20 (B) に示すデジタルプレーヤー 304 は、表示部 302、操作部 303、イヤホン 305 などを含んでいる。イヤホン 305 の代わりにヘッドホンや無線式イヤホンを用いることができる。デジタルプレーヤー 304 は音楽情報を記憶するメモリ部や、デジタルプレーヤー 304 を機能させるマイクロプロセッサに本発明の半導体装置を適用することができる。本構成のデジタルプレーヤー 304 は小型軽量化が可能であるが、表示部 302 においては、図 18 で説明した液晶表示装置又は図 19 で説明したエレクトロルミネッセンス表示装置を適用することで、画面サイズが 0.3 インチから 2 インチ程度の場合であっても高精細な画像若しくは文字情報を表示することができる。

## 【 0 1 6 9 】

また、図 20 (C) は、電子ブック 306 を示している。この電子ブック 306 は、表示部 302、操作部 303 を含んでいる。またモデムが内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。電子ブック 306 は情報を記憶するメモリ部や、電子ブック 306 を機能させるマイクロプロセッサに実施の形態 6、7 の半導体装置を適用することができる。メモリ部は、記録容量が 20 ~ 200 ギガバイト (GB) の NOR 型不揮発性メモリを用い、映像や音声 (音楽) を記録、再生することができる。表示部 302 においては、図 18 で説明した液晶表示装置又は図 19 で説明したエレクトロルミネッセンス表示装置を適用することで、高画質の表示を行うことができる。

## 【 0 1 7 0 】

## (実施の形態 10)

以下において、本発明の特徴の一であるイオンの照射方法について考察する。

## 【 0 1 7 1 】

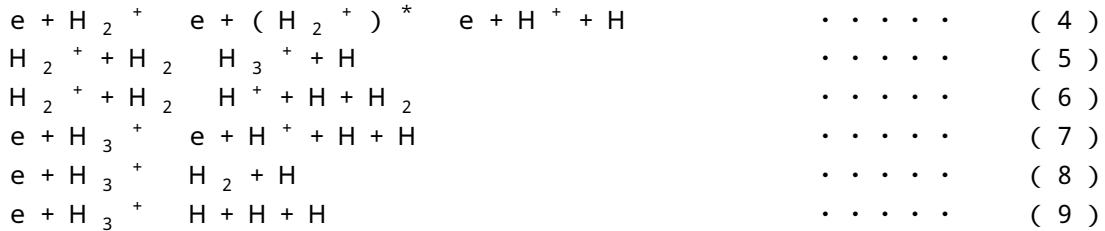
本発明では、水素 (H) に由来するイオン (以下「水素イオン種」と呼ぶ) を単結晶半導体基板に対して照射している。より具体的には、水素ガス又は水素を組成に含むガスを原材料として用い、水素プラズマを発生させ、該水素プラズマ中の水素イオン種を単結晶半導体基板に対して照射している。

## 【 0 1 7 2 】

## (水素プラズマ中のイオン)

上記のような水素プラズマ中には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$  といった水素イオン種が存在する。ここで、各水素イオン種の反応過程 (生成過程、消滅過程) について、以下に反応式を列挙する。





## 【0173】

図23に、上記の反応の一部を模式的に表したエネルギーダイアグラムを示す。なお、図23に示すエネルギーダイアグラムは模式図に過ぎず、反応に係るエネルギーの関係を厳密に規定するものではない点に留意されたい。

10

## 【0174】

( $H_3^+$ の生成過程)

上記のように、 $H_3^+$ は、主として反応式(5)により表される反応過程により生成される。一方で、反応式(5)と競合する反応として、反応式(6)により表される反応過程が存在する。 $H_3^+$ が増加するためには、少なくとも、反応式(5)の反応が、反応式(6)の反応より多く起こる必要がある(なお、 $H_3^+$ が減少する反応としては他にも(7)、(8)、(9)が存在するため、(5)の反応が(6)の反応より多いからといって、必ずしも $H_3^+$ が増加するとは限らない)。反対に、反応式(5)の反応が、反応式(6)の反応より少ない場合には、プラズマ中における $H_3^+$ の割合は減少する。

## 【0175】

20

上記反応式における右辺(最右辺)の生成物の増加量は、反応式の左辺(最左辺)で示す原料の密度や、その反応に係る速度係数などに依存している。ここで、 $H_2^+$ の運動エネルギーが約11eVより小さい場合には(5)の反応が主要となり(すなわち、反応式(5)に係る速度係数が、反応式(6)に係る速度係数と比較して十分に大きくなり)、 $H_2^+$ の運動エネルギーが約11eVより大きい場合には(6)の反応が主要となることが実験的に確認されている。

## 【0176】

荷電粒子は電場から力を受けて運動エネルギーを得る。該運動エネルギーは、電場によるポテンシャルエネルギーの減少量に対応している。例えば、ある荷電粒子が他の粒子と衝突するまでの間に得る運動エネルギーは、その間に通過した電位差分のポテンシャルエネルギーに等しい。つまり、電場中において、他の粒子と衝突することなく長い距離を移動できる状況では、そうではない状況と比較して、荷電粒子の運動エネルギー(の平均)は大きくなる傾向にある。このような、荷電粒子に係る運動エネルギーの増大傾向は、粒子の平均自由行程が大きい状況、すなわち、圧力が低い状況で生じ得る。

30

## 【0177】

また、平均自由行程が小さくとも、その間に大きな運動エネルギーを得ることができる状況であれば、荷電粒子の運動エネルギーは大きくなる。すなわち、平均自由行程が小さくとも、電位差が大きい状況であれば、荷電粒子の持つ運動エネルギーは大きくなると言える。

## 【0178】

40

これを $H_2^+$ に適用してみる。プラズマの生成に係るチャンパー内のように電場の存在を前提とすれば、該チャンパー内の圧力が低い状況では $H_2^+$ の運動エネルギーは大きくなり、該チャンパー内の圧力が高い状況では $H_2^+$ の運動エネルギーは小さくなる。つまり、チャンパー内の圧力が低い状況では(6)の反応が主要となるため、 $H_3^+$ は減少する傾向となり、チャンパー内の圧力が高い状況では(5)の反応が主要となるため、 $H_3^+$ は増加する傾向となる。また、プラズマ生成領域における電場(又は電界)が強い状況、すなわち、ある二点間の電位差が大きい状況では $H_2^+$ の運動エネルギーは大きくなり、反対の状況では、 $H_2^+$ の運動エネルギーは小さくなる。つまり、電場が強い状況では(6)の反応が主要となるため $H_3^+$ は減少する傾向となり、電場が弱い状況では(5)の反応が主要となるため、 $H_3^+$ は増加する傾向となる。

50

## 【 0 1 7 9 】

(イオン源による差異)

ここで、イオン種の割合（特に  $H_3^+$  の割合）が異なる例を示す。図 2 4 は、100% 水素ガス（イオン源の圧力： $4.7 \times 10^{-2}$  Pa）から生成されるイオンの質量分析結果を示すグラフである。なお、上記質量分析は、イオン源から引き出されたイオンを測定することにより行った。横軸はイオンの質量である。スペクトル中、質量 1、2、3 のピークは、それぞれ、 $H^+$ 、 $H_2^+$ 、 $H_3^+$  に対応する。縦軸は、スペクトルの強度であり、イオンの数に対応する。図 2 4 では、質量が異なるイオンの数量を、質量 3 のイオンを 100 とした場合の相対比で表している。図 2 4 から、上記イオン源により生成されるイオンの割合は、 $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$  程度となることが分かる。なお、この

10

## 【 0 1 8 0 】

図 2 5 は、図 2 4 とは異なるイオン源を用いた場合であって、イオン源の圧力がおよそ  $3 \times 10^{-3}$  Pa の時に、 $PH_3$  から生成したイオンの質量分析結果を示すグラフである。上記質量分析結果は、水素イオン種に着目したものである。また、質量分析は、イオン源から引き出されたイオンを測定することにより行った。図 2 4 と同様、横軸はイオンの質量を示し、質量 1、2、3 のピークは、それぞれ  $H^+$ 、 $H_2^+$ 、 $H_3^+$  に対応する。縦軸はイオンの数量に対応するスペクトルの強度である。図 2 5 から、プラズマ中のイオ

20

## 【 0 1 8 1 】

図 2 5 のデータを得たイオン源の場合には、 $H^+$ 、 $H_2^+$  及び  $H_3^+$  のうち、 $H_3^+$  が 7% 程度しか生成されていない。他方、図 2 4 のデータを得たイオン源の場合には、 $H_3^+$  の割合を 50% 以上（上記の条件では 80% 程度）とすることが可能である。これは、上記考察において明らかになったチャンパー内の圧力及び電場に起因するものと考えられる。

## 【 0 1 8 2 】

(  $H_3^+$  の照射メカニズム )

図 2 4 のような複数のイオン種を含むプラズマを生成し、生成されたイオン種を質量分離しないで単結晶半導体基板に照射する場合、単結晶半導体基板の表面には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$  の各イオンが照射される。イオンの照射からイオン導入領域形成にかけてのメカニズムを再現するために、以下の 5 種類のモデルを考える。

1. 照射されるイオン種が  $H^+$  で、照射後も  $H^+$  (  $H$  ) である場合
2. 照射されるイオン種が  $H_2^+$  で、照射後も  $H_2^+$  (  $H_2$  ) のままである場合
3. 照射されるイオン種が  $H_2^+$  で、照射後に 2 個の  $H$  (  $H^+$  ) に分裂する場合
4. 照射されるイオン種が  $H_3^+$  で、照射後も  $H_3^+$  (  $H_3$  ) のままである場合
5. 照射されるイオン種が  $H_3^+$  で、照射後に 3 個の  $H$  (  $H^+$  ) に分裂する場合

40

## 【 0 1 8 3 】

(シミュレーション結果と実測値との比較)

上記のモデルを基にして、水素イオン種を Si 基板に照射する場合のシミュレーションを行った。シミュレーション用のソフトウェアとしては、SRIM ( the Stopping and Range of Ions in Matter : モンテカル口法によるイオン導入過程のシミュレーションソフトウェア、TRIM ( the Transport of Ions in Matter ) の改良版 ) を用いている。なお、計算の関係上、モデル 2 では  $H_2^+$  を質量 2 倍の  $H^+$  に置き換えて計算した。また、モデル 4 では  $H_3^+$  を質量 3 倍の  $H^+$  に置き換えて計算した。さらに、モデル 3 では  $H_2^+$  を運動エネルギー 1 / 2 の  $H^+$  に置き換え、モデル 5 では  $H_3^+$  を運動エネルギー 1 / 3 の  $H^+$  に

50

置き換えて計算を行った。

#### 【 0 1 8 4 】

なお、S R I M は非晶質構造を対象とするソフトウェアではあるが、高エネルギー、高ドーズの条件で水素イオン種を照射する場合には、S R I M を適用可能である。水素イオン種と S i 原子の衝突により、S i 基板の結晶構造が非単結晶構造に変化するためである。

#### 【 0 1 8 5 】

図 2 6 に、モデル 1 乃至モデル 5 を用いて水素イオン種を照射した場合（H 換算で 1 0 万個照射時）の計算結果を示す。また、図 2 4 の水素イオン種を照射した S i 基板中の水素濃度（S I M S（S e c o n d a r y I o n M a s s S p e c t r o s c o p y）のデータ）をあわせて示す。モデル 1 乃至モデル 5 を用いて行った計算の結果については、縦軸を水素原子の数で表しており（右軸）、S I M S データについては、縦軸を水素原子の濃度で表している（左軸）。横軸は S i 基板表面からの深さである。実測値である S I M S データと、計算結果とを比較した場合、モデル 2 及びモデル 4 は明らかに S I M S データのピークから外れており、また、S I M S データ中にはモデル 3 に対応するピークも見られない。このことから、モデル 2 乃至モデル 4 の寄与は、相対的に小さいことが分かる。イオンの運動エネルギーが k e V 台であるのに対して、H - H の結合エネルギーは数 e V 程度に過ぎないことを考えれば、モデル 2 及びモデル 4 の寄与が小さいのは、S i 元素との衝突により、大部分の  $H_2^+$  や  $H_3^+$  が、 $H^+$  や H に分離しているためと思われる。

#### 【 0 1 8 6 】

以上より、モデル 2 乃至モデル 4 については、以下では考慮しない。図 2 7 乃至図 2 9 に、モデル 1 及びモデル 5 を用いて水素イオン種を照射した場合（H 換算で 1 0 万個照射時）の計算結果を示す。また、図 2 4 の水素イオン種を照射した S i 基板中の水素濃度（S I M S データ）及び、上記シミュレーション結果を S I M S データにフィッティングさせたもの（以下フィッティング関数と呼ぶ）を合わせて示す。ここで、図 2 7 は加速電圧を 8 0 k V とした場合を示し、図 2 8 は加速電圧を 6 0 k V とした場合を示し、図 2 9 は加速電圧を 4 0 k V とした場合を示している。なお、モデル 1 及びモデル 5 を用いて行った計算の結果については、縦軸を水素原子の数で表しており（右軸）、S I M S データ及びフィッティング関数については、縦軸を水素原子の濃度で表している（左軸）。横軸は S i 基板表面からの深さである。

#### 【 0 1 8 7 】

フィッティング関数はモデル 1 及びモデル 5 を考慮して以下の計算式により求めることとした。なお、計算式中、X、Y はフィッティングに係るパラメータであり、V は体積である。

[ フィッティング関数 ]

$$= X / V \times [ \text{モデル 1 のデータ} ] + Y / V \times [ \text{モデル 5 のデータ} ]$$

#### 【 0 1 8 8 】

現実に照射されるイオン種の割合（ $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$  程度）を考えれば  $H_2^+$  の寄与（すなわち、モデル 3）についても考慮すべきであるが、以下に示す理由により、ここでは除外して考えた。

- ・モデル 3 に示される照射過程により導入される水素は、モデル 5 の照射過程と比較して僅かであるため、除外して考えても大きな影響はない（S I M S データにおいても、ピークが現れていない）。

- ・モデル 5 とピーク位置の近いモデル 3 は、モデル 5 において生じるチャネリング（結晶の格子構造に起因する元素の移動）により隠れてしまう可能性が高い。すなわち、モデル 3 のフィッティングパラメータを見積もるのは困難である。これは、本シミュレーションが非晶質 S i を前提としており、結晶性に起因する影響を考慮していないことによるものである。

#### 【 0 1 8 9 】

図30に、上記のフィッティングパラメータをまとめる。いずれの加速電圧においても、導入されるHの数の比は、[モデル1] : [モデル5] = 1 : 4.2 ~ 1 : 4.5程度(モデル1におけるHの数を1とした場合、モデル5におけるHの数は4.2以上4.5以下程度)であり、照射されるイオン種の数の比は、[H<sup>+</sup>(モデル1)] : [H<sub>3</sub><sup>+</sup>(モデル5)] = 1 : 1.4 ~ 1 : 1.5程度(モデル1におけるH<sup>+</sup>の数を1とした場合、モデル5におけるH<sub>3</sub><sup>+</sup>の数は1.4以上1.5以下程度)である。モデル3を考慮していないことや非晶質Siと仮定して計算していることなどを考えれば、実際の照射に係るイオン種の比(H<sup>+</sup> : H<sub>2</sub><sup>+</sup> : H<sub>3</sub><sup>+</sup> = 1 : 1 : 8程度)に近い値が得られていると言える。

#### 【0190】

(H<sub>3</sub><sup>+</sup>を用いる効果)

10

図24に示すようなH<sub>3</sub><sup>+</sup>の割合を高めた水素イオン種を基板に照射することで、H<sub>3</sub><sup>+</sup>に起因する複数のメリットを享受することができる。例えば、H<sub>3</sub><sup>+</sup>はH<sup>+</sup>やHなどに分離して基板内に導入されるため、主にH<sup>+</sup>やH<sub>2</sub><sup>+</sup>を照射する場合と比較して、イオンの導入効率を向上させることができる。これにより、半導体基板の生産性向上を図ることができる。また、同様に、H<sub>3</sub><sup>+</sup>が分離した後のH<sup>+</sup>やHの運動エネルギーは小さくなる傾向にあるから、薄い半導体層の製造に向いている。

#### 【0191】

なお、本明細書では、H<sub>3</sub><sup>+</sup>を効率的に照射するために、図24に示すような水素イオン種を照射可能なイオンドーピング装置を用いる方法について説明している。イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いてH<sub>3</sub><sup>+</sup>を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。一方で、H<sub>3</sub><sup>+</sup>の照射を第一に考えるのであれば、イオンドーピング装置を用いることに限定して解釈する必要はない。

20

#### 【図面の簡単な説明】

#### 【0192】

【図1】本発明の半導体装置の作製工程を示す断面図である。

【図2】本発明の半導体装置の作製工程を示す断面図である。

【図3】本発明の半導体装置の作製工程を示す断面図である。

【図4】本発明の半導体装置の作製工程を示す断面図である。

【図5】本発明の半導体装置の作製工程を示す上面図である。

30

【図6】本発明の半導体装置の作製工程を示す上面図である。

【図7】本発明の半導体装置の作製工程を示す上面図である。

【図8】本発明の半導体装置の作製工程を示す断面図である。

【図9】本発明の半導体装置の作製工程を示す断面図である。

【図10】本発明の半導体装置の作製工程を示す上面図である。

【図11】本発明の半導体装置の作製工程を示す断面図である。

【図12】本発明の半導体装置の作製工程を示す断面図である。

【図13】本発明の半導体装置の作製工程を示す断面図である。

【図14】本発明の半導体装置の作製工程を示す断面図である。

【図15】半導体装置の一形態であるマイクロプロセッサの構成を示すブロック図。

40

【図16】半導体装置の一形態であるR F C P Uの構成を示すブロック図。

【図17】表示パネル製造用のマザーガラスに半導体層を接合する場合を例示する平面図。

【図18】半導体層により画素トランジスタが構成されている液晶表示装置の一例を示す図。

【図19】半導体層により画素トランジスタが構成されているエレクトロルミネセンス表示装置の一例を示す図。

【図20】本発明に係る電気器具の一例を説明する図。

【図21】本発明の半導体装置の作製工程を示す断面図である。

【図22】本発明の半導体装置の作製工程を示す断面図である。

50

【図 2 3】水素イオン種のエネルギーダイアグラムについて示す図である。

【図 2 4】イオンの質量分析結果を示す図である。

【図 2 5】イオンの質量分析結果を示す図である。

【図 2 6】加速電圧を 80 kV とした場合の水素元素の深さ方向のプロファイル（実測値及び計算値）を示す図である。

【図 2 7】加速電圧を 80 kV とした場合の水素元素の深さ方向のプロファイル（実測値、計算値、及びフィッティング関数）を示す図である。

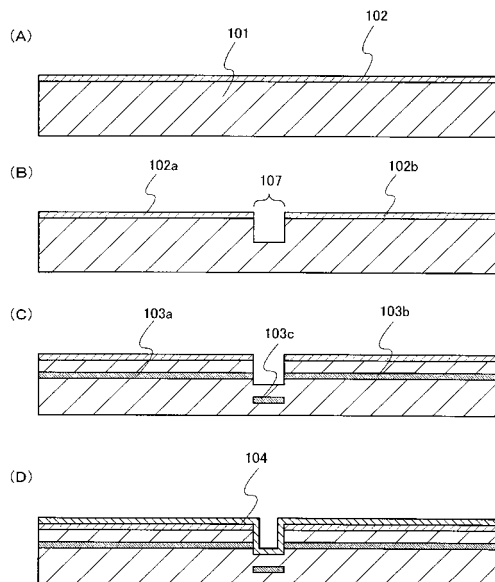
【図 2 8】加速電圧を 60 kV とした場合の水素元素の深さ方向のプロファイル（実測値、計算値、及びフィッティング関数）を示す図である。

【図 2 9】加速電圧を 40 kV とした場合の水素元素の深さ方向のプロファイル（実測値、計算値、及びフィッティング関数）を示す図である。

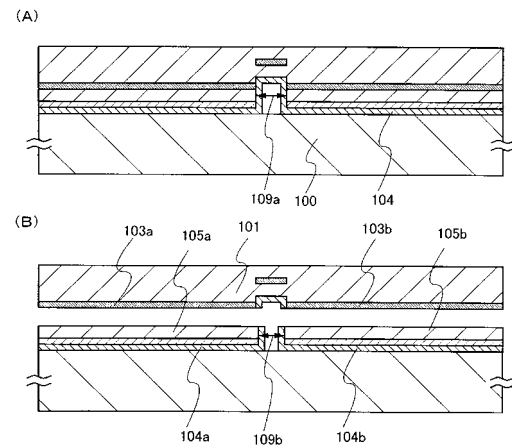
【図 3 0】フィッティングパラメータの比（水素元素比及び水素イオン種比）をまとめた図である。

10

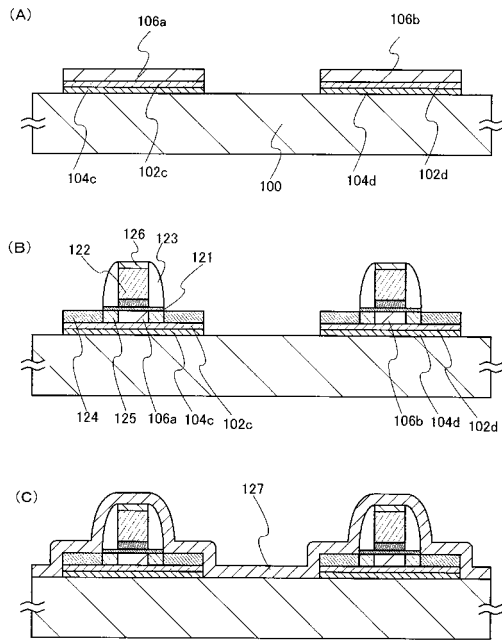
【図 1】



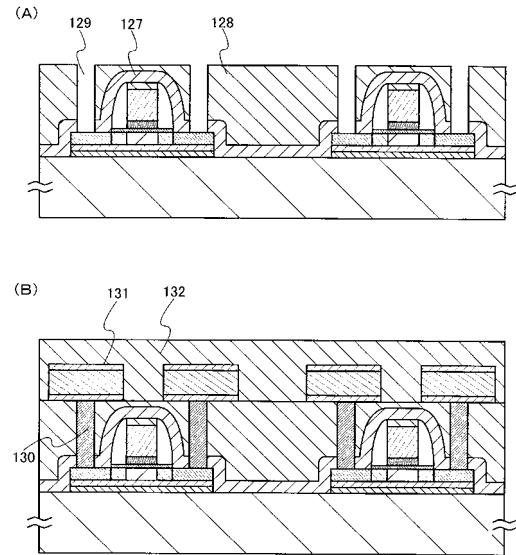
【図 2】



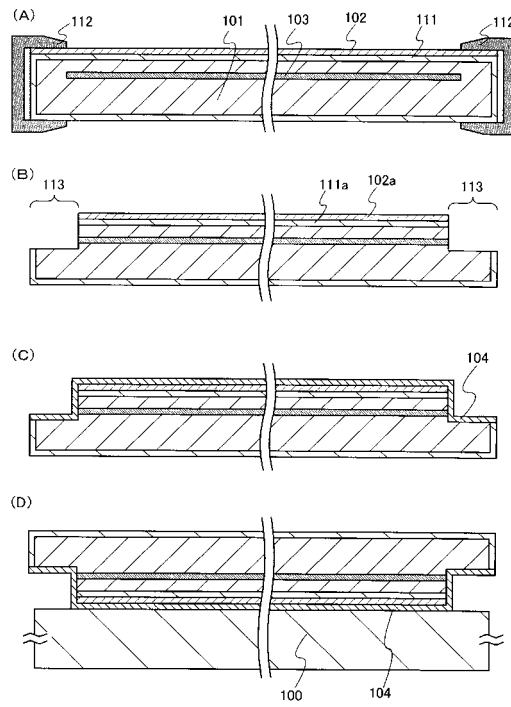
【図 3】



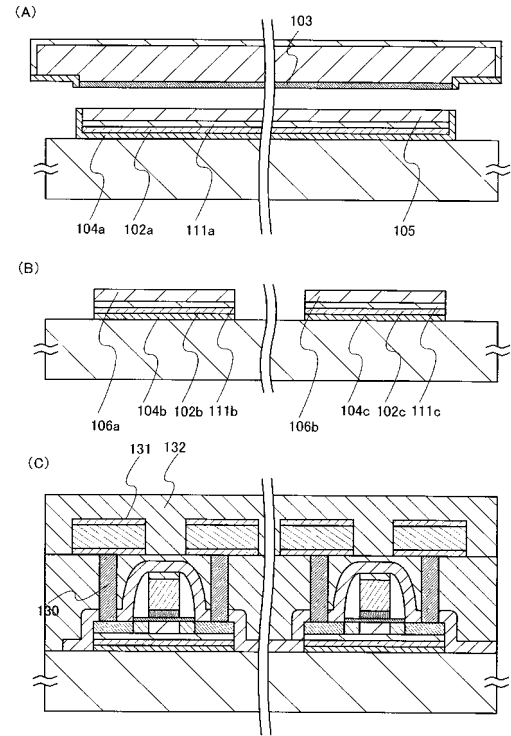
【図 4】



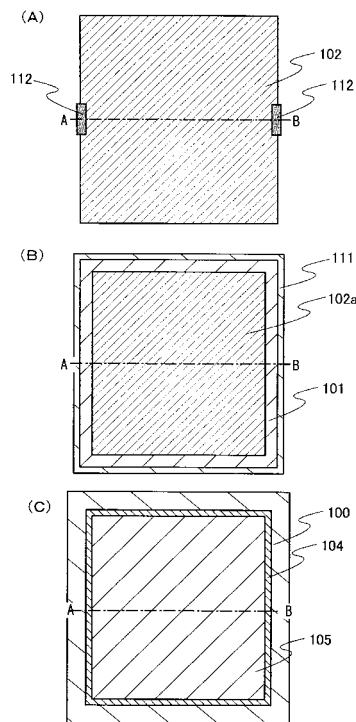
【図 8】



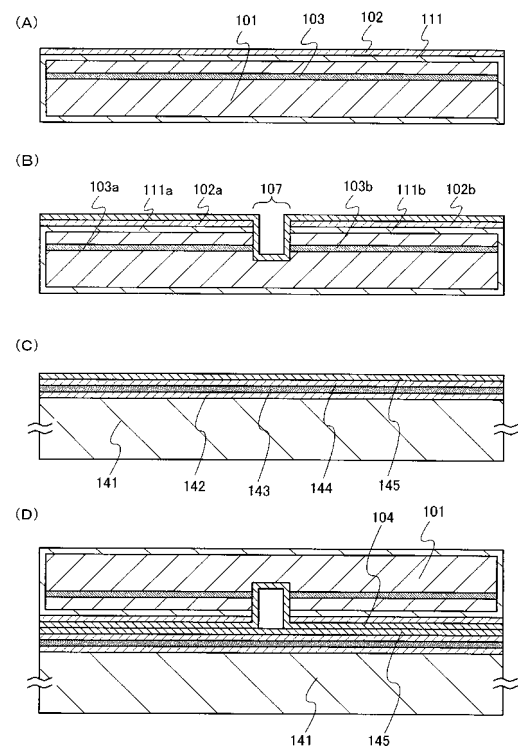
【図 9】



【図 10】

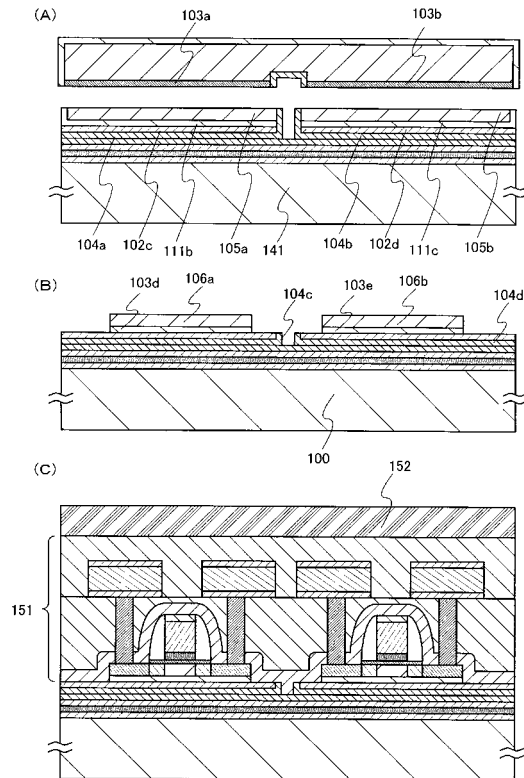


【図 11】

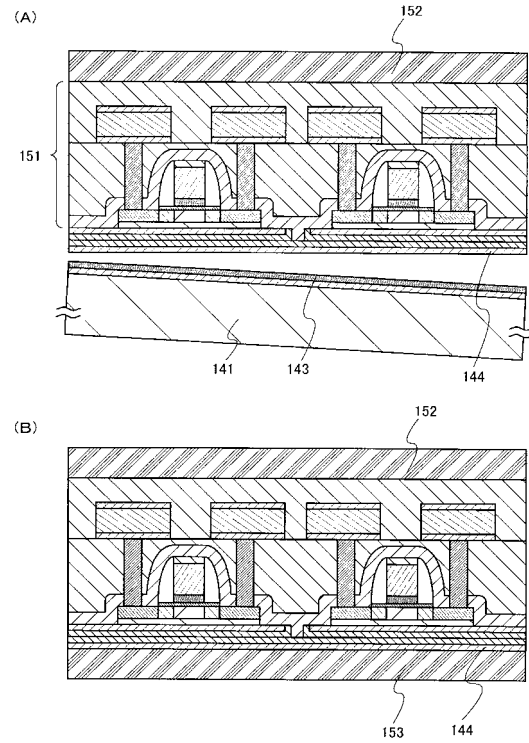




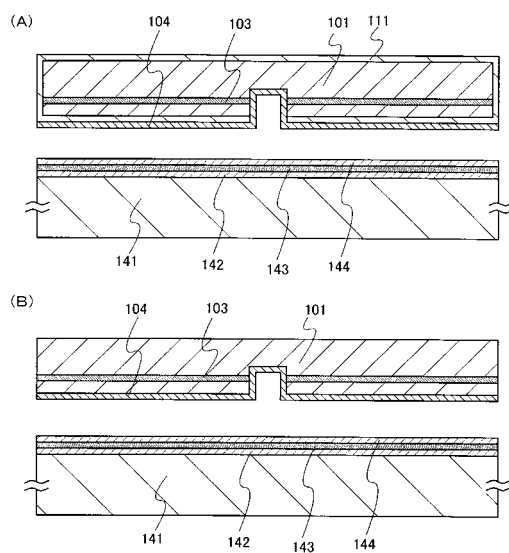
【図 12】



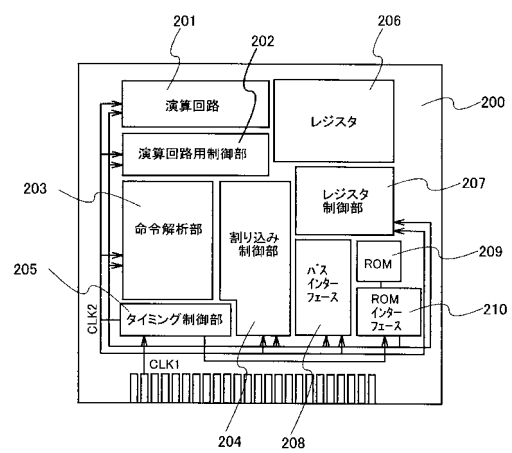
【図 13】



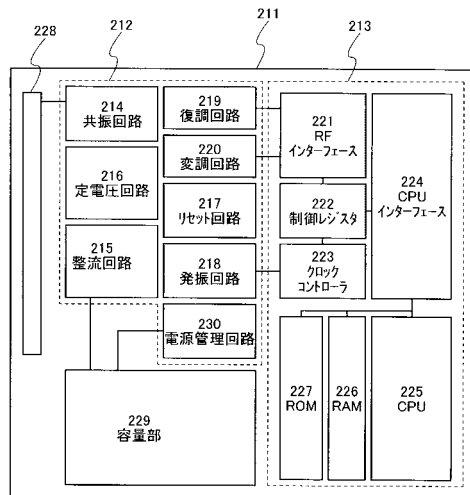
【図 14】



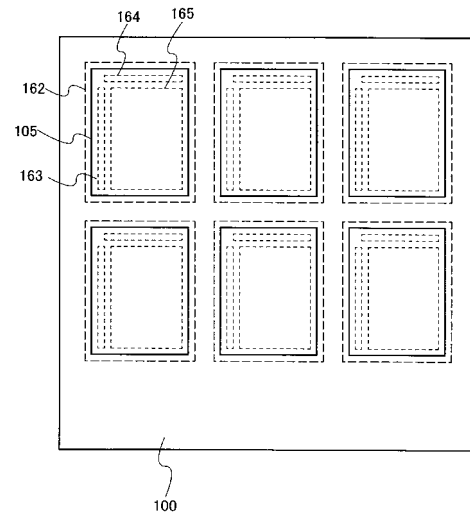
【図 15】



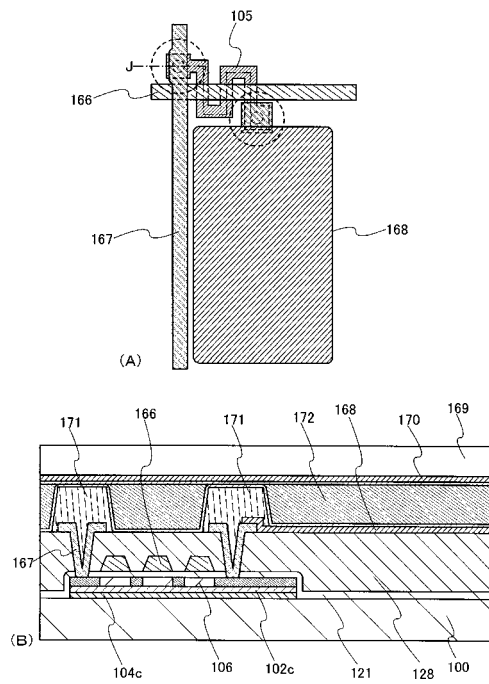
【図 16】



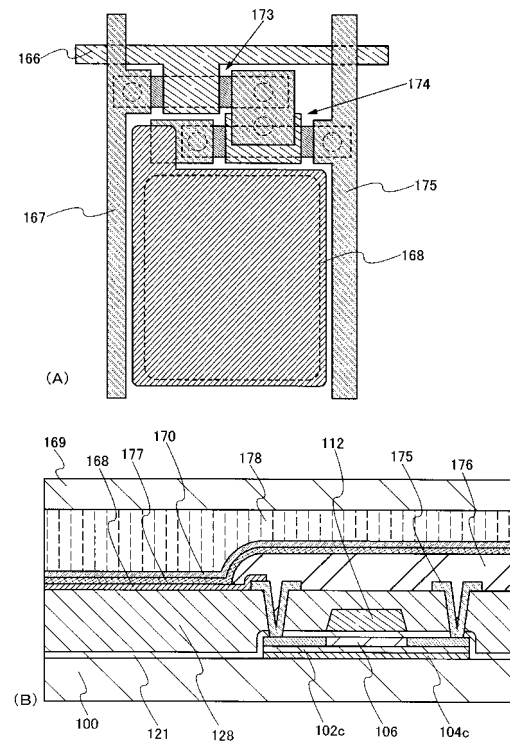
【図 17】



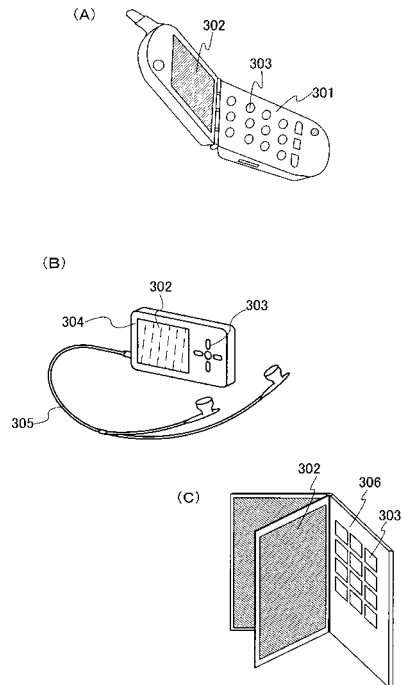
【図 18】



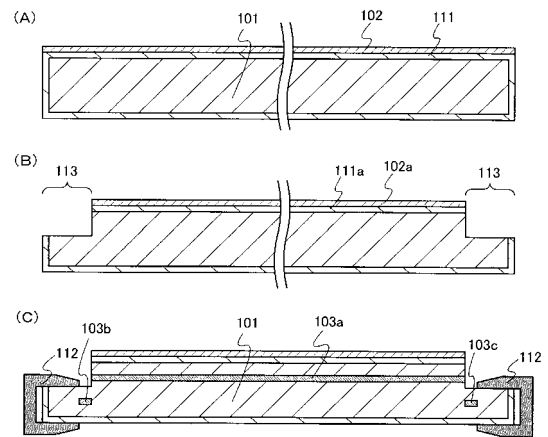
【図 19】



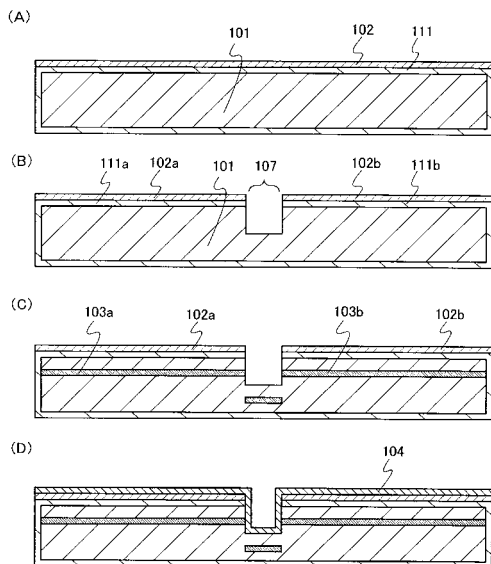
【図 20】



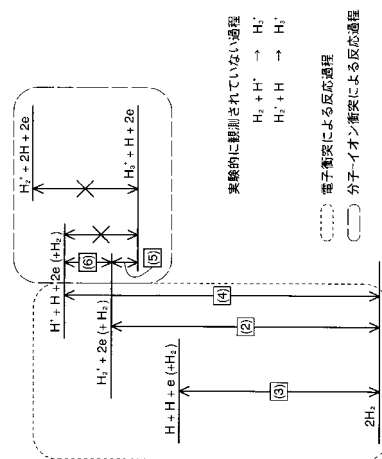
【図 21】



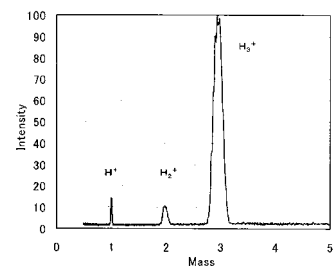
【図 22】



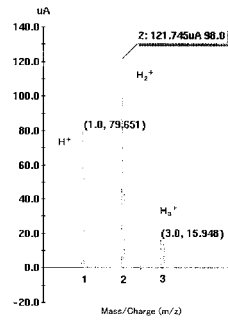
【図 23】



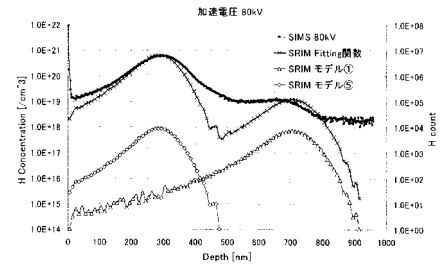
【図 24】



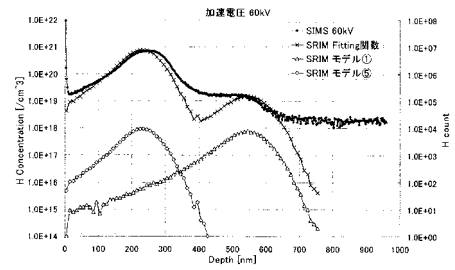
【図 25】



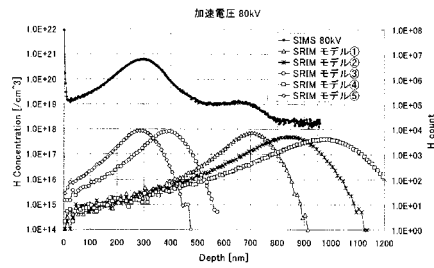
【図 27】



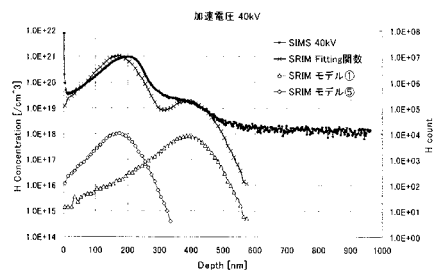
【図 28】



【図 26】



【図 29】



【図 30】

加速電圧	水素元素 (H) 比 (X : Y)	水素イオン種比 (X : Y / 3)
80 kV	1 : 44.1	1 : 14.7
60 kV	1 : 42.5	1 : 14.2
40 kV	1 : 43.5	1 : 14.5

---

フロントページの続き

(56)参考文献 特開平 1 1 - 0 7 4 2 0 8 ( J P , A )  
特開平 0 2 - 0 5 4 5 3 2 ( J P , A )  
特開平 1 1 - 0 4 5 8 6 2 ( J P , A )  
特開 2 0 0 2 - 1 7 0 9 4 2 ( J P , A )  
特開 2 0 0 5 - 0 7 2 0 4 3 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L	2 1 / 0 2
H 0 1 L	2 1 / 2 6 5
H 0 1 L	2 1 / 3 2 2
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 7 / 1 2
H 0 1 L	2 9 / 7 8 6