



(12) 发明专利

(10) 授权公告号 CN 101673673 B

(45) 授权公告日 2013. 02. 27

(21) 申请号 200910196119. X

CN 101369538 A, 2009. 02. 18,

(22) 申请日 2009. 09. 22

CN 1180924 A, 1998. 05. 06,

(73) 专利权人 上海宏力半导体制造有限公司

CN 1628370 A, 2005. 06. 15,

地址 201203 上海市张江高科技园区郭守敬路 818 号

CN 1894777 A, 2007. 01. 10,

CN 101478006 A, 2009. 07. 08,

JP 2007150261 A, 2007. 06. 14,

(72) 发明人 吴小利 许丹

审查员 刘斌

(74) 专利代理机构 上海思微知识产权代理事务所 (普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

H01L 21/20 (2006. 01)

H01L 29/06 (2006. 01)

H01L 29/36 (2006. 01)

(56) 对比文件

CN 101211851 A, 2008. 07. 02,

CN 101226881 A, 2008. 07. 23,

CN 101228636 A, 2008. 07. 23,

US 2006118814 A1, 2006. 06. 08,

US 2007093033 A1, 2007. 04. 26,

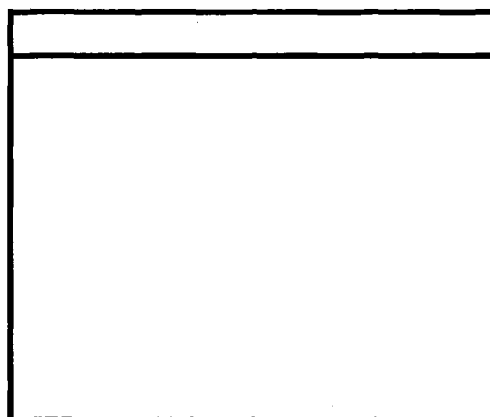
权利要求书 1 页 说明书 3 页 附图 1 页

(54) 发明名称

外延片形成方法及使用该形成的外延片

(57) 摘要

本发明提出一种外延片形成方法及使用该形成的外延片,所述外延片形成方法,包括如下步骤 (a) 形成第一外延层,其掺杂率随所述外延层的厚度而变化;(b) 在所述第一外延层上形成第二外延层,其掺杂率恒定。本发明的外延片具有两层不同的外延层。其中第二外延层的掺杂率保持恒定,而第一外延层的掺杂率随厚度的变化而变化。这样通过对靠近基底的第一外延层的掺杂率进行调节从而改进使用所述外延层的功率 MOSFET 的 BVDSS 和 RDS(on) 特性。



1. 一种外延片形成方法,其特征在于,包括如下步骤:
  - (a) 形成第一外延层,其掺杂率随所述外延层的厚度而变化;
  - (b) 在所述第一外延层上形成第二外延层,其掺杂率恒定;
  - (c) 所述第一外延层包括第一部分和第二部分,其中所述第一部分的掺杂率不同于第二部分的掺杂率;
  - (d) 所述第一部分的掺杂率大于所述第二外延层的掺杂率,而所述第二部分的掺杂率小于所述第二外延层的掺杂率。
2. 如权利要求 1 所述的方法,其特征在于,所述第一外延层的掺杂率可由斜率大于零小于 1 的直线函数表示。
3. 如权利要求 1 所述的方法,其特征在于,所述第二外延层的掺杂率为  $2.24 \times 10^{14}/\text{cm}^{-3}$ 。
4. 一种外延片,其特征在于,包括:
  - 第一外延层,其掺杂率随所述外延层的厚度而变化;
  - 形成在所述第一外延层上的第二外延层,其掺杂率恒定;
  - 所述第一外延层包括第一部分和第二部分,其中所述第一部分的掺杂率不同于第二部分的掺杂率;所述第一部分的掺杂率大于所述第二外延层的掺杂率,而所述第二部分的掺杂率小于所述第二外延层的掺杂率。
5. 如权利要求 4 所述的外延片,其特征在于,所述第一外延层的掺杂率可由斜率大于零小于 1 的直线函数表示。
6. 如权利要求 4 所述的外延片,其特征在于,所述第二外延层的掺杂率为  $2.24 \times 10^{14}/\text{cm}^{-3}$ 。

## 外延片形成方法及使用该形成的外延片

### 技术领域

[0001] 本发明涉及半导体器件,由其涉及用于功率 MOSFET 的外延片。

### 背景技术

[0002] 现今,功率 MOSFET (Power MOSFET) 在业界已有极其广泛的应用,所谓功率 MOSFET 系指它能输出较大的工作电流(几安到几十安),用于功率输出级的器件。

[0003] 一般地,功率 MOSFET 都采用外延片。所谓外延片即在原始的低阻衬底(substrate)硅片上向外延伸一层高阻层。高阻层用来耐受电压,低阻衬底作为支撑又不增加很多电阻。器件一般会使用 P+ 硅衬底加一定厚度的 P- 外延层,使用 P+ 衬底是为了源端能很好地从背面引出;P- 外延层是为了提高器件的源漏击穿电压。

[0004] 作为功率 MOSFET 来说,有两项参数是最重要的。一个是  $R_{ds(on)}$ ,即通态时的漏源电阻。另一个是 BVDSS,即漏源击穿电压。一般地,总是希望  $R_{ds(on)}$  较小而 BVDSS 较大。

[0005] 就  $R_{ds(on)}$  而言,主要需降低漂移层电阻  $R_D$ 。对 MOSFET 来说,载流子(电子或空穴)在这些区域是在外界电压下作漂移(Drift)运动,故而相关的电阻称为  $R_D$ 。若要求 MOSFET 的耐压高,就必须提高高阻层的电阻率,但当外延层的电阻率提高时, $R_D$  也随之提高。这也是很少出现一千伏以上的高压 MOSFET 的原因。而 BVDSS 一般取决于器件的类型。

[0006] 现有技术中,外延片一般为单层,并且其杂质掺杂浓度也是恒定的,即外延片为均匀掺杂的单层外延片。图 1 示出了一种常见的外延片,其系厚度为 45um 的单层。该外延片中掺杂有浓度为  $2.24 \times 10^{14}/\text{cm}^{-3}$  的磷。

[0007] 因此,业界并没有通过对外延片的层数以及掺杂浓度进行调谐而改变  $R_{ds(on)}$  和 BVDSS。

### 发明内容

[0008] 有鉴于现有技术的上述缺陷,本发明所要解决的技术问题是提供一种可改进功率 MOSFET 的 BVDSS 和  $R_{DS(on)}$  的外延片制造方法。

[0009] 为了达到上述目的,本发明提供了一种外延片形成方法,包括如下步骤 (a) 形成第一外延层,其掺杂率随所述外延层的厚度而变化;(b) 在所述第一外延层上形成第二外延层,其掺杂率恒定。

[0010] 较佳地,所述第一外延层包括第一部分和第二部分,其中所述第一部分的掺杂率不同于第二部分的掺杂率。

[0011] 较佳地,所述第一外延层的掺杂率可由斜率大于零小于 1 的直线函数表示。

[0012] 较佳地,所述第二外延层的掺杂率为  $2.24 \times 10^{14}/\text{cm}^{-3}$ 。

[0013] 较佳地,所述第一部分的掺杂率大于所述第二外延层的掺杂率,而所述第二部分的掺杂率小于所述第二外延层的掺杂率。

[0014] 本发明的外延片具有两层不同的外延层。其中第二外延层的掺杂率保持恒定,而第一外延层的掺杂率随厚度的变化而变化。这样通过对靠近基底的第一外延层的掺杂率进

行调节从而改进使用所述外延层的功率 MOSFET 的 BVDSS 和 RDS(on) 特性。

#### 附图说明

[0015] 图 1 为现有技术的外延片的示意图；

[0016] 图 2 为本发明的外延片的示意图；

[0017] 图 3 为本发明的掺杂率的示意图。

#### 具体实施方式

[0018] 下面结合附图和具体实施方案,对本发明的外延片形成方法作进一步的说明。

[0019] 根据本发明的外延片形成方法中,首先制备第一外延层,其厚度为 30 $\mu\text{m}$ 。所述第一外延层靠近基底。第一外延层中掺杂有磷,并且磷的掺杂浓度随厚度的变化而变化。第一外延层的靠近基底下半部分(约 15 $\mu\text{m}$  厚)的磷掺杂浓度大于靠近第二外延层的上半部分(约 15 $\mu\text{m}$  厚)的磷掺杂浓度,并且在所述上半部分和下半部分中,越靠近基底(未示)之部分的磷掺杂浓度越小,而越靠近第二外延层之部分的磷掺杂浓度越大。具体地,如图 3 所示,所述上半部分、下半部分、以及所述第一外延层的磷掺杂浓度可用斜率为 A(0-1) 的斜线表示。其中,所述下半部分中的磷掺杂浓度大于  $2.24 \times 10^{14}/\text{cm}^{-3}$  且小于  $3 \times 10^{14}/\text{cm}^{-3}$ ,而所述上半部分中的磷掺杂浓度小于  $2.24 \times 10^{14}/\text{cm}^{-3}$  且大于  $1 \times 10^{14}/\text{cm}^{-3}$ 。即,所述下半部分中的磷掺杂浓度大于第二外延层的掺杂浓度,而所述上半部分的磷掺杂浓度小于第二外延层的掺杂浓度。当然,所述上半部分和下半部分的掺杂情况可相反,即,所述下半部分中的磷掺杂浓度小于第二外延层的掺杂浓度,而所述上半部分的磷掺杂浓度大于第二外延层的掺杂浓度。

[0020] 此后,在所述第一外延层上制备第二外延层。所述第二外延层的厚度为 15 $\mu\text{m}$ 。第二外延层中掺杂有磷,并且磷的掺杂浓度保持恒定。如图 3 所示,所述第二外延层的磷掺杂浓度可用斜率为零的水平线表示。具体的,本实施中第二外延层中的磷掺杂浓度为  $2.24 \times 10^{14}/\text{cm}^{-3}$ 。

[0021] 由此,得到包括第一外延层和第二外延层的外延片。

[0022] 现描述本发明的外延片形成方法的第二实施例。本实施例的方法与第一实施例基本相同,不同之处在于第一外延层的掺杂浓度不同于第一实施例。具体的,如图 3 所示,所述上半部分、下半部分、以及所述第一外延层的磷掺杂浓度可用斜率为 B(0-1) 的斜线表示。其中,所述下半部分中的磷掺杂浓度大于  $2.24 \times 10^{14}/\text{cm}^{-3}$  且小于  $3 \times 10^{14}/\text{cm}^{-3}$ ,而所述上半部分中的磷掺杂浓度小于  $2.24 \times 10^{14}/\text{cm}^{-3}$  且大于  $1 \times 10^{14}/\text{cm}^{-3}$ 。

[0023] 本实施例中,所述上半部分的掺杂浓度小于所述第二外延层的掺杂浓度,由此,采用根据本发明的外延片的功率 MOSFET 的 BVDSS 得以增大。此外,所述下半部分的掺杂浓度大于所述第二外延层的掺杂浓度,由此,采用根据本发明的外延片的功率 MOSFET 的 RDS(on) 的增大得以抵消。

[0024] 表 1 示出了基于由本发明的外延片形成方法形成的外延片 A 和 B 的功率 MOSFET 与基于由现有外延片形成方法所形成的外延片功率 MOSFET 的元胞和边缘结构处的 BVDSS 和 RDS(on) 的对比,由表可知,通过本发明的外延片形成方法,使得功率 MOSFET 的 BVDSS 增大,并且对 RDS(on) 进行了补偿。

[0025]

		BVDSS	RDSON
元胞	现有外延片	588	2.25E+04
	外延片 A	601	2.28E+04
	外延片 B	612	2.38E+04
边缘结构	现有外延片	558	
	外延片 A	570	
	外延片 B	582	

[0026] 本发明具有如下的优点。

[0027] (1) 本发明的外延片具有两层不同的外延层。其中第二外延层的掺杂率保持恒定，而第一外延层的掺杂率随厚度的变化而变化。这样通过对靠近基底的第一外延层的掺杂率进行调节从而改进使用所述外延层的功率 MOSFET 的 BVDSS 和 RDSON 特性。

[0028] (2) 第一外延层的上半部分的掺杂浓度小于所述第二外延层的掺杂浓度，由此，采用根据本发明的外延片的功率 MOSFET 的 BVDSS 得以增大。

[0029] (3) 第一外延层的下半部分的掺杂浓度大于所述第二外延层的掺杂浓度，由此，采用根据本发明的外延片的功率 MOSFET 的 RDSON 的增大得以抵消。

[0030] (4) 在第二外延层中还进行不同掺杂率的掺杂，进一步增加了使用所述外延片的 MOSFET 的 BVDSS 以及补偿了 RDSON 降级。

[0031] 上文仅用于阐述本发明的具体实施例，其具体的参数选择不应当理解为对本发明的限制。

[0032] 具体地，本发明可实现为如下方式。

[0033] 第一外延层的掺杂浓度范围不限于  $3e14/cm^3$ – $1e14/cm^3$ ，而可为其它范围。

[0034] 第二外延层的掺杂率不限于  $2.24e14/cm^3$ ，而可为其它浓度。

[0035] 第一外延层的掺杂率不限于随厚度的变化而变化，即所述上半部分、下半部分、以及所述第一外延层的磷掺杂浓度不限于用斜率为 A(0-1) 的斜线表示，而是例如可用正弦函数表示，只要第二外延层中的掺杂率为变化的即可。

[0036] 第一外延层和第二外延层的厚度不限于上述实施例给出的具体数值，而是可为其它数值。

[0037] 第一外延层和第二外延层不限于掺杂磷，而是可掺杂其它元素。

[0038] 以上介绍的仅仅是基于本发明的几个较佳实施例，并不能以此来限定本发明的范围。任何对本发明的装置作本技术领域内熟知的部件的替换、组合、分立，以及对本发明实施步骤作本技术领域内熟知的等同改变或替换均不超出本发明的揭露以及保护范围。

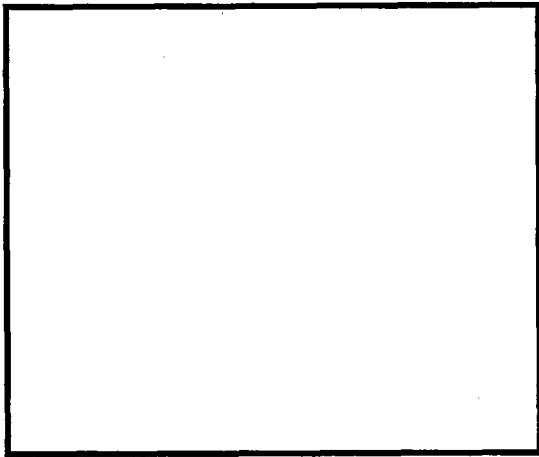


图 1

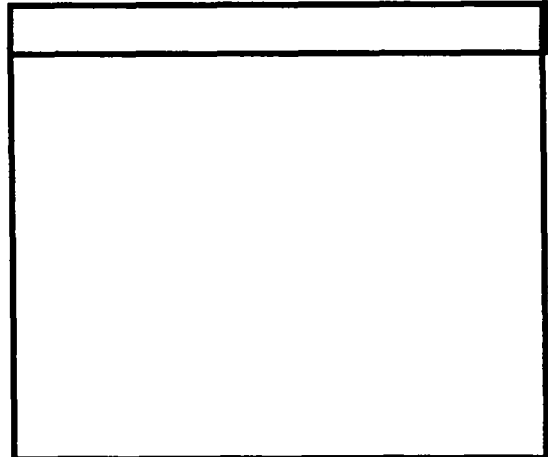


图 2

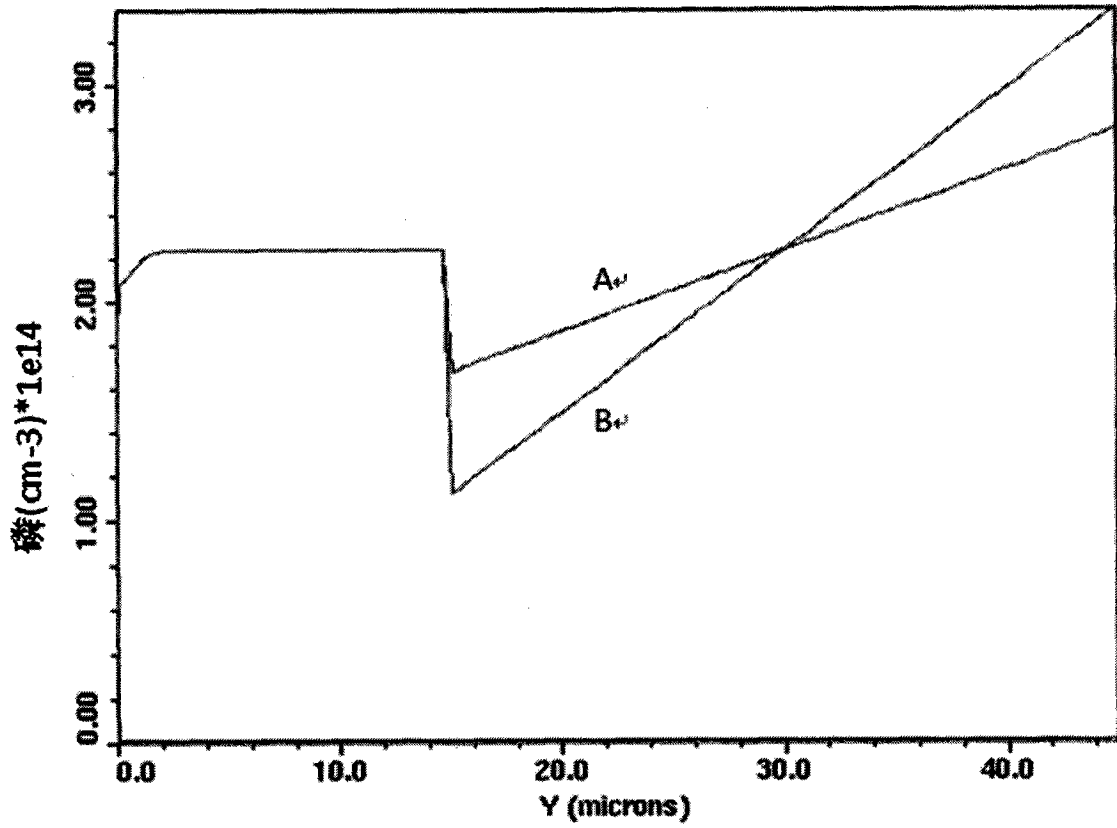


图 3