

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 6 月 2 日(02.06.2016)



(10) 国際公開番号

WO 2016/084643 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01L 21/673 (2006.01)
H01L 21/60 (2006.01) H01L 21/677 (2006.01)
- (21) 国際出願番号: PCT/JP2015/082138
- (22) 国際出願日: 2015 年 11 月 16 日(16.11.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-240531 2014 年 11 月 27 日(27.11.2014) JP
- (71) 出願人: 国立研究開発法人産業技術総合研究所
(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 井上 道弘(INOUE Michihiro); 〒8410052 佐賀県鳥栖市宿町 8 0 7 - 1 国立研究開発法人産業技術総合研究所 九州センター内 Saga (JP). 原 史朗(HARA Shiro); 〒3058568 茨城県つくば市梅園 1 - 1 - 1 中央第 2 国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 居村 史人(IMURA Fumito); 〒3058568 茨城県つくば市梅園 1 - 1 - 1 中央第 2 国立研究開発法人産

業技術総合研究所内 Ibaraki (JP). 猿渡 新水(SARUWATARI Arami); 〒8410052 佐賀県鳥栖市宿町 8 0 7 - 1 国立研究開発法人産業技術総合研究所 九州センター内 Saga (JP). クンプアン ソマワン(KHUMPUANG Sommawan); 〒3058568 茨城県つくば市梅園 1 - 1 - 1 中央第 2 国立研究開発法人産業技術総合研究所内 Ibaraki (JP).

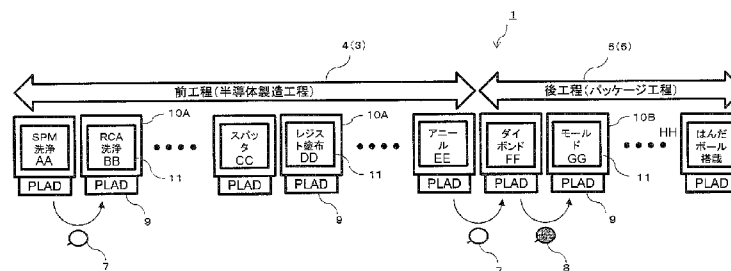
(74) 代理人: 特許業務法人 武和国際特許事務所
(THE PATENT BODY CORPORATE TAKEWA INTERNATIONAL PATENT OFFICE); 〒1050003 東京都港区西新橋 3 丁目 1 3 番 3 号 西新橋ビルディング Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SYSTEM FOR INTEGRATING PRECEDING STEPS AND SUBSEQUENT STEPS

(54) 発明の名称: 前工程－後工程一体化システム



- 4(3) Preceding steps (semiconductor manufacturing steps)
6(5) Subsequent steps (packaging steps)
AA SPM cleaning
BB RCA cleaning
CC Sputtering
DD Resist coating
EE Annealing
FF Die bonding
GG Molding
HH Solder ball mounting

(57) Abstract: Provided is a semiconductor manufacturing system in which a series of steps, from the manufacturing of semiconductors on wafers to packaging, can be easily linked. The present invention comprises a semiconductor chip manufacturing device 3 for manufacturing semiconductor chips, and a semiconductor packaging device 5 that packages the semiconductor chips by attaching the semiconductor chips to package substrates which are larger than the wafers. The semiconductor chip manufacturing device 3 has a pulsed plasma doping PLAD system 9 for loading the wafers into and out of the semiconductor chip manufacturing device 3 via a shuttle 7 which is capable of housing the wafers. The semiconductor packaging device 5 has a PLAD system 9 for making it possible to load the package substrates into and out of the semiconductor packaging device 5 via a shuttle 8 which is capable of housing the package substrates. The shuttles 7, 8 have container bodies of the same shape.

(57) 要約:

[続葉有]



WO 2016/084643 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

ウェハ上に半導体を製造してからパッケージするまでの一連の工程の連携を容易にすることができる半導体製造システムを提供する。本発明は、半導体チップを製造するための半導体チップ製造装置 3 と、半導体チップを、ウェハより大きなパッケージ基板に取り付けてパッケージする半導体パッケージ装置 5 とを備える。半導体チップ製造装置 3 は、ウェハが収容可能なシャトル 7 を介してウェハを半導体チップ製造装置 3 内へ搬出入する PLAD システム 9 を有する。半導体パッケージ装置 5 は、パッケージ基板が収容可能なシャトル 8 を介してパッケージ基板を半導体パッケージ装置 5 内へ搬出入可能とする PLAD システム 9 を有する。シャトル 7, 8 は、容器本体が等しい形状となっている。

明 細 書

発明の名称：前工程－後工程一体化システム

技術分野

[0001] 本発明は、ウェハ上に半導体を製造してからパッケージするまでの半導体製造システムに関する。

背景技術

[0002] 近年、半導体デバイスの製造ラインとして、0.5インチサイズ（-halfインチサイズ）のウェハに1個のデバイスを作成することを基本とし、そのために製造工程を複数の可搬性の単位処理装置で構成し、これら複数の単位処理装置をフローシップやジョブショップに再配置することを容易にすることで、超少量生産でかつ多品種生産に適切に対応できるようにしたミニマルファブシステムが提案されている（例えば、特許文献1参照。）。

[0003] また、ミニマルファブシステムにおいては、各単位処理装置のそれぞれに共通する連結搬送システムを取り付け、この連結搬送システムの連結室に、ウェハが収容された搬送容器を連結させた状態とし、この状態で、搬送容器内のウェハを取り出して各単位処理装置内へ搬送するシステムが提案されている（例えば、特許文献2～4参照。）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2012/029775号

特許文献2：特開2011-258721号

特許文献3：特開2011-258722号

特許文献4：特開2013-161964号

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上述した特許文献1に開示された従来技術においては、ウェハ上に半導体を製造するまでの、いわゆる前工程に用いる単位処理装置に

ついて記載されているに過ぎない。よって、ウェハ上に半導体を製造したものを基板等に取り付けてパッケージングするまでの、いわゆる後工程に用いる単位処理装置については考慮されていない。また、上述した特許文献2～4に開示された従来技術においても、ウェハ上に半導体を製造した後の後工程に用いる連結搬送システムについては考慮されておらず、これら前工程と後工程との連携が容易ではない。

[0006] 本発明は、上述した従来技術における実状からなされたもので、その目的は、ウェハ上に半導体を製造してからパッケージするまでの一連の工程の連携を容易にすることができる半導体製造システムを提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明は、ウェハ上に半導体を製造した半導体チップを製造するための半導体チップ製造装置と、前記半導体チップ製造装置にて製造した半導体チップを、前記ウェハより大きな基板に取り付けてパッケージする半導体パッケージ装置とを備え、前記半導体チップ製造装置は、前記ウェハが収容可能な第1搬送容器を介して前記ウェハを前記半導体チップ製造装置内へ搬出入する第1搬出入機構を有し、前記半導体パッケージ装置は、前記基板が収容可能な第2搬送容器を介して前記基板を前記半導体パッケージ装置内へ搬出入し前記第1搬出入機構に等しい構成の第2搬出入機構を有し、前記第1搬送容器は、第1容器本体と、前記第1容器本体内に設けられ前記ウェハを保持するための第1保持部とを有し、前記第2搬送容器は、第2容器本体と、前記第2容器本体内に設けられ前記半導体チップおよび前記基板を保持するための第2保持部とを有し、前記第1および第2搬送容器は、前記第1および第2容器本体が等しい形状であることを特徴とする半導体製造システムとした。

[0008] このように構成された本発明によれば、第1搬出入機構にて半導体チップ製造装置内へウェハを搬出入するための第1搬送容器の第1容器本体と、第1搬出入機構に等しい構成の第2搬出入機構にて半導体パッケージ装置内へ半導体チップおよび基板を搬送するための第2搬送容器の第2容器本体とを

等しい形状としている。このため、半導体チップ製造装置にてウェハ上に半導体を製造した半導体チップを第2搬送容器に収容させることにより、この第2搬送容器を介して第2搬出入機構にて半導体パッケージ装置内へ搬出入することができる。よって、ウェハ上に半導体を製造してからパッケージするまでの一連の工程の連携を容易に行うことが可能となる。

[0009] また、上記目的を達成するために、本発明は、前記第1および第2搬送容器は、外径寸法が等しく、内部形状のみ異なる形状であることを特徴とする半導体製造システムとした。

[0010] このように構成された本発明は、第1搬送容器および第2搬送容器の外径寸法を等しくし、内部形状のみ異なる形状としている。この結果、半導体チップ製造装置の第1搬出入機構と半導体パッケージ装置の第2搬出入機構との形状の統一化が可能となり、これら第1および第2搬出入機構を等しい形状にすることが可能となる。よって、ウェハ上に半導体を製造してからパッケージするまでの製造ラインに必要な各装置の構造をより簡略化および統一化することができる。

[0011] また、上記目的を達成するために、本発明は、前記第1および第2搬送容器は、前記第1および第2保持部の形状のみ異なる形状であることを特徴とする半導体製造システムとした。

[0012] このように構成された本発明は、第1搬送容器と第2搬送容器とを、第1保持部および第2保持部の形状のみ異なる形状としている。このため、ウェハを収容させる第1搬送容器と、このウェハより大きな基板を収容させる第2搬送容器とのそれぞれにおいて、ウェハを保持するための第1保持部と、半導体チップおよび基板を保持するための第2保持部とを除く、これら第1および第2搬送容器の形状の統一化をより行うことができる。

[0013] また、上記目的を達成するために、本発明は、前記ウェハおよび半導体チップは、外径12.5mmの円盤状で、前記基板は、外径13.5mmの円盤状であることを特徴とする半導体製造システムとした。

[0014] このように構成された本発明は、ウェハおよび半導体チップが外径12.

5 mmの円盤状で、基板が外径13.5 mmの円盤状であるため、いわゆるミニマルファブシステムに用いられるウェハ上に半導体を製造した半導体チップを、この半導体チップより大きな基板上に取り付けてパッケージするまでの一連の工程に適用させることができる。

発明の効果

[0015] 本発明によれば、半導体チップ製造装置にてウェハ上に半導体を製造した半導体チップを、第2搬送容器に收容させることにより、この第2搬送容器を介して第2搬出入機構にて半導体パッケージ装置内へ半導体チップを搬出入することができる。よって、ウェハ上に半導体を製造してからパッケージするまでの一連の工程の連携を容易に行うことができる。

図面の簡単な説明

[0016] [図1]本発明の一実施形態に係る半導体製造システムの半導体チップ製造装置および半導体パッケージ装置の外観図である。

[図2]上記半導体チップ製造装置の第1搬出入機構および第1搬送容器を示す模式図である。

[図3]上記第1搬送容器の第1搬送容器扉および、上記半導体パッケージ装置に用いられる第2搬送容器の第1搬送容器扉を示す模式図である。

[図4]上記半導体チップ製造装置を構成する前工程単位処理装置および、上記半導体パッケージ装置を構成する後工程単位処理装置を示す模式図である。

[図5]上記半導体チップ製造装置による半導体チップの製造工程を示す工程図で、(a)はアライメントマーク形成、(b)はソース・ドレイン形成、(c)はゲート酸化膜形成、(d)は電極形成である。

[図6]上記半導体パッケージ装置による半導体パッケージの製造工程を示す工程図で、(a)はダイアタッチ、(b)は圧縮モールド成形、(c)はレーザービアである。

[図7]上記半導体パッケージ装置による半導体パッケージの製造工程を示す工程図で、(a)はデスミア処理、(b)はCuめっきシード層形成、(c)はCu電解めっきである。

[図8]上記半導体パッケージ装置による半導体パッケージの製造工程を示す工程図で、(a)はレジスト塗布、(b)は露光、(c)は現像である。

[図9]上記半導体パッケージ装置による半導体パッケージの製造工程を示す工程図で、(a)はCuエッチング、(b)はレジスト除去、(c)はソルダレジスト塗布である。

[図10]上記半導体パッケージ装置による半導体パッケージの製造工程を示す工程図で、(a)ははんだボール搭載、(b)は加熱処理である。

発明を実施するための形態

[0017] 以下、本発明の実施形態を図に基づいて説明する。

[0018] 本発明の一実施形態に係る半導体製造システム1は、図1に示すように、予め規格された大きさの筐体2内に收容されたミニマルファブ(minimal fabrication)構想に基づく複数の単位処理装置10にて構成されている。これら単位処理装置10は、図4に示すように、ウェハW上に半導体Aを製造するための半導体チップ製造装置3を構成する前工程用の単位処理装置群4と、半導体チップ製造装置3にて製造された半導体チップCを、ウェハWより大きなパッケージ基板Tに取り付けてパッケージして半導体パッケージPとする半導体パッケージ装置5を構成する後工程用の単位処理装置群6とで構成している。ミニマルファブ構想とは、多品種少量という半導体製造市場に最適なもので、省資源・省エネルギー・省投資・高性能な多様なファブに対応でき、例えば特開2012-54414号公報に記載の生産をミニマル化させるミニマル生産システムを実現させるものである。

[0019] 各単位処理装置10の筐体2は、上下方向に長手方向を有する略直方体状に形成された、幅(x)0.30m×奥行(y)0.45m×高さ(z)1.44mの大きさに統一され、内部への微粒子およびガス分子のそれぞれの侵入を遮断する構造とされている。筐体2の上側の装置上部2aには、ウェハWを処理するための種々の処理装置本体11が收容されている。処理装置本体11としては、エッチング、露光、現像等のウェハW上に半導体Aを製造するために必要な一つの処理工程を行うことが可能な構造や、半導体チッ

プCをパッケージして半導体パッケージPにするまでに必要な一つの処理工程を行うことが可能な構成となっている。筐体2の下側には、装置上部2a内の処理装置本体11を制御する制御装置等を内蔵させるための装置下部2bが設けられている。装置下部2bには、処理装置本体での処理に用いられる種々のユニットが収容されている。また、装置下部には、筐体2を支持するための支持部mが設けられている。

[0020] 筐体2の装置上部2aの上下方向の中間部には、この装置上部2aの正面側が上方に凹状に切り欠かれた形状とされている。装置上部2aの上側の正面側には、操作パネル2cが取り付けられている。装置上部2aの下側の部分は、ウェハWを筐体2内に搬入させる前室2dとされている。前室2dの上面の略中央部には、図2ないし図4に示す搬送容器としてのシャトル7, 8を設置するためのシャトル収容部としての略円形状のドッキングポート2eが設けられている。ドッキングポート2eには、シャトル7, 8を重ね合わせて載置させることが可能な装置扉2fが設けられている。前室2dは、筐体2内への微粒子およびガス分子のそれぞれを遮断する構成となっている。すなわち、前室2dは、シャトル7, 8内に収容されているウェハW、半導体チップC、パッケージ基板T等を外気に曝す等することなく筐体2内へ出し入れできるようにするPLAD (Particle Lock Air-tight Docking) システム9とされている。

[0021] PLADシステム9は、処理装置本体11に連結された連結室としてのロードロック室9aと、ロードロック室9aを開閉させ処理装置本体11へ連通するゲートバルブ9bとを備えている。ロードロック室9aには、ドッキングポート2eから搬入されてくるウェハW等を処理装置本体11内の所定位置へ搬送するとともに、この処理装置本体11による処理が行われた後のウェハW等をドッキングポート2eへ搬出するための搬出入機構となる搬送装置9cが収容されている。搬送装置9cとしては、例えば特開2011-96942号公報に記載のワーク搬送装置等が用いられる。ここで、PLADシステム9は、ミニマルファブ構想に適合させたすべての単位処理装置1

0に共通な機構および形状となっている。

[0022] <前工程用の単位処理装置群>

前工程用の単位処理装置群4は、ミニマルファブ構想において規格された所定の大きさのウェハWの表面に半導体Aを製造して半導体チップCとするまでの複数の単位処理装置10にて構成され、ウェハWの表面に製造する半導体Aの種類等に応じ、処理工程が異なる複数の単位処理装置10Aにて構成されている。これら単位処理装置10Aにて処理するウェハWは、例えば直径12.5mm（ハーフインチサイズ：0.5インチ）の円形状の平坦な表面を有し、単結晶シリコン（Si）にて構成された厚さ0.25mmの円盤状、例えばn型Si基板である。各ウェハWは、ウェハ搬送用の第1搬送容器であるシャトル7内に一枚ずつ収納され、各単位処理装置10Aのドッキングポート2eにシャトル7を嵌合させて各単位処理装置10Aの処理を開始させることにより、このシャトル7内に収容されたウェハWがシャトル7内から取り出され搬送装置9cにより処理装置本体11内の所定位置へ搬入され、かつ各処理装置本体11にて処理が行われた後のウェハWが搬送装置9cによりシャトル7内へ搬出される。そして、ウェハWは、表面に製造する半導体Aのレシピに従って次工程の単位処理装置10Aまで搬送される。また、各単位処理装置10AのPLADシステム9は、ウェハWを各単位処理装置10Aの処理装置本体11内へ搬出入するための第1搬出入機構である搬送装置9cを備え、これら搬送装置9cは、同一の形状および構成となっている。

[0023] <前工程用のシャトル>

前工程用の各単位処理装置10Aに用いられるシャトル7は、第1容器本体としての容器本体7aを備え、容器本体7aの下方が開口して円盤状の容器扉7bが設けられている。容器本体7aと容器扉7bとは磁力等によって強力に密着しており、シャトル7内の空間が外気から遮断されている。シャトル7は、容器扉7bを下方に向けた状態で、この容器扉7bをドッキングポート2eの装置扉2fに重ね合わせて載置させて用いられる。このとき、

容器扉 7 b および装置扉 2 f の一方に、位置決め用のピンを設け、他方に、その位置決め用のピンに嵌合する穴を設ける等して、シャトル 7 をドッキングポート 2 e に正確に重ね合わせできる構成になっている。シャトル 7 の容器本体 7 a と容器扉 7 b とはシール部材としての円環状のＯリング（図示せず）を介して気密にシールされている。

[0024] 図 3 に示すように、シャトル 7 の容器扉 7 b の容器本体 7 a 内に向けて嵌合される側に位置する内側面には、ウェハ W を保持するための爪状の複数、例えば 4 つの第 1 保持部 7 d が形成されている。これら 4 つの保持部 7 d は、ウェハ W の外周縁を等間隔に保持できるように、容器扉 7 b の内側面の中心を中心とする周方向に向けて等間隔に離間させて設けられている。各保持部 7 d は、平面視二等辺三角形形状の保持部本体 7 e を備え、これら各保持部本体 7 e の底辺部には、ウェハ W の外周縁に係止するための第 1 係止片部 7 f が設けられている。各保持部本体 7 e は、これら各保持部本体 7 e の頂角側を容器扉 7 b の内側面の中心位置に向けて取り付けられている。各係止片部 7 f の内側には、これら各係止片部 7 f によりウェハ W を保持する位置を精度出しするためのテーパ状の係止面 7 g が設けられている。

[0025] <後工程用の単位処理装置群>

後工程用の単位処理装置群 6 は、前工程用の単位処理装置群 4 にて製造された半導体チップ C をパッケージして半導体パッケージ P とするまでの複数の単位処理装置 10 B にて構成され、半導体チップ C の種類およびパッケージの種類等に応じ、処理工程が異なる複数の単位処理装置 10 B にて構成されている。これら単位処理装置 10 B によるパッケージは、半導体チップ C を、例えば外径 13.5 mm の円盤状のパッケージ基板 T 上に取り付けて行う。各パッケージ基板 T は、パッケージ基板 T および、パッケージ基板 T が取り付けられた半導体チップ C を搬送するための後工程用のシャトル 8 内に一枚ずつ収納され、後工程用の各単位処理装置 10 B のドッキングポート 2 e にシャトル 8 を嵌合させて各単位処理装置 10 B の処理を開始させることにより、このシャトル 8 内に収容されたパッケージ基板 T がシャトル 8 内か

ら取り出され搬送装置 9 c により処理装置本体 1 1 内の所定位置へ搬入され、かつ各処理装置本体 1 1 にて処理が行われた後のパッケージ基板 T が搬送装置 9 c によりシャトル 8 内へ搬出される。そして、半導体チップ C およびパッケージ基板 T は、半導体チップ C をパッケージして半導体パッケージ P とするまでのレシピに従って次工程の単位処理装置 1 0 B まで搬送される。

[0026] さらに、後工程用の各単位処理装置 1 0 B は、その処理に応じて処理装置本体 1 1 が異なるものの、その他の筐体 2、操作パネル 2 c、ドッキングポート 2 e、PLAD システム 9 等は、前工程用の単位処理装置 1 0 A と同一の構成になっている。

[0027] <後工程用のシャトル>

後工程用の各単位処理装置 1 0 に用いられパッケージ基板 T を搬送するためのシャトル 8 は、図 3 に示すように、第 2 容器本体としての容器本体 8 a と、容器扉 8 b と、リング（図示せず）と、例えば 4 つの第 2 保持部 8 d とを有し、ウェハ搬送用のシャトル 7 に対して各保持部 8 d の形状のみが異なる形状であり、容器本体 8 a、保持部 8 d を除いた容器扉 8 b、およびリングは等しい形状となっている。すなわち、前工程用のシャトル 7 と後工程用のシャトル 8 とは、外形寸法が等しく、内部形状のみ異なる形状となっている。各保持部 8 d は、ウェハ W より外形寸法が 1 mm ほど大きなパッケージ基板 T の外周縁を等間隔に保持できるように、底辺部の長さ寸法をより大きくした保持部本体 8 e を備え、これら各保持部本体 8 e の底辺部に第 2 係止片部 8 f が設けられている。各保持部本体 8 e は、前工程用のシャトル 7 の保持部本体 7 e と相似する形状、すなわち相似形になっており、各係止片部 8 f の内側にテーパ状の係止面 8 g が設けられている。これら各係止片部 8 f の係止面 8 g は、パッケージ基板 T に加え、ウェハ W、すなわち外径 12.5 mm の円盤状の半導体チップ C も正確に保持できるように、より大きな底辺を有する傾斜角度に形成されている。

[0028] <前工程での半導体チップ製造>

次に、前工程用の単位処理装置群 4 による半導体チップ C の製造方法につ

いて、図4および図5を参照して説明する。

[0029] (ウェハ初期洗浄)

まず、図4に示すように、前工程用の単位処理装置群4のうちの、所定の単位処理装置10Aを用いてウェハWをSPM洗浄してから、この単位処理装置10Aに隣接して設置されている他の単位処理装置10AにてRCA洗浄を行う。

[0030] このとき、ウェハWは、前工程用のシャトル7内に収納した状態で、所定の単位処理装置10Aのドッキングポート2eに嵌合させて位置決め保持される。この状態で、この単位処理装置10Aによる処理を開始することによって、シャトル7の容器本体7aから容器扉7bが外れPLADシステム9のロードロック室9a内へ搬入される。この後、容器扉7bの保持部8dにて保持されているウェハWは、PLADシステム9の搬送装置9cによって処理装置本体11の所定位置へ搬送される。そして、この単位処理装置10Aによる所定の処理が行われた後、処理装置本体11の所定位置に設置されたウェハWは、搬送装置9cによってロードロック室9aを介してシャトル7の容器扉7bの保持部7dへ搬送され、この保持部7dにて容器扉7b上の所定位置に保持される。この後、ウェハWを保持した容器扉7bは、ドッキングポート2eに嵌合している容器本体7aに取り付けられ気密状態が保持された状態となる。そして、ドッキングポート2eからシャトル7を取り外すことによって、所定の処理が行われた後のウェハWを、シャトル7に収納した状態で単位処理装置10Aから取り出すことができる。そして、このシャトル7を、次工程の単位処理装置10Aのドッキングポート2eに嵌合させ、この単位処理装置10Aによる次工程を行う。

[0031] (アライメントマーク形成)

さらに、RCA洗浄した後のウェハWは、その表面にドライエッチング用のレジスト液を塗布してから露光した後に現像して、このウェハWの表面にフォトリソ21を形成してパターニングしてからSiドライエッチングを行い、図5(a)に示すアライメントマーク22をウェハWの表面に形成

する。この後、このウェハW上のフォトリソスト21の除去を行う。

[0032] (ソース・ドレイン不純物拡散領域形成)

アライメントマーク22を形成したウェハは、洗浄してからドライ酸化する。その後、ウェハWの表面にウェットエッチング用のレジスト液を塗布してから露光した後に現像して、このウェハWの表面に所定のレジストパターンを形成してから、熱酸化膜ウェットエッチングを行い SiO_2 層23を形成する。この後、ウェハW上のレジストを除去してから洗浄した後に、不純物拡散剤24を塗布する。そして、不純物拡散剤24が塗布されたウェハWを加熱処理して不純物拡散を行い、図5(b)に示すように、拡散領域 p^+ 25を形成してからウェットエッチングを行い不純物拡散剤24の除去を行う。

[0033] (ゲート酸化膜形成)

次いで、ソース・ドレイン不純物拡散領域を形成したウェハWを、洗浄してからドライ酸化して、図5(c)に示すように、ウェハWの表面に SiO_2 からなるゲート酸化膜26を形成する。

[0034] (ゲート、ソース・ドレインコンタクト形成)

ゲート酸化膜26を形成したウェハWの表面にウェットエッチング用のレジスト液を塗布してから露光した後に現像して、このウェハWの表面にレジストパターンを形成してから、熱酸化膜ウェットエッチングを行う。この後、ウェハW上のレジストを除去し、ゲートおよびソースまたはドレイン間のコンタクトホール27を形成する。

[0035] (A1電極形成)

コンタクトホール27を形成したウェハWは、洗浄してからアルミニウム(A1)をスパッタリングしてウェハWの表面にA1層28を成膜した後、ウェットエッチング用のレジスト液を塗布してから露光した後に現像して、このウェハW上のA1層の表面に所定のレジストパターンを形成する。次いで、A1ウェットエッチングを行い、図5(d)に示すように、ゲート電極G、ソース電極Sおよびドレイン電極Dを形成してから、ウェハW上のレジストを O_2 プラズマアッシングにて除去する。その後、これらゲート電極G

、ソース電極Sおよびドレイン電極Dを形成したウェハWを、 H_2 にて焼成処理して H_2 シンタリングすることによって、ウェハW上に半導体Aを製造した外径ハーフィンチサイズの半導体チップCとなる。

[0036] <後工程での半導体パッケージ製造>

次に、後工程用の単位処理装置群6による半導体パッケージの製造方法（プロセスフロー）について、図4および図6ないし図9を参照して説明する。

[0037] （ダイアタッチ：ダイボンド）

まず、図4に示すように、後工程用の単位処理装置群10Bのうちの、所定の単位処理装置10Bを用い、図6（a）に示すように、外径13.5mm、厚さ0.2mmの円盤状の鉄ニッケル合金（42アロイ）製のパッケージ基板T上に接着剤31を塗布する。次いで、この接着剤31上に、前工程の単位処理装置群4にて製造した半導体チップCを搭載してから接着剤31を硬化させる。

[0038] このとき、半導体チップCは、前工程用のシャトル7内に収納した状態で、所定の後工程用の単位処理装置10Bのドッキングポート2eに嵌合させる。この状態で、この単位処理装置10Bによる処理を開始することによって、シャトル7内から半導体チップCが取り出され、この単位処理装置10Bの処理装置本体11の所定位置へ搬送される。この後、この単位処理装置10Bのドッキングポート2eに、パッケージ基板Tを収容した後工程用のシャトル8を嵌合させ、この単位処理装置10Bによる処理を開始することによって、シャトル8内からパッケージ基板Tが取り出され、すでに半導体チップCが搬送されている単位処理装置10Bの処理装置本体11の所定位置へパッケージ基板Tが搬送される。

[0039] そして、この単位処理装置10Bにおいて、半導体チップCを表面に接着したパッケージ基板Tは、この単位処理装置10Bの処理装置本体11の所定位置からPLADシステム9にて搬出され、ドッキングポート2eに嵌合させたシャトル8内に収容される。その後、この単位処理装置10Bのドッ

キングポート 2 e からシャトル 8 を取り外してから、このシャトル 8 を、次工程の単位処理装置 10 B のドッキングポート 2 e に嵌合させる。なお、以降の後工程においては、各単位処理装置 10 B にて処理した後のパッケージ基板 T を、後工程用のシャトル 8 を用いて次工程の単位処理装置 10 B へ受け渡していく。

[0040] (圧縮モールド成形)

パッケージ基板 T 上に接着した半導体チップ C を取り囲むように、半導体チップ C の表面にモールド樹脂を塗布した後に、このモールド樹脂を硬化させて、図 6 (b) に示すように、外径 12.8 mm、厚さ 0.1 mm のモールド樹脂層 32 を形成する。

[0041] (レーザビア)

さらに、モールド樹脂層 32 を形成した半導体チップ C の表面のレーザアブレーションを行い、モールド樹脂層 32 をパターニングし、図 6 (c) に示すように、半導体チップ C 表面の A1 層 28 の一部を露出させる。

[0042] (デスミア処理)

次いで、A1 層 28 の一部を露出させた半導体チップ C の表面を、図 7 (a) に示すように、CCPドライエッチングしてプラズマ清浄（デスミア加工）を行う。

[0043] (銅めっきシード層形成)

この後、デスミア処理した半導体チップ C の表面に、銅 (Cu) をスパッタリングし、図 7 (b) に示すように、半導体チップの表面全体を覆う、厚さ 0.1 μm の Cu スパッタ膜 33 を形成する。

[0044] (銅電解めっき)

さらに、Cu スパッタ膜 33 を形成した半導体チップ C の表面を Cu 電解めっきして、図 7 (c) に示すように、半導体チップ C の表面に、厚さ 3 μm の Cu めっき膜 34 を形成する。

[0045] (レジスト塗布・露光・現像)

Cu めっき膜 34 を形成した半導体チップ C の表面に、フォトリジスト用

のレジスト液を塗布（コート）して、図 8（a）に示すように、厚さ 1.0 μm のレジスト膜 35 を形成する。次いで、レジスト膜 35 を形成した半導体チップ C を、図 8（b）に示すように、深焦点 DLP 露光を行ってから現像して、図 8（c）に示すように、半導体チップ C の表面に所定のレジストパターンを形成してから、図 9（a）に示すように、Cu エッチングして Cu めっき膜 34 をパターニングして、電極層 36 を形成する。この後、Cu めっき膜 34 をパターニングした半導体チップ C の表面を、図 9（b）に示すように、CCP ドライエッチングしてレジスト膜 35 の除去を行う。

[0046] （ソルダレジスト塗布）

さらに、電極層 36 を形成した半導体チップ C の表面に、インクジェットプリンタにて、厚さ 30 μm のソルダレジスト層 37 を所定パターンに印刷してから紫外線（UV）硬化させて、図 9（c）に示すように、電極層 36 に連通したコンタクトホール 38 をソルダレジスト層 37 に形成する。

[0047] （はんだボール搭載：ボールマウント）

その後、図 10（a）に示すように、半導体チップ C の表面にフラックス F を塗布してから、この半導体チップ C 表面のソルダレジスト層 37 の各コンタクトホール 38 に、直径 0.4 mm のはんだボール 39 を搭載した後に加熱処理して、図 10（b）に示すように、各はんだボール 39 の一部を溶融させ半導体チップ C 上の電極層 36 に電氣的に接続させることによって、外径ハーフィンチサイズの半導体チップ C を、外径 13.5 mm のパッケージ基板 T 上にパッケージしたダイアタッチ方式の BGA タイプの半導体パッケージ C となる。

[0048] ＜作用効果＞

上述のように、上記一実施形態に係る半導体製造システム 1 においては、ミニマルファブ構想に適合させた外径 12.5 mm のウェハ W 上に半導体 A を製造して半導体チップ C とするまでの前工程を行う半導体チップ製造装置 3 を、各処理に応じて処理装置本体 11 のみが異なる複数の単位処理装置 10 A にて構成し、これら単位処理装置 10 A 内の処理装置本体 11 までウェ

ハWを搬出入するためのPLADシステム9を共通化している。さらに、ウェハWが収容可能なシャトル7を各单位処理装置10AのPLADシステム9のドッキングポート2eに嵌合させることによって、シャトル7内に収容されたウェハWを外気に曝すことなくシャトル7内から各処理装置本体11の所定位置まで搬出入できる構成としている。

[0049] その上で、半導体チップCをパッケージ基板T上に取り付けて半導体パッケージPとするまでの後工程を行う半導体パッケージ装置5についても同様に、各処理に応じて処理装置本体11のみが異なる複数の単位処理装置10Bにて構成し、これら単位処理装置10B内のPLADシステム9を、半導体チップ製造装置3のPLADシステム9と共通化している。さらに、ウェハWをパッケージする際に用いるパッケージ基板Tを、ウェハWより1.0mmほど外径寸法が大きな直径13.5mmとし、このパッケージ基板Tを収容させるシャトル8の内部形状のみを変更し、このシャトル8を、後工程の各单位処理装置10Bのドッキングポート2eへ嵌合でき、各单位処理装置10BのPLADシステム9を用いてシャトル8内から処理装置本体11の所定位置へ搬出入できる構成としている。

[0050] すなわち、前工程用のウェハWを搬送するためのシャトル7と、後工程用のパッケージ基板Tを搬送するためのシャトル8とにつき、容器本体7a, 8aを等しい形状とし、ウェハWあるいはパッケージ基板Tを保持するための保持部7d, 8dのみ形状が異なる構成としている。この結果、半導体チップ製造装置3にて製造した半導体チップCをシャトル7に収容した状態で、後工程用の単位処理装置10Bの処理装置本体11へ搬出入することが可能となる。また、パッケージ基板Tに取り付けた半導体チップCについても、後工程用のシャトル8に収容させることによって、後工程用の各单位処理装置10Bの処理装置本体11へPLADシステム9を介して搬出入できる。よって、ほぼ等しい形状のシャトル7, 8を用いつつ、ミニマルファブ構想に適合させた複数の単位処理装置10A, 10Bを半導体パッケージPにするまでのレシピに対応させて用いることにより、ウェハW上に半導体Aを

製造しパッケージするまでの前工程から後工程までに亘った一連の工程の連携を、容易に行うことが可能となる。よって、ミニマルファブ構想に基づく前工程から後工程までのミニマル一貫ラインを実現できる。

[0051] 特に、前工程用のシャトル7と後工程用のシャトル8とは、ウェハWを保持するための保持部7d、およびパッケージ基板Tを保持するための保持部8dの形状を、保持する対象物、すなわちウェハWまたはパッケージ基板Tの大きさに対応させた相似形とし、これら保持部7d、8dの係止片部7f、8fの係止面7g、8gの傾斜角度等のみを異ならせて調整した形状としている。この結果、これら保持部7d、8dを除く他の形状についてシャトル7、8の形状、特に外形を等しくでき、これらシャトル7、8の形状を統一化できるため、前工程用および後工程用のそれぞれの単位処理装置10A、10Bのドッキングポート2eに嵌合させて各単位処理装置10A、10Bの処理装置本体11の所定位置へ搬出入することが可能となる。したがって、前工程から後工程までに亘った一連の製造工程を、同一のPLADシステム9を搭載した複数の単位処理装置10A、10Bにて行うことが可能となり、ウェハW上に半導体Aを製造してからパッケージするまでの製造ラインに必要な各単位処理装置10A、10Bの構造をより簡略化および統一化できる。

[0052] <その他>

なお、上記一実施形態では、ミニマルファブ構想に適合させたハーフィンチサイズ（外径12.5mm）のウェハWと、このウェハWを設置する外径13.5mmのパッケージ基板Tとを用いた半導体製造システム1としている。しかしながら、本発明はこれに限定されることはなく、例えば1インチのウェハを用いたり、外径13.5mm以外の大きさのパッケージ基板を用いたりする半導体製造システムであっても、対応させて用いることができる。また、ハーフィンチサイズの半導体チップCを、外径13.5mmのパッケージ基板T上にパッケージしたダイアタッチ方式のBGAタイプの半導体パッケージCに限らず、例えばフリップチップ方式のBGAタイプ等の他の

パッケージ構造の半導体パッケージであっても対応させて用いることができる。

符号の説明

[0053]	1	半導体製造システム
	2	筐体
	2 a	装置上部
	2 b	装置下部
	2 c	操作パネル
	2 d	前室
	2 e	ドッキングポート
	2 f	装置扉
	3	半導体チップ製造装置
	4	単位処理装置群（前工程）
	5	半導体パッケージ装置
	6	単位処理装置群（後工程）
	7	シャトル（第1搬送容器・前工程用）
	7 a	容器本体（第1容器本体）
	7 b	容器扉
	7 d	保持部（第1保持部）
	7 e	保持部本体
	7 f	係止片部（第1係止片部）
	7 g	係止面
	8	シャトル（第2搬送容器・後工程用）
	8 a	容器本体（第2容器本体）
	8 b	容器扉
	8 d	保持部（第2保持部）
	8 e	保持部本体
	8 f	係止片部（第2係止片部）

8 g	係止面
9	PLADシステム（第1搬出入機構，第2搬出入機構）
9 a	ロードロック室
9 b	ゲートバルブ
9 c	搬送装置
10	単位処理装置
10 A	単位処理装置（前工程用）
10 B	単位処理装置（後工程用）
11	処理装置本体
21	フォトレジスト
22	アライメントマーク
23	SiO ₂ 層
24	不純物拡散剤
25	拡散領域p ⁺
26	ゲート酸化膜
27	コンタクトホール
28	Al層
31	接着剤
32	モールド樹脂層
33	Cuスパッタ膜
34	Cuめっき膜
35	レジスト膜
36	電極層
37	ソルダレジスト層
38	コンタクトホール
39	はんだボール
W	ウェハ
A	半導体

C	半導体チップ
T	パッケージ基板（基板）
P	半導体パッケージ
m	支持部
G	ゲート電極
S	ソース電極
D	ドレイン電極
F	フラックス

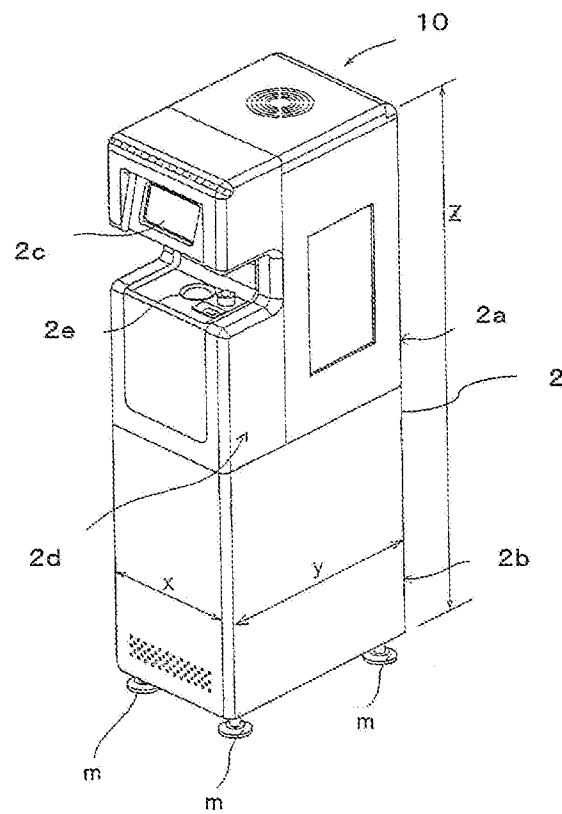
請求の範囲

- [請求項1] ウェハ上に半導体を製造した半導体チップを製造するための半導体チップ製造装置と、
- 前記半導体チップ製造装置にて製造した半導体チップを、前記ウェハより大きな基板に取り付けてパッケージする半導体パッケージ装置とを備え、
- 前記半導体チップ製造装置は、前記ウェハが収容可能な第1搬送容器を介して前記ウェハを前記半導体チップ製造装置内へ搬出入する第1搬出入機構を有し、
- 前記半導体パッケージ装置は、前記基板が収容可能な第2搬送容器を介して前記基板を前記半導体パッケージ装置内へ搬出入し前記第1搬出入機構に等しい構成の第2搬出入機構を有し、
- 前記第1搬送容器は、第1容器本体と、前記第1容器本体内に設けられ前記ウェハを保持するための第1保持部とを有し、
- 前記第2搬送容器は、第2容器本体と、前記第2容器本体内に設けられ前記半導体チップおよび前記基板を保持するための第2保持部とを有し、
- 前記第1および第2搬送容器は、前記第1および第2容器本体が等しい形状である
- ことを特徴とする半導体製造システム。
- [請求項2] 請求項1に記載の半導体製造システムにおいて、
- 前記第1および第2搬送容器は、外径寸法が等しく、内部形状のみ異なる形状である
- ことを特徴とする半導体製造システム。
- [請求項3] 請求項1または2に記載の半導体製造システムにおいて、
- 前記第1および第2搬送容器は、前記第1および第2保持部の形状のみ異なる形状である
- ことを特徴とする半導体製造システム。

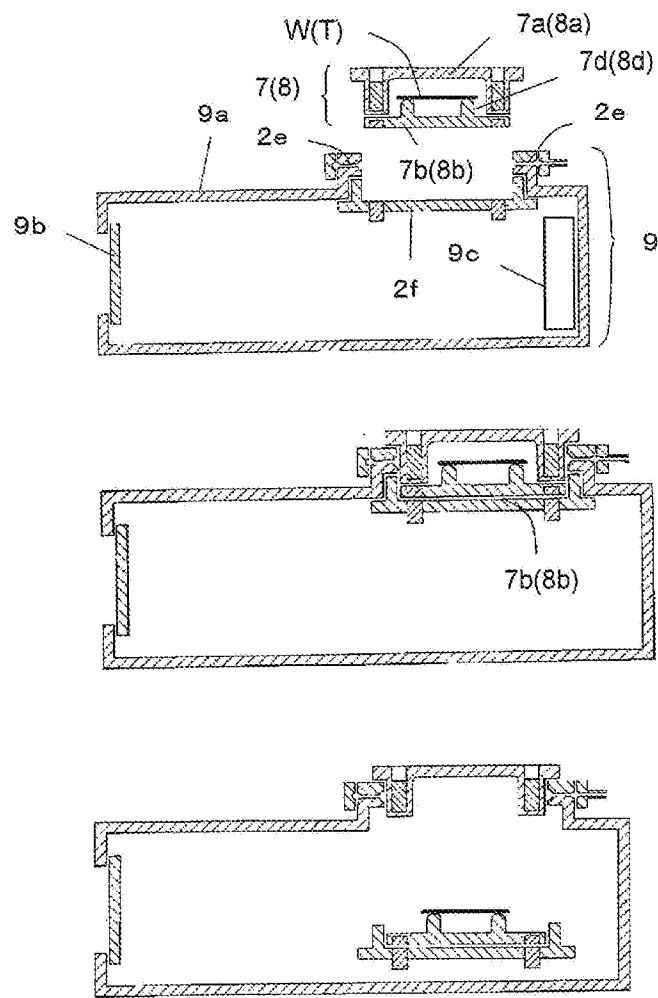
[請求項4] 請求項 1 ないし 3 のいずれか一項に記載の半導体製造システムにおいて、

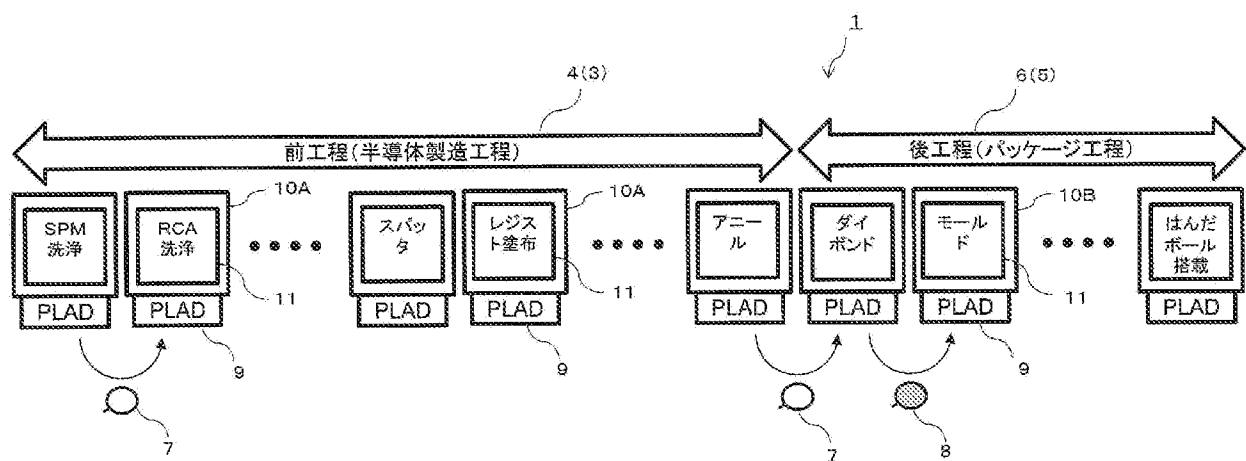
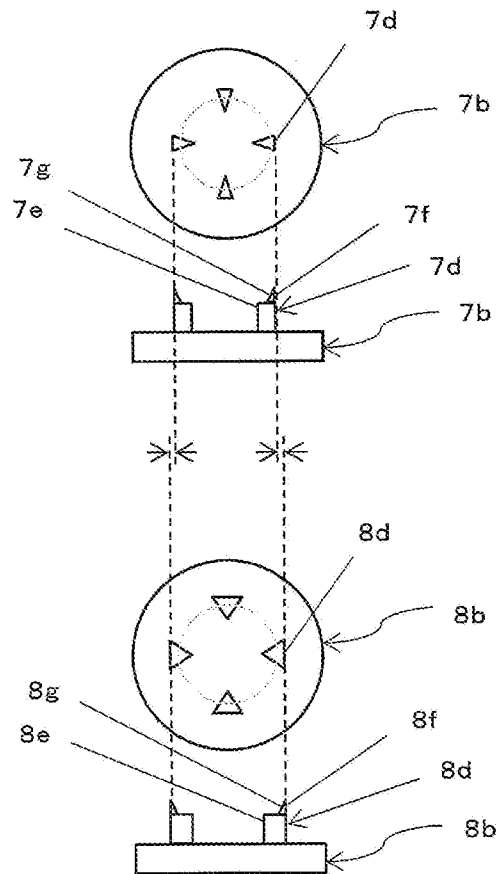
前記ウェハおよび半導体チップは、外径 12.5 mm の円盤状で、
前記基板は、外径 13.5 mm の円盤状である
ことを特徴とする半導体製造システム。

[図1]

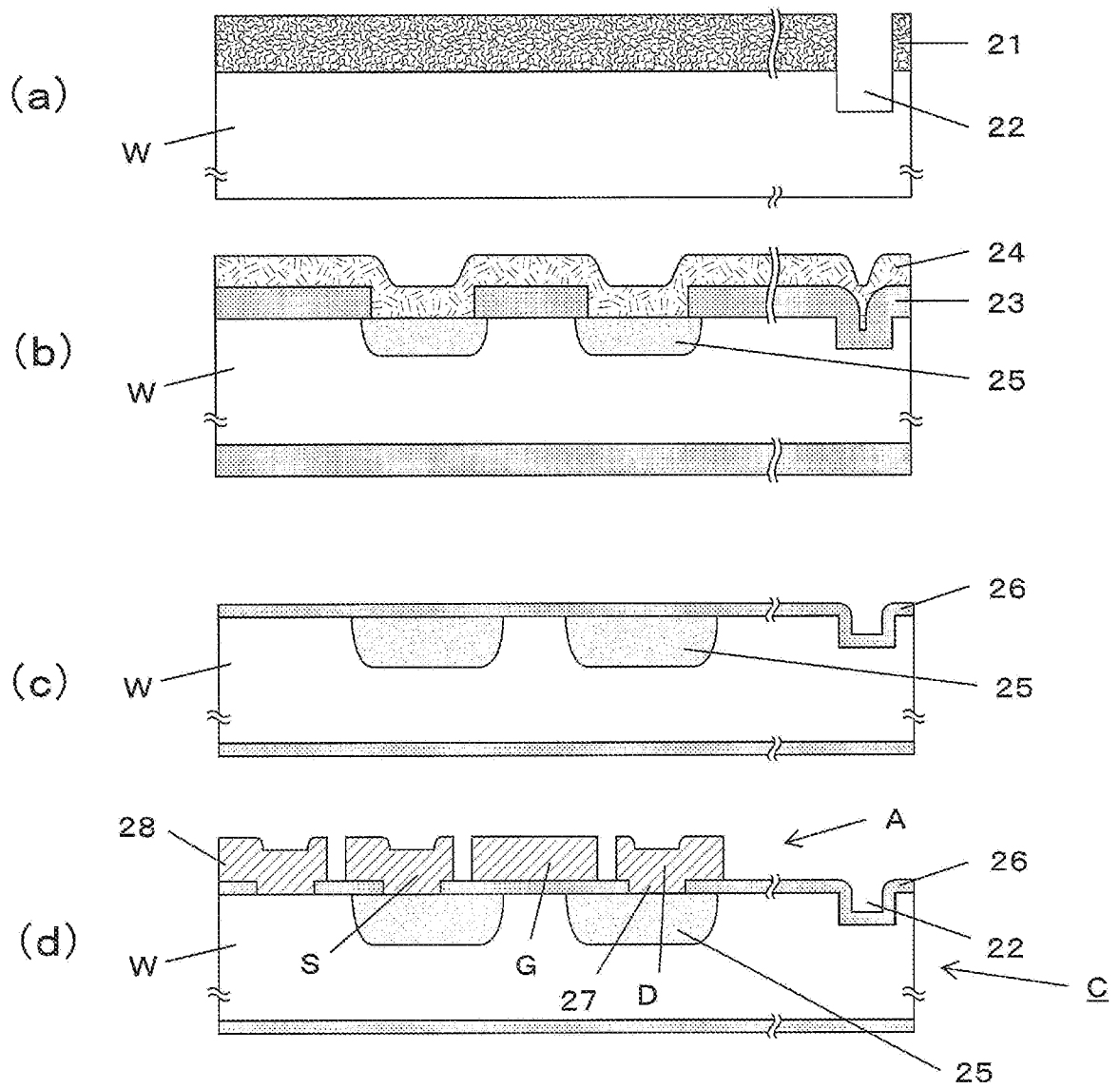


[図2]

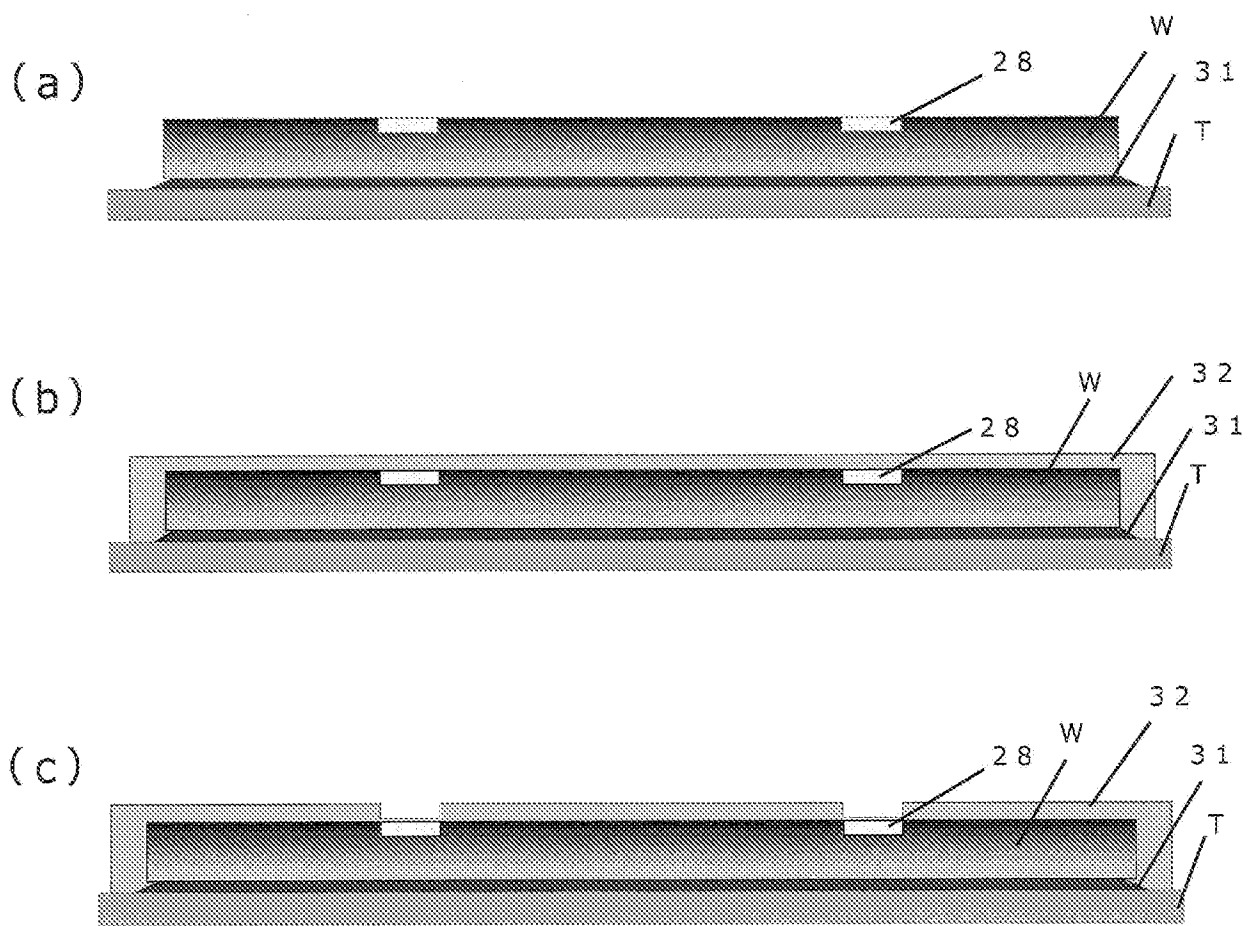




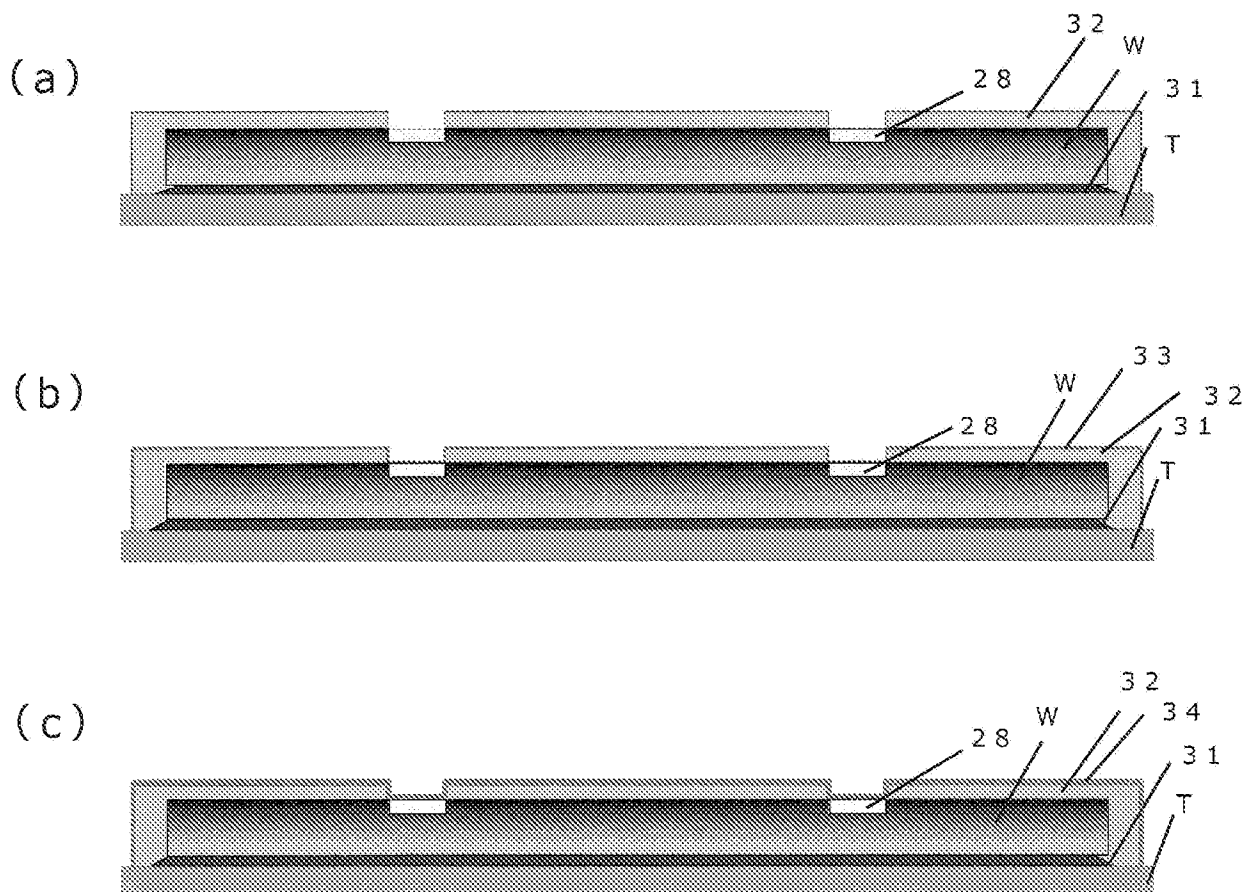
[図5]



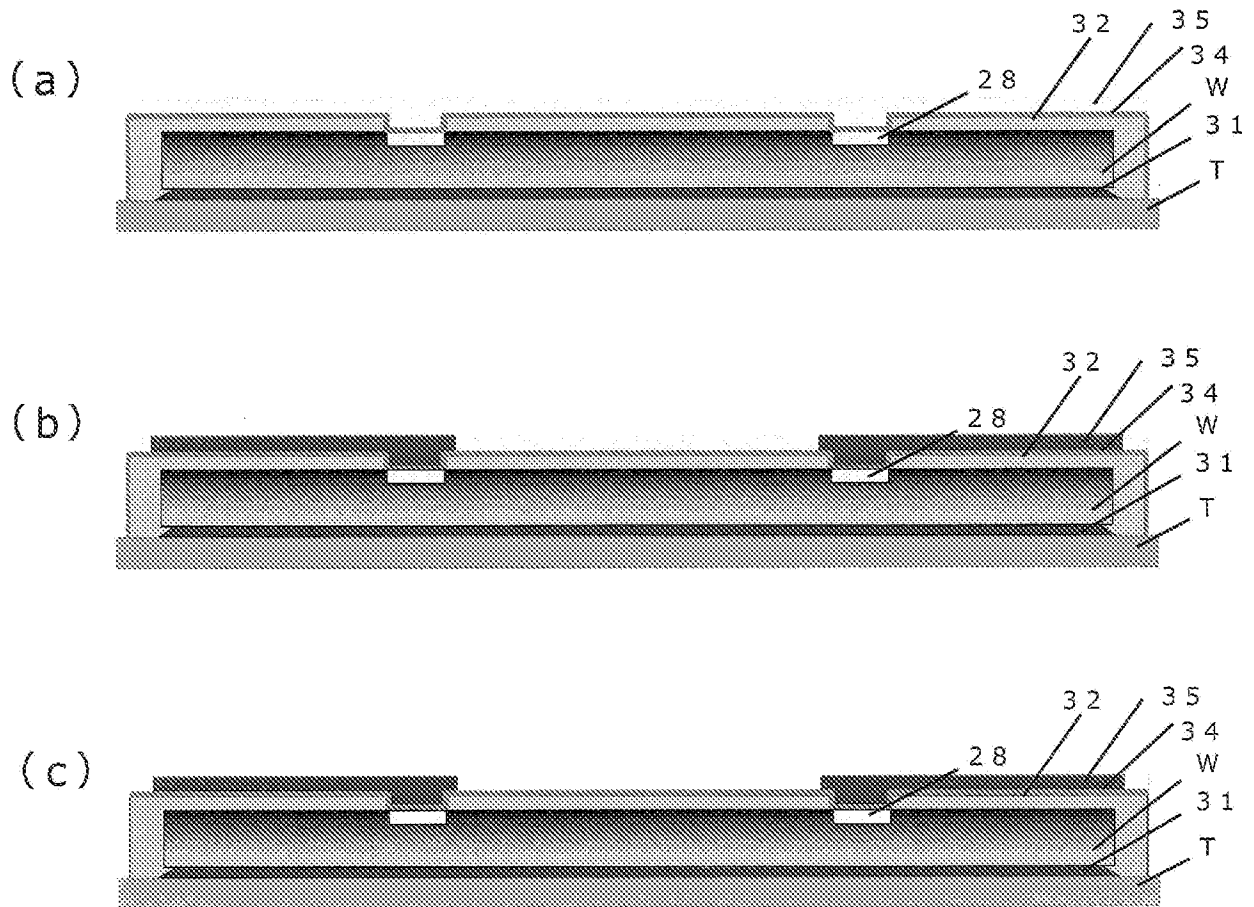
[図6]



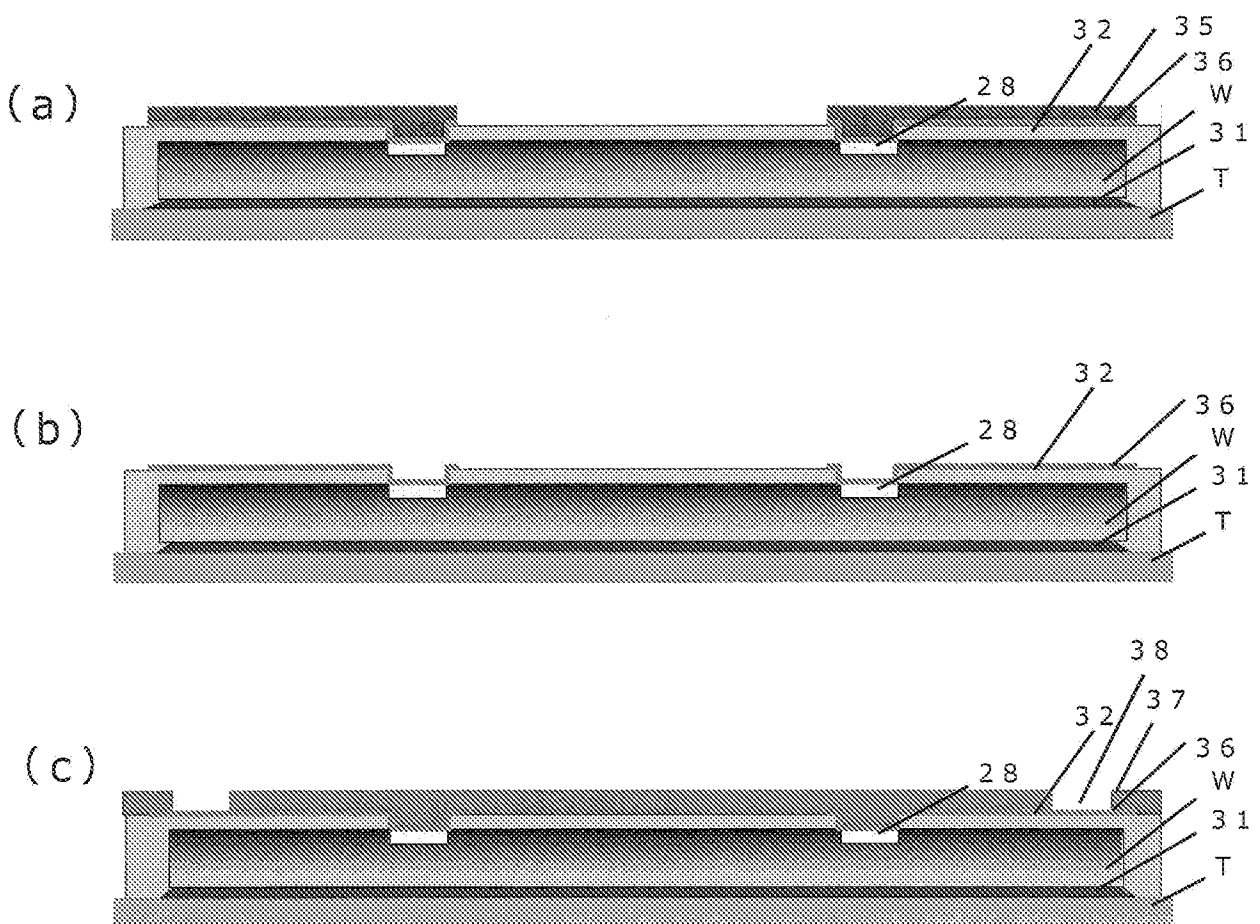
[図7]



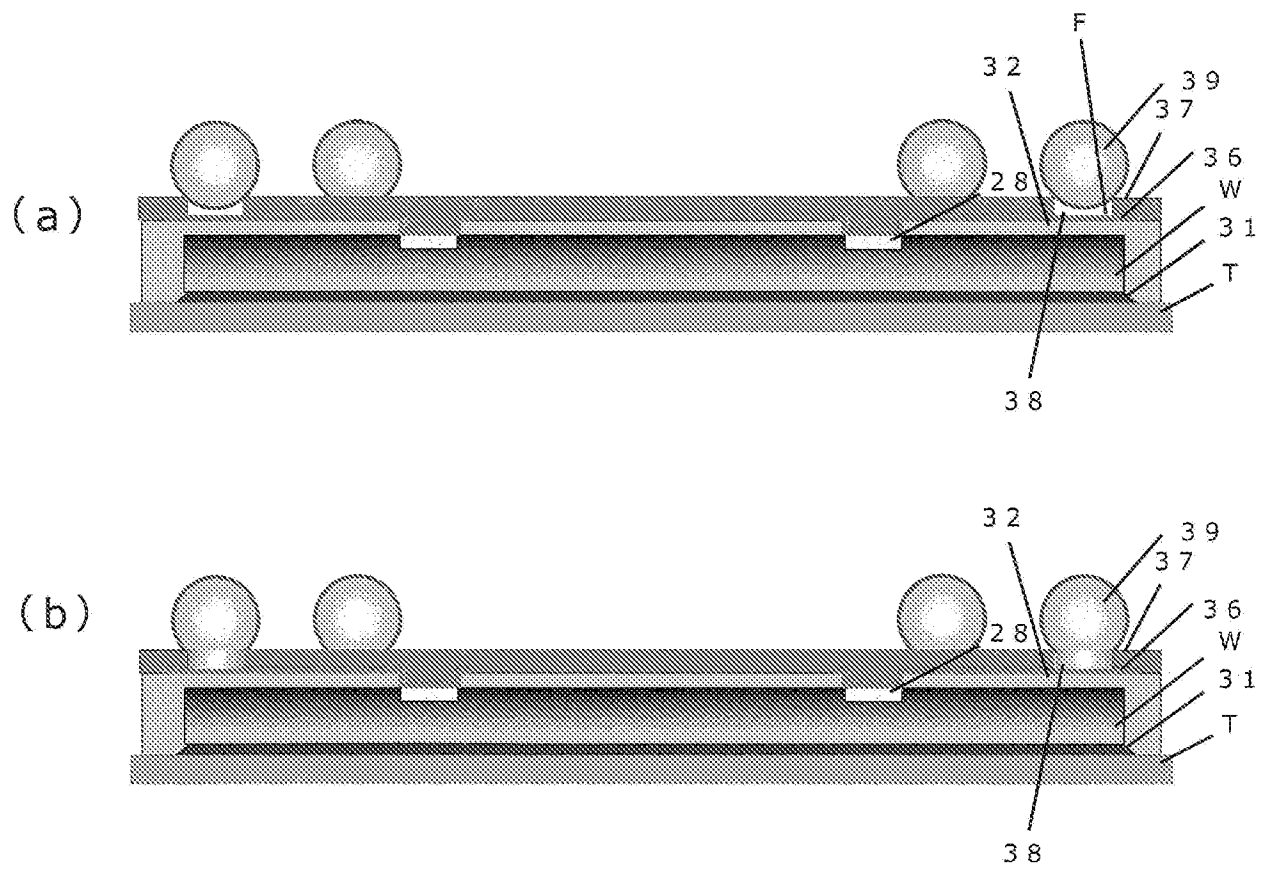
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/082138

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/02(2006.01)i, H01L21/60(2006.01)i, H01L21/673(2006.01)i, H01L21/677(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02, H01L21/60, H01L21/673, H01L21/677

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-54414 A (National Institute of Advanced Industrial Science and Technology), 15 March 2012 (15.03.2012), entire text; all drawings & US 2013/0167339 A1 entire text; all drawings & WO 2012/029775 A1 entire text; all drawings & EP 2613340 A1 entire text; all drawings & CN 103081059 A & KR 10-2013-0041332 A	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 December 2015 (24.12.15)

Date of mailing of the international search report
12 January 2016 (12.01.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/082138

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-258722 A (National Institute of Advanced Industrial Science and Technology), 22 December 2011 (22.12.2011), entire text; all drawings & US 2013/0162117 A1 entire text; all drawings & WO 2011/155356 A1 entire text; all drawings & EP 2581932 A1 entire text; all drawings & CN 103038873 A & KR 10-2013-0045864 A	1-4
A	JP 2004-47929 A (Fujitsu Ltd.), 12 February 2004 (12.02.2004), entire text; all drawings (Family: none)	1-4
A	JP 2012-64710 A (Asahi Glass Co., Ltd.), 29 March 2012 (29.03.2012), entire text; all drawings & US 2012/0064669 A1 entire text; all drawings & EP 2432010 A1 entire text; all drawings & CN 102403221 A & KR 10-2012-0028847 A	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/02(2006.01)i, H01L21/60(2006.01)i, H01L21/673(2006.01)i, H01L21/677(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/02, H01L21/60, H01L21/673, H01L21/677

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-54414 A（独立行政法人産業技術総合研究所）2012.03.15, 全文、全図 & US 2013/0167339 A1, 全文, 全図 & WO 2012/029775 A1, 全文, 全図 & EP 2613340 A1, 全文, 全図 & CN 103081059 A & KR 10-2013-0041332 A	1-4
A	JP 2011-258722 A（独立行政法人産業技術総合研究所）2011.12.22, 全文、全図 & US 2013/0162117 A1, 全文, 全図 & WO 2011/155356 A1, 全文, 全図 & EP 2581932 A1, 全文, 全図 & CN 103038873 A & KR 10-2013-0045864 A	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 1 2 . 2 0 1 5

国際調査報告の発送日

1 2 . 0 1 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

井上 弘亘

5 O

3 2 4 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-47929 A (富士通株式会社) 2004. 02. 12, 全文, 全図 (ファミリーなし)	1-4
A	JP 2012-64710 A (旭硝子株式会社) 2012. 03. 29, 全文、全図 & US 2012/0064669 A1, 全文, 全図 & EP 2432010 A1, 全文, 全図 & CN 102403221 A & KR 10-2012-0028847 A	1-4