

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-46259

(P2017-46259A)

(43) 公開日 平成29年3月2日(2017.3.2)

| | | | |
|-----------------------------|--|----------------|-------------|
| (51) Int.Cl. | | F I | テーマコード (参考) |
| HO4N 5/378 (2011.01) | | HO4N 5/335 780 | 5C024 |
| HO3M 1/56 (2006.01) | | HO3M 1/56 | 5J022 |

審査請求 未請求 請求項の数 12 O L (全 24 頁)

(21) 出願番号 特願2015-168637 (P2015-168637)
 (22) 出願日 平成27年8月28日 (2015.8.28)

(71) 出願人 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 相原 康敏
 東京都江東区豊洲三丁目2番24号 ルネ
 サスエレクトロニクス株式会社内
 Fターム(参考) 5C024 AX01 CX16 CX54 GY31 HX18
 HX23 HX29 HX32 HX37 HX50
 5J022 AA09 BA05 CB08 CE05 CE08
 CF01 CF02 CF03 CF04 CF08
 CG04

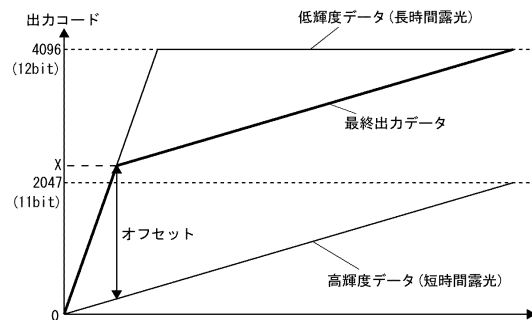
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】半導体装置において、画像取得のフレームレートを高める。

【解決手段】半導体装置は、画素信号をデジタル値に変換するアナログデジタル変換器に与えるランプ信号の傾きを、短時間露光に対応した変換処理時に大きく、長時間露光に対応した変換処理時に小さくし、かつ、ランプ信号の掃引時間を、短時間露光に対応した変換処理時に短く、長時間露光に対応した変換処理時に長くし、短時間露光に対応したデジタル値のビット数が長時間露光に対応したデジタル値のビット数よりも小さくなる2つのデータを生成する。

【選択図】 図 1 1



【特許請求の範囲】

【請求項 1】

入射光の光量に応じた電荷を蓄積して画素信号を出力する画素領域と、
前記画素信号を読み出し、ランプ信号を用いて前記画素信号の大きさに応じたデジタル値を出力するアナログデジタル変換器と、

前記画素領域に配置される受光素子が前記入射光を受ける露光時間の長さを示す露光時間切替パルスと、前記ランプ信号生成回路が前記ランプ信号を掃引する時間を指定する掃引期間パルスと、を出力する制御信号生成回路と、

前記露光時間切替パルスが短時間露光期間を示す場合に用いられる前記ランプ信号の傾きを設定する短時間露光傾き設定値と、前記露光時間切替パルスが長時間露光期間を示す場合に用いられる前記ランプ信号の傾きの設定値であって、前記短時間露光傾き設定値よりも緩やかな傾きを示す長時間露光傾き設定値と、を記憶し、前記露光時間切替パルスに応じて前記短時間露光傾き設定値と前記長時間露光傾き設定値とを切り替えて出力するランプ波制御回路と、

前記ランプ波制御回路から出力される傾き設定値に応じた傾きを有するランプ信号を前記掃引期間パルスに応じて出力するランプ波形生成回路と、を有し、

前記制御信号生成回路は、前記露光時間切替パルスが前記短時間露光期間を示す期間に出力する前記掃引期間パルスにより指定する掃引時間を、前記露光時間切替パルスが前記長時間露光期間を示す期間に出力する前記掃引期間パルスにより指定する掃引時間よりも短くし、

前記アナログデジタル変換器は、前記短時間露光期間に対応する第 1 のデジタル値と前記長時間露光期間に対応する第 2 のデジタル値と、を生成する半導体装置。

【請求項 2】

前記アナログデジタル変換器は、基準クロックをカウントするカウンタを有し、前記ランプ信号の信号レベルと前記画素信号の信号レベルとの大小関係が反転したことに応じて前記カウンタのカウント動作を停止して、停止時点で前記カウンタが出力するカウント値を前記デジタル値として出力する請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 のデジタル値と、前記第 2 のデジタル値と、をそれぞれ保持するデータ保持部を有する請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 のデジタル値と前記第 2 のデジタル値とを合成して最終画像データ出力するデータ演算部を有する請求項 3 に記載の半導体装置。

【請求項 5】

前記データ演算部は、前記第 2 のデジタル値のうち大きな出力コードに対応する部分を前記第 1 のデジタル値に置き換えて出力する請求項 4 に記載の半導体装置。

【請求項 6】

前記データ演算部は、予め算出した切替点を超えた大きさを有する前記第 2 のデジタル値を前記第 1 のデジタル値に予め算出したオフセット値を加算した値に置き換えて出力する請求項 5 に記載の半導体装置。

【請求項 7】

前記アナログデジタル変換器は、一方の前記露光期間に対応したデジタル値の生成を完了したことに応じて、他方の前記露光期間に対応したデジタル値の生成を開始する請求項 1 に記載の半導体装置。

【請求項 8】

前記ランプ波制御回路は、

前記短時間露光傾き設定値として、2 以上の異なる傾きを示す 2 以上の傾き設定値を含み、

前記長時間露光傾き設定値として、2 以上の異なる傾きを示す 2 以上の傾き設定値を含み、

10

20

30

40

50

前記長時間露光傾き設定値に含まれる複数の傾き設定値の平均傾き値は、前記短時間露光傾き設定値に含まれる複数の傾き設定値の平均傾き値よりも小さい請求項 1 に記載の半導体装置。

【請求項 9】

入射光の光量に応じた電荷を蓄積して画素信号を出力する画素領域と

前記画素信号を読み出し、ランプ信号を用いて前記画素信号の大きさに応じたデジタル値を出力するアナログデジタル変換部と、

前記画素領域に配置される受光素子が前記入射光を受ける露光時間の長さに応じて前記ランプ信号の傾きを切り替えるランプ信号生成回路と、を有し、

前記ランプ信号生成回路は、前記露光時間が短い期間に前記アナログデジタル変換器が出力するデジタル値のビット数が、前記露光時間が長い期間に前記アナログデジタル変換器が出力するデジタル値のビット数よりも小さくなるように前記ランプ信号の傾きを切り替える半導体装置。

10

【請求項 10】

前記アナログデジタル変換器は、基準クロックをカウントするカウンタを有し、前記ランプ信号の信号レベルと前記画素信号の信号レベルとの大小関係が反転したことに応じて前記カウンタのカウント動作を停止して、停止時点で前記カウンタが出力するカウント値を前記デジタル値として出力する請求項 9 に記載の半導体装置。

【請求項 11】

前記アナログデジタル変換器は、一方の前記露光期間に対応したデジタル値の生成を完了したことに応じて、他方の前記露光期間に対応したデジタル値の生成を開始する請求項 9 に記載の半導体装置。

20

【請求項 12】

前記アナログデジタル変換器は、前記画素領域に格子状に配置される前記受光素子について行毎に前記画素信号を読み出して変換処理を行い、

前記ランプ信号生成回路は、前記行毎に前記ランプ信号の掃引を行い、1回の掃引期間中に前記ランプ信号の傾きを少なくとも1回変更する請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、例えば、画素から得られた画素信号をデジタル値に変換する際にランプ信号を利用するアナログデジタル変換器を有するに関する。

30

【背景技術】

【0002】

画像処理により種々の制御を行う例が多くなっている。この画像処理に用いる画像を取得する際にはCMOS (Complementary Metal Oxide Semiconductor) 撮像素子等の固体撮像素子が用いられる。近年、この画像処理の精度を高めるためにCMOS撮像素子における高画質化が要求されている。そこで、特許文献1にCMOS撮像素子の高画質化のための技術が開示されている。

【0003】

特許文献1では、ランプ波電圧を出力するランプ波発生部と、ランプ波電圧を用いて画素に入射する光の光量に対応する入力アナログ信号を出力デジタル信号に変換するAD変換部と、を有する。そして、特許文献1では、ランプ波発生部が第1のデジタルデータに応じた出力電流を生成する第1電流出力DA変換回路と、第1出力電流の積分に対応する電圧をランプ波電圧として出力する積分器と、を有する。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2013-175936号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、フレームレートを高めることができない問題がある。その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0006】

一実施の形態によれば、半導体装置は、画素信号をデジタル値に変換するアナログデジタル変換器に与えるランプ信号の傾きを、短時間露光に対応した変換処理時に大きく、長時間露光に対応した変換処理時に小さくし、かつ、ランプ信号の掃引時間を、短時間露光に対応した変換処理時に短く、長時間露光に対応した変換処理時に長くし、短時間露光に対応したデジタル値のビット数が長時間露光に対応したデジタル値のビット数よりも小さくなる2つのデータを生成する。

10

【発明の効果】

【0007】

一実施の形態によれば、半導体装置は、フレームレートを高めることができる。

【図面の簡単な説明】

【0008】

【図1】実施の形態1にかかる半導体装置が適用されるカメラシステムの第1の例を示すブロック図である。

【図2】実施の形態1にかかる半導体装置が適用されるカメラシステムの第2の例を示すブロック図である。

20

【図3】実施の形態1にかかる半導体装置のブロック図である。

【図4】実施の形態1にかかる半導体装置のアナログデジタル変換器及び制御部のブロック図である。

【図5】実施の形態1にかかる半導体装置の制御部の詳細なブロック図である。

【図6】実施の形態1にかかる半導体装置のランプ波制御回路のブロック図である。

【図7】実施の形態1にかかる半導体装置のランプ波形生成回路のブロック図である。

【図8】実施の形態1にかかるランプ信号生成回路の動作を示すタイミングチャートである。

【図9】実施の形態1にかかる半導体装置における画素信号を取得する際のタイミングチャートである。

30

【図10】実施の形態1にかかる半導体装置におけるデジタル値の合成処理を説明するフローチャートである。

【図11】実施の形態1にかかる半導体装置におけるデジタル値の合成処理を説明するグラフである。

【図12】実施の形態1にかかる半導体装置の実装形態の例を説明する図である。

【図13】画像データにおける線フリッカを説明する図である。

【図14】画像データにおける線フリッカを説明する図である。

【図15】画像データにおける画素行と露光量の揺らぎとの関係を説明するグラフである。

40

【図16】画像データにおける画素行と露光量の揺らぎとの関係を説明するグラフである。

【図17】実施の形態2にかかる半導体装置における画素信号を取得する際のタイミングチャートである。

【図18】実施の形態3にかかる半導体装置における画素信号を取得する際のタイミングチャートである。

【図19】実施の形態4にかかる半導体装置のランプ波制御回路のブロック図である。

【図20】実施の形態4にかかる半導体装置のランプ信号生成回路の動作を説明するタイミングチャートである。

【図21】実施の形態4にかかる半導体装置のランプ信号生成回路における露光時間の違

50

いによるランプ信号の違いを説明するタイミングチャートである。

【図 2 2】実施の形態 4 にかかる半導体装置におけるデジタル値の合成処理を説明するグラフである。

【発明を実施するための形態】

【0009】

実施の形態 1

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

【0010】

<カメラシステムの説明>

実施の形態 1 にかかる半導体装置は、画素が配置される画素領域と、当該画素領域に蓄積された電荷の情報（以下、画素信号と称す）をデジタル値の画素情報に変換して出力する周辺回路と、を有する。これら画素領域と周辺回路とを含む半導体装置を撮像素子と以下では称する。そこで、この撮像素子を含むカメラシステムについて最初に説明する。

【0011】

図 1 及び図 2 に実施の形態 1 にかかる半導体装置が適用されるカメラシステムの例のブロック図を示す。図 1 のカメラシステムの例は、車載用のカメラシステムである。図 2 のカメラシステムの例は、監視カメラのカメラシステムである。実施の形態 1 にかかる半導体装置は、図 1 及び図 2 に示す撮像素子となる。カメラシステムにおいて、撮像素子はレンズを介して入射される入射光に応じて画像情報を入力する。そして、カメラシステムでは、信号処理回路が撮像素子から出力された画像情報に対して信号処理を施して後段に接続される上位システムに信号処理結果の情報を出力する。このとき、車載用途では、信号処理回路が C A N (Controller Area Network) 等の車載ネットワークに接続され、監視カメラ用では L A N (Local Area Network) 等の汎用的なネットワークに接続される。

【0012】

また、カメラシステムは、カメラシステム制御回路により撮影タイミング、スタンバイ等の全体の動作が制御される。ここで、車載用途では、レンズが固定焦点であることが多く、監視カメラ用途ではレンズの焦点が可変である場合が多い。そのため、監視カメラ用途では、レンズの焦点距離を制御するアクチュエータが備えられることが多い。

【0013】

このような車載用途、或いは、監視カメラ用途では、カメラシステムがトンネル内、或いは、夜間の暗い環境の中に設置されている状態で、トンネルの出口付近を撮影する、或いは、暗い中で部分的に照明がある等の撮影条件においては、広いダイナミックレンジを有していなければ画像の一部が白飛び (Blown out highlights 又は Clipped whites)、或いは、黒つぶれ (Blocked up shadows 又は Crushed shadows) してしまう状況が発生する。また、特に車載用途では、夜間の歩行者や障害物、対向車の明るいライトの間にあるナンバープレートなど、暗く写った、すなわち低照度の被写体を高精度に撮像する必要性が高い。そのため、車載用途、或いは、監視カメラ用途では、上記の用途の特徴を踏まえた上で広いダイナミックレンジで画像を取得することの要求が大きい。

【0014】

<撮像素子の構成の説明>

続いて、図 3 に実施の形態 1 にかかる半導体装置（例えば、撮像素子 1）のブロック図を示す。図 3 に示すように、実施の形態 1 にかかる撮像素子 1 は、画素領域 10、アナログデジタル変換器 11、制御部 12 を有する。また、制御部 12 は、ランプ信号生成回路 13、参照電圧生成回路 14、制御信号生成回路 15 を有する。

【0015】

画素領域 10 は、入射光の光量に応じた電荷を蓄積して画素信号を出力する。図 3 に示す例では、画素領域 10 には、画素が行列状に形成される。画素は、それぞれが画像情報の 1 画素分の電荷を蓄積する。画素から得られる画素信号は、列毎に読み出される。

10

20

30

40

50

【 0 0 1 6 】

アナログデジタル変換器 1 1 は、画素領域 1 0 から画素信号を読み出し、ランプ信号を用いて画素信号の大きさに応じたデジタル値（例えば、出力信号）を出力する。アナログデジタル変換器 1 1 は、画素領域 1 0 の画素の列毎に設けられる。図 3 に示す例では、画素領域 1 0 の奇数列に対応するアナログデジタル変換器 1 1 が画素領域 1 0 の図面上側に並べられ、偶数列に対応するアナログデジタル変換器 1 1 が画素領域 1 0 の図面下側に並べられる。アナログデジタル変換器 1 1 の詳細な構成については後述する。

【 0 0 1 7 】

制御部 1 2 は、アナログデジタル変換器 1 1 を制御するランプ信号 S 1、参照電圧信号 S 2、動作制御信号 S 3 を出力する。なお、図 3 では図示を省略したが、撮像素子 1 では、アナログデジタル変換器 1 1 が配置される領域の上であって、アナログデジタル変換器 1 1 が配置される領域を横切る（アナログデジタル変換器 1 1 が並ぶ）方向に電源配線及び接地配線が配置される。図 3 では、制御部 1 2 の内部の回路として、ランプ信号生成回路 1 3、参照電圧生成回路 1 4、制御信号生成回路 1 5 を示したが、他の回路を含むことも可能である。

【 0 0 1 8 】

ランプ信号生成回路 1 3 は、所定のタイミングでランプ信号 S 1 を出力する。参照電圧生成回路 1 4 は、アナログデジタル変換器 1 1、ランプ信号生成回路 1 3 等で利用される参照電圧信号 S 2 を生成する。制御信号生成回路 1 5 は、アナログデジタル変換器 1 1 を制御するため動作制御信号 S 3 及びランプ信号生成回路 1 3 の動作を制御する制御信号を生成する。ランプ信号生成回路 1 3、参照電圧生成回路 1 4 及び制御信号生成回路 1 5 の詳細については後述する。

【 0 0 1 9 】

< アナログデジタル変換器の構成の説明 >

続いて、アナログデジタル変換器 1 1 の詳細について説明する。図 4 に実施の形態 1 にかかる撮像素子 1 のアナログデジタル変換器 1 1 及び制御部 1 2 のブロック図を示す。なお、図 4 で示した制御部 1 2 は、実施の形態 1 にかかるアナログデジタル変換器 1 1 の制御に関わる部分のみを示すものである。図 4 に示すように、アナログデジタル変換器 1 1 は、増幅器 O P、比較器 C M P、コンデンサ C 1 ~ C 4、スイッチ S W 1、S W 2 を有する。なお、図 4 に示した P G A（Programmable Gain Amplifier）ゲイン設定信号、A D C（Analog to Digital Converter）サンプリングパルス信号、A D C オートゼロパルス信号は、動作制御信号 S 3 に含まれる信号である。

【 0 0 2 0 】

増幅器 O P は、反転入力端子にコンデンサ C 1 を介して画素信号が入力される。増幅器 O P の出力端子と出力端子との間にはコンデンサ C 2 が設けられる。そして、増幅器 O P の正転入力端子には、参照電圧生成回路 1 4 から P G A 参照電圧が与えられる。コンデンサ C 1 は、制御信号生成回路 1 5 が出力する P G A ゲイン設定信号により容量値が決定される可変容量である。ここで、増幅器 O P、コンデンサ C 1、C 2 は、プログラマブルゲインアンプとして機能する。このプログラマブルゲインアンプは、P G A ゲイン設定信号によりコンデンサ C 1 とコンデンサ C 2 との容量比を変化させることで、画素信号の増幅率を可変する。

【 0 0 2 1 】

比較器 C M P は、反転入力端子と接地配線との間にコンデンサ C 4 が接続され、正転入力端子がスイッチ S W 1 を介して増幅器 O P の出力端子と接続される。比較器 C M P の正転入力端子にはコンデンサ C 3 の一端が接続される。コンデンサ C 3 の他端にはランプ信号生成回路 1 3 からランプ信号 S 1 が入力される。また、比較器 C M P の反転入力端子と出力端子との間にはスイッチ S W 2 が接続される。スイッチ S W 1 は、制御信号生成回路 1 5 が出力する A D C サンプリングパルス信号により開閉状態が制御される。スイッチ S W 2 は A D C オートゼロパルス信号により開閉状態が制御される。また、アナログデジタル変換器 1 1 は、比較器 C M P の出力値に応じて基準クロックをカウントするカウンタを

有する。この基準クロックは図示を省略した発振回路等が出力するものである。アナログデジタル変換器 11 は、ランプ信号 S1 の信号レベルと画素信号の信号レベルとの大小関係が反転したことに応じてカウンタのカウンタ動作を停止して、停止時点でカウンタが出力するカウンタ値をデジタル値として出力する。

【0022】

ここで、比較器 CMP、コンデンサ C3、C4 は、シングルスロープ積分型 AD 変換回路として機能する。シングルスロープ積分型 AD 変換回路は、比較器 CMP の出力値をカウントするカウンタのカウンタ値と相関を有するランプ信号 S1 を参照基準電圧とする。そしてシングルスロープ積分型 AD 変換回路は、ランプ信号 S1 を比較器 CMP に入力し、変換対象のアナログ信号とこのランプ信号 S1 とを比較し、両者が一致した時点でのカウンタ値を保持し、これを AD 変換結果として出力する。なお、図 4 に示す例では、コンデンサ C3、C4 にプログラマブルゲインアンプ側から入力される画素信号のアナログレベルを保持する。そして、実施の形態 1 にかかるシングルスロープ積分型 AD 変換回路では、コンデンサ C3 の他端に与えたランプ信号 S1 の電圧レベルを変化させながら 2 つのコンデンサに蓄積された電荷により生じた電圧の比較を行う。

10

【0023】

アナログデジタル変換器 11 では、アナログデジタル変換器の性能を最大限に利用し、かつ、量子化ノイズなどによる S/N の低下を抑えるために、比較器 CMP より前の段階において、変換対象の画素信号を比較器 CMP のダイナミックレンジに最適なレベルに増幅するアナログゲイン制御が必要となっている。また、実施の形態 1 にかかる撮像素子 1 では、ランプ信号生成回路 13 が出力するランプ信号 S1 の最大電圧及び傾きを変化させることで、画素信号の信号レベルに対してアナログデジタル変換器 11 の分解能を変化させる。より具体的には、実施の形態 1 にかかる撮像素子 1 では、画素領域 10 に配置される受光素子の露光時間に合わせて、ランプ信号 S1 の傾きを変化させることで、アナログデジタル変換器 11 が出力するデジタル値のビット数を切り替える。例えば、実施の形態 1 にかかる撮像素子 1 では、撮影領域中の高輝度な部分を精細に撮影する短時間露光期間に出力するデジタル値のビット数を小さく（例えば、11 ビット）し、撮影領域中の低輝度な部分を精細に撮影する長時間露光期間に出力するビット数を大きく（例えば、12 ビット）する。

20

【0024】

30

< ランプ信号生成回路の構成の説明 >

そこで、ランプ信号生成回路 13 を含む制御部 12 の詳細な構成について以下で説明する。図 5 に実施の形態 1 にかかる制御部 12 のブロック図を示す。図 5 に示す例では、制御部 12 のうちランプ信号生成回路 13 に関わる構成のみを示した。図 5 に示すように、ランプ信号生成回路 13 は、ランプ波形制御回路 20、ランプ波形生成回路 30 を有する。

【0025】

ランプ波形制御回路 20 には、制御信号生成回路 15 が出力する露光時間切替パルスが与えられる。露光時間切替パルスは、画素領域に配置される受光素子が入射光を受ける露光時間の長さを示すものである。より具体的には、露光時間切替パルスは、受光素子の露光時間の長さに応じて論理レベルが切り替えられる。ランプ波形制御回路 20 は、露光時間切替パルスが短時間露光期間を示す場合に用いられるランプ信号 S1 の傾きを設定する短時間露光傾き設定値と、露光時間切替パルスが長時間露光期間を示す場合に用いられるランプ信号 S1 の傾きの設定値であって、短時間露光傾き設定値よりも緩やかな傾きを示す長時間露光傾き設定値と、を記憶する。そして、ランプ波形制御回路 20 は、露光時間切替パルスに応じて短時間露光傾き設定値と長時間露光傾き設定値とを切り替えて出力する。図 5 では、ランプ波形制御回路 20 が出力する傾き設定値を傾き設定値 SLP とした。

40

【0026】

ランプ波形生成回路 30 には、参照電圧生成回路 14 が出力する参照電圧 VREF 及び制御信号生成回路 15 が出力する積分アンプオートゼロパルス ZP、オフセット印加期間

50

パルスOSP、掃引期間パルスSWPが与えられる。積分アンプオートゼロパルスZPは、ランプ波形生成回路30内の積分アンプの出力をリセットするための信号である。オフセット印加期間パルスOSPは、ランプ波形生成回路30内の積分アンプの出力をオフセットレベルに調節するための期間を指定する信号である。掃引期間パルスSWPは、ランプ波形生成回路30がランプ信号S1を掃引する時間を指定する信号である。そして、ランプ波形生成回路30は、ランプ波制御回路20から出力される傾き設定値に応じた傾きを有するランプ信号S1を掃引期間パルスSWPに応じて出力する。

【0027】

ここで、掃引期間パルスSWPは、制御信号生成回路15が出力する。制御信号生成回路15は、露光時間切替パルスが短時間露光期間を示す期間に出力する掃引期間パルスSWPにより指定する掃引時間を、露光時間切替パルスが長時間露光期間を示す期間に出力する掃引期間パルスにより指定する掃引時間よりも短くする。そして、アナログデジタル変換器11は、短時間露光期間に対応する第1のデジタル値と長時間露光期間に対応する第2のデジタル値と、を生成する。

10

【0028】

続いて、ランプ波形制御回路20の詳細について説明する。そこで、図6に実施の形態1にかかるランプ波形制御回路20のブロック図を示す。図6に示すように、ランプ波形制御回路20は、短時間露光傾き設定部21、長時間露光傾き設定部22、セクタ23、オフセット設定レジスタ24を有する。

20

【0029】

短時間露光傾き設定部21は、短時間露光で取得される画像信号に対するアナログデジタル変換処理を行う際に用いられる短時間露光傾き設定値を出力する。実施の形態1にかかる撮像素子1では、短時間露光傾き設定部21が第1の傾き設定レジスタを有し、第1の傾き設定レジスタに短時間露光傾き設定値が格納される。長時間露光傾き設定部22は、長時間露光で取得される画像信号に対するアナログデジタル変換処理で用いられる長時間露光傾き設定値を出力する。実施の形態1にかかる撮像素子1では、長時間露光傾き設定部22が第2の傾き設定レジスタを有し、第2の傾き設定レジスタに短時間露光傾き設定値が格納される。

【0030】

セクタ23は、露光時間切り換えパルスの論理レベルに応じて短時間露光傾き設定値と長時間露光傾き設定値とのいずれか一方を選択して傾き設定値SLPとして出力する。オフセット設定レジスタ24は、初期傾き期間の初期のランプ信号S1の電圧値を設定するオフセット設定値OFFSを格納する。

30

【0031】

なお、短時間露光傾き設定値、長時間露光傾き設定値及びオフセット設定値は、例えば、図1及び図2に示したカメラシステム制御回路のように、撮像素子1を制御する処理制御回路により与えられるものとする。

【0032】

続いて、ランプ波形生成回路30について説明する。そこで、図7に実施の形態1にかかるランプ波形生成回路30のブロック図を示す。図7に示すように、実施の形態1にかかるランプ波形生成回路30は、オフセット電流源31、電流デジタルアナログ変換回路32、波形切替回路33、積分回路34、パツファ回路35を有する。

40

【0033】

オフセット電流源31は、オフセット設定値に応じて積分回路34にオフセット電流を出力する。オフセット電流源31は、カレントミラー回路のミラー比をオフセット設定値に応じて切り替えることでオフセット電流値を可変する。より具体的には、オフセット電流源31は、電流源ISP、PMOSTランジスタMPs、MPd、MP0~MPk（末尾のkは整数であり、オフセット設定値のビット数と同じ値）、スイッチSWp00~SWp0k、SWp10~SWp1k（末尾のkは整数であり、オフセット設定値のビット数と同じ値）を有する。

50

【 0 0 3 4 】

オフセット電流源 3 1 は、PMOS トランジスタ MP_s がソース側トランジスタとなり、PMOS トランジスタ MP_d、MP₀ ~ MP_n が枝側トランジスタとなるカレントミラー回路を有する。PMOS トランジスタ MP_s、MP_d、MP₀ ~ MP_k は、ソースが電源配線に接続される。PMOS トランジスタ MP_s のドレインには、電流源 I_{Sp} から基準電流が与えられる。PMOS トランジスタ MP_s、MP_d は、ゲートが共通接続される。また、PMOS トランジスタ MP_s のドレインは、PMOS トランジスタ MP_s のゲート及び PMOS トランジスタ MP_d のゲートに接続される。PMOS トランジスタ MP₀ ~ MP_k のゲートと電源配線との間にはスイッチ SW_{p00} ~ SW_{p0k} が設けられる。また、PMOS トランジスタ MP₀ ~ MP_k のゲートと PMOS トランジスタ MP_s のゲートとの間にはスイッチ SW_{p10} ~ SW_{p1k} が設けられる。スイッチ SW_{p00} ~ SW_{p0k} とスイッチ SW_{p10} ~ SW_{p1k} は、オフセット設定値の対応するビットの値に応じて開閉状態が制御される。また、スイッチ SW_{p00} ~ SW_{p0k} とスイッチ SW_{p10} ~ SW_{p1k} は、オフセット設定値の対応するビットの値に基づき開閉状態が排他的になるように制御される。つまり、オフセット電流源 3 1 は、オフセット設定値に応じてカレントミラー回路において出力電流を出力する枝側トランジスタの数が 1 ~ k + 1 個のいずれかに制御され、2^k 階調でオフセット電流の電流値を切り換えることができる。

10

【 0 0 3 5 】

なお、電流デジタルアナログ変換回路 3 2 の出力電流の可変幅は、基準となる出力電流を 1 とした場合に、例えば、1 / 4 倍から 4 倍の範囲等の一定の出力電流の変化範囲内で可変できるようにカレントミラー回路のミラー比を設定する。そして、2ⁿ 階調で電流デジタルアナログ変換回路 3 2 の出力電流の可変できるように設定する。

20

【 0 0 3 6 】

電流デジタルアナログ変換回路 3 2 は、セレクタ 2 9 が出力した値に応じた大きさの出力電流を出力する。セレクタ 2 9 から出力される設定値は n ビットの値であるため、電流デジタルアナログ変換回路 3 2 は、2ⁿ 階調で出力電流の電流値を切り換えることができる。電流デジタルアナログ変換回路 3 2 は、電流源 I_{Sn}、NMOS トランジスタ MN_s、MN_d、MN₀ ~ MN_n (末尾の n は整数であり、セレクタ 2 9 から出力される設定値のビット数と同じ値)、スイッチ SW_{n00} ~ SW_{n0n}、SW_{n10} ~ SW_{n1n} (末尾の n は整数であり、セレクタ 2 9 から出力される設定値のビット数と同じ値) を有する。

30

【 0 0 3 7 】

電流デジタルアナログ変換回路 3 2 は、NMOS トランジスタ MN_s がソース側トランジスタとなり、NMOS トランジスタ MN_d、MN₀ ~ MN_n が枝側トランジスタとなるカレントミラー回路を有する。NMOS トランジスタ MN_s、MN_d、MN₀ ~ MN_n は、ソースが設置配線に接続される。NMOS トランジスタ MN_s のドレインには、電流源 I_{Sn} から基準電流が与えられる。NMOS トランジスタ MN_s、MN_d は、ゲートが共通接続される。また、NMOS トランジスタ MN_s のドレインは、NMOS トランジスタ MN_s のゲート及び NMOS トランジスタ MN_d のゲートに接続される。NMOS トランジスタ MN₀ ~ MN_n のゲートと設置配線との間にはスイッチ SW_{n00} ~ SW_{n0n} が設けられる。また、NMOS トランジスタ MN₀ ~ MN_n のゲートと NMOS トランジスタ MN_s のゲートとの間にはスイッチ SW_{n10} ~ SW_{n1n} が設けられる。スイッチ SW_{n00} ~ SW_{n0n} とスイッチ SW_{n10} ~ SW_{n1n} は、セレクタ 2 9 が出力する設定値の対応するビットの値に応じて開閉状態が制御される。また、スイッチ SW_{n00} ~ SW_{n0n} とスイッチ SW_{n10} ~ SW_{n1n} は、セレクタ 2 9 が出力する設定値の対応するビットの値に基づき開閉状態が排他的になるように制御される。つまり、電流デジタルアナログ変換回路 3 2 は、セレクタ 2 9 が出力する設定値に応じてカレントミラー回路において出力電流を出力する枝側トランジスタの数が 1 ~ n + 1 個のいずれかに制御され、2ⁿ 階調で出力電流の電流値を切り換えることができる。

40

【 0 0 3 8 】

50

波形切替回路 33 は、積分回路 34 にオフセット電流源 31 が出力するオフセット電流を与えるか、電流デジタルアナログ変換回路 32 が出力する出力電流を与えるかを切り換える。波形切替回路 33 は、スイッチ SW3、SW4 を有する。スイッチ SW3 は、オフセット電流を積分回路 34 側に流すか、参照電圧 VREF が入力される側の端子に流すかを切り換える。スイッチ SW4 は、出力電流を積分回路 34 側に流すか、参照電圧 VREF が入力される側の端子に流すかを切り換える。スイッチ SW3 は、オフセット印加期間パルス OSP により経路の切り換えを行う。スイッチ SW4 は、掃引期間パルス SWP により経路の切り換えを行う。なお、参照電圧 VREF は、参照電圧生成回路 14 から与えられるものである。また、オフセット印加期間パルス OSP 及び掃引期間パルス SWP は制御信号生成回路 15 から与えられるものである。

10

【0039】

積分回路 34 は、出力電流を積分してランプ信号 S1 を出力する。また、積分回路 34 は、オフセット電流が入力されるにおいては、当該オフセット電流を積分してランプ信号 S1 の電圧レベルをオフセットレベルとする。なお、積分回路 34 が出力したランプ信号はバッファ回路 35 を介してアナログデジタル変換器 11 に与えられる。

【0040】

積分回路 34 は、増幅器 OP1、コンデンサ C5、スイッチ SW5 を有する。増幅器 OP1 は、正転入力端子に参照電圧 VREF が入力される。増幅器 OP1 は、非反転入力端子に波形切替回路 33 を介してオフセット電流又は出力電流が入力される。増幅器 OP1 の反転入力端子と出力端子の間にはコンデンサ C5 とスイッチ SW5 が並列接続となるように接続される。積分回路 34 は、参照電圧 VREF を基準電圧として、出力電流又はオフセット電流の積分値に基づき出力するランプ信号 S1 の電圧を変化させる。なお、スイッチ SW5 は、制御信号生成回路 15 から出力される積分アンプオートゼロパルス ZP に基づき開閉状態が制御される。

20

【0041】

<ランプ信号生成回路の動作の説明>

続いて、実施の形態 1 にかかるランプ信号生成回路の動作について説明する。そこで、図 8 に実施の形態 1 にかかるランプ信号生成回路の動作を示すタイミングチャートを示す。図 8 に示すように、実施の形態 1 にかかるランプ信号生成回路 13 では、露光時間切替パルスが短時間露光期間を示すとき（例えば、論理レベルがハイレベルのとき）、傾き設定値 SLP として短時間露光傾き設定部 21 に記憶されている短時間露光傾き設定値をランプ波形制御回路 20 からランプ波形生成回路 30 に与える。また、実施の形態 1 にかかるランプ信号生成回路 13 では、露光時間切替パルスが長時間露光期間を示すとき（例えば、論理レベルがロウレベルのとき）、傾き設定値 SLP として長時間露光傾き設定部 22 に記憶されている長時間露光傾き設定値をランプ波形制御回路 20 からランプ波形生成回路 30 に与える。

30

【0042】

そして、ランプ波形生成回路 30 は、積分アンプオートゼロパルス ZP がハイレベルになると（タイミング T10、T13、T20、T23）、積分回路 34 の出力をリセットする。ランプ波形生成回路 30 は、オフセット印加期間パルス OSP がハイレベルになると（タイミング T11、T14、T21、T24）、積分回路 34 の出力を基準電圧レベルに設定する。そして、ランプ波形生成回路 30 は、掃引期間パルス SWP の論理レベルがハイレベルになる期間（タイミング T12～T13、T15～T16、T22～T23、T25～T26）にランプ信号 S1 の掃引を行う。図 8 に示す例では、掃引期間パルス SWP がハイレベルとなる期間を 2 種類示した。掃引期間パルス SWP がハイレベルとなるタイミング T12～T13 及びタイミング T22～T23 の期間は、アナログデジタル変換器 11 が、ランプ波形生成回路 30 が出力する基準電圧のレベルを判定するための期間であり、アナログデジタル変換器 11 は画素信号のアナログデジタル変換処理は行わない。一方、掃引期間パルス SWP がハイレベルとなるタイミング T15～T16 及びタイミング T25～T26 の期間は、アナログデジタル変換器 11 が画素信号のアナログデジ

40

50

タル変換処理を行う。

【0043】

そして、図8に示すように、制御信号生成回路15は、露光時間切替パルスSWPが短時間露光期間を示す期間に出力する掃引期間パルスにより指定する掃引時間(図8のTS1)を、光時間切替パルスが長時間露光期間を示す期間に出力する掃引期間パルスSWPにより指定する掃引時間(図8のTS2)よりも短くする。これにより、ランプ信号生成回路13が1画素行に対してランプ信号を出力する期間は、短時間露光期間の1画素行処理期間TL1が短時間露光期間の1画素行処理期間TL2よりも短くなる。

【0044】

<撮像素子における画像取得動作の説明>

続いて、実施の形態1にかかる撮像素子1における画素信号を取得する際の動作について説明する。そこで、図9に実施の形態1にかかる撮像素子1における画素信号を取得する際のタイミングチャートを示す。図9に示すように、実施の形態1にかかる撮像素子1では、ブランキング期間Tbr、露光期間Tch、読み出し期間Trdの3つの異なる動作期間を経て1フレームの画像を取得する。ブランキング期間Tbrは、露光期間Tchの長さを調節するとともに、画素の電荷をリセットするための期間である。露光期間Tchは、画素を実際に入射光にさらしてその光量に応じた電荷を画素に蓄積する期間である。読み出し期間Trdは、画素に蓄積された電荷の量を示す画素信号をアナログデジタル変換器11に読み出す期間である。読み出し期間Trdにおいてアナログデジタル変換器11はアナログ値である画素信号をデジタル値である画像情報に変換する。また、図9に示すように、撮像素子1は、画素行に対して逐次処理を行うローリングシャッタ方式のため、例えば、アナログデジタル変換器11から遠い行に対する処理が、アナログデジタル変換器11に近い行に対する処理よりも遅いタイミングで行われる。そのため、縦軸に処理対象の画素行、横軸に時間をとった場合、各期間が平行四辺形の処理タイミングで表されるタイミングチャートとなる。

【0045】

そして、実施の形態1にかかる撮像素子1では、高輝度部分の画像を鮮明に取得する短時間露光期間の読み出し期間Trdのほうが、低輝度部分の画像を鮮明に取得する長時間露光期間の読み出し期間Trdよりも短い。これは、ランプ信号生成回路13及び制御信号生成回路15がランプ信号S1の掃引を行う掃引期間が短時間露光期間と長時間露光期間で違うこと、及び、アナログデジタル変換器11が出力するデジタル値のビット数が短時間露光期間と長時間露光期間で違うこと、に起因するものである。そして、この違いにより、実施の形態1にかかる撮像素子1では、短時間露光期間における1行目の画素の読み出し開始から最終行の画素の読み出しが完了するまでの期間が、短時間露光期間における1行目の画素の読み出し開始から最終行の画素の読み出しが完了するまでの期間よりも短くなる。これにより、図9に示す例では、読み出し期間を示す平行四辺形の傾きが、短時間露光期間の方が長時間露光期間よりも急峻になっている。

【0046】

<画像データの合成方法の説明>

続いて、実施の形態1にかかる撮像素子1を用いて取得した画像の合成方法について説明する。上述したように、実施の形態1にかかる撮像素子1を用いて画像を取得した場合、高輝度側が鮮明な画像のデータ(例えば、第1のデジタル値)と、低輝度側が鮮明な画像のデータ(例えば、第2のデジタル値)と、の2つのデータが取得される。また、高輝度側が鮮明な画像のデータと低輝度側が鮮明な画像のデータは、画素を表す値のビット数が異なる。そのため、この2つの画像を合成する場合、工夫が必要になる。実施の形態1にかかる撮像素子1を用いて画像を出力する半導体装置(以下、単に半導体装置と称す)では、第2のデジタル値において画素のコードが切替点X以上になる画素のデータを第1のデジタル値の画像データに置き換える。そこで、実施の形態1にかかる半導体装置におけるデジタル値の合成処理を説明するフローチャートを図10に示す。

【0047】

図10に示すように、実施の形態1にかかる半導体装置は、まず、2つの画像データのいずれを出力するかを切り替える出力コードを示す切替点Xを設定する(ステップS1)。なお、この切替点Xは、短時間露光期間と長時間露光期間のランプ信号S1の傾き毎に設定すればよく、ランプ信号S1の傾きが同じであれば、一度設定した値を繰り返し使うことができる。

【0048】

続いて、実施の形態1にかかる半導体装置では、短時間露光期間の長さ及び長時間露光期間の長さを設定する(ステップS2)。ランプ信号S1の掃引幅(ランプ信号の電圧レベルの変動幅)は予め決められているため、この露光期間の長さが分かれば、ランプ信号S1の傾きは決定できる。次いで、実施の形態1にかかる半導体装置は、短時間露光期間に取得する画像データを出力する場合に第1のデジタル値に加算するオフセット値を算出する(ステップS1)。

10

【0049】

その後、実施の形態1にかかる半導体装置は、短時間露光期間の露光及び画素値の読み出しを行い(ステップS4)、生成した第1のデジタル値(高輝度データ)を保持する(ステップS5)。次いで、実施の形態1にかかる半導体装置は、長時間露光期間の露光及び画素値の読み出しを行い、第2のデジタル値(低輝度データ)を生成する(ステップS6)。

【0050】

そして、実施の形態1にかかる半導体装置は、低輝度データの出力コードが切替点Xよりも小さければ、アナログデジタル変換器11が出力した低輝度データをそのまま出力する(ステップS7、S8)。一方、実施の形態1にかかる半導体装置は、低輝度データの出力コードが切替点X以上の値であれば、アナログデジタル変換器11が出力した低輝度データに代えて高輝度データにオフセット値を加算したデータを出力する(ステップS7~S10)。実施の形態1にかかる半導体装置は、ステップS4~S10の処理を撮像動作の完了指示があるまで繰り返す(ステップS11)。

20

【0051】

図10で説明した合成方法により出力される出力データの出力コードについて説明する。そこで、図11に実施の形態1にかかる半導体装置におけるデジタル値の合成処理を説明するグラフを示す。図11に示すように、実施の形態1にかかる半導体装置では、例えば、短時間露光の結果得られる高輝度データが11ビットの分解能であり、長時間露光の結果得られる低輝度データが12ビットの分解能を有する。そして、実施の形態1にかかる半導体装置では、低照度のデータとして低輝度データを利用し、低輝度データが切替点X以上となる場合、当該部分について高輝度データにオフセット値を加算したデータを用いる。

30

【0052】

切替点Xの算出方法の一例は、高輝度データを出力コードが2048~4096となる部分にシフトさせた直線と、低輝度データの直線とが交わる部分を計算により算出する方法がある。また、オフセット値の算出方法の一例は、切替点Xに対応する低輝度データの照度と同じ照度の高輝度データの出力コードと、切替点Xに対応する低輝度データの出力コードとの差として算出する方法を用いることができる。

40

【0053】

<半導体装置の実装形態の説明>

ここで、実施の形態1にかかる半導体装置は、第1のデジタル値(例えば、高輝度データ)と第2のデジタル値(例えば、低輝度データ)とをデータ保持部で保持し、第1のデジタル値(例えば、高輝度データ)へのオフセット値の加算及び出力データを選択することにより行う画像合成をデータ演算部にて行う。このデータ保持部及びデータ演算部は、撮像素子内に内蔵することもできるが、別の半導体チップ上に設けることもできる。ここでは、撮像素子1を含む半導体装置の実装形態について以下で説明する。図12に半導体装置の実装形態を説明する図を示す。

50

【0054】

図12に示す第1の実装形態は、撮像素子1が画素領域10、アナログデジタル変換器11(PGA部及びAD変換部)、データ保持部及びデータ演算部を有し、最終出力データを信号処理回路に出力する。第2の実装形態は、撮像素子1が画素領域10、アナログデジタル変換器11及びデータ保持部を有し、データ演算部を信号処理回路に設ける例である。第2の実装形態では、データ演算部がデータ保持部に記憶された第1のデジタル値及び第2のデジタル値をデータD2として読み出す。第3の実装形態は、撮像素子1が画素領域10及びアナログデジタル変換器11を有し、データ保持部及びデータ演算部を信号処理回路に設ける例である。第3の実装形態では、アナログデジタル変換器11が生成した第1のデジタル値及び第2のデジタル値がデータD1としてデータ保持部に出力される。

10

【0055】

<撮像素子の効果の説明>

上記説明より、実施の形態1にかかる撮像素子1では、高輝度データのデータ量(例えば、ビット数)を低輝度データに対して小さくすることで、高輝度な部分の鮮明度が高い高輝度データの読み出し時間を、低輝度な部分の鮮明度が高い低輝度データの読み出し時間よりも短縮することができる。これにより、実施の形態1にかかる撮像素子1は、明瞭度の高い輝度が異なる複数枚の画像データを要するHDR(ハイダイナミックレンジ)合成画像の生成を行う場合のデータ取得時間を短縮することができる。また、実施の形態1にかかる撮像素子1は、データ取得時間を短縮することでフレームレートを高めることができる。

20

【0056】

また、実施の形態1にかかる撮像素子1では、生成されるデータの量を削減することができるため、データ保持部の容量を削減することができる。さらに、実施の形態1にかかる撮像素子1では、データの置き換えにより明瞭な部分が異なる画像データの合成を行うことができるため、データの合成にかかる演算量を削減することができる。

【0057】

また、実施の形態1にかかる撮像素子1では、低輝度データと高輝度データとを別々に取得して合成することで、1回の露光よりも高いダイナミックレンジの画像データを生成することができる。また、実施の形態1にかかる撮像素子1を用いることで、固定されたフレームレート内であっても、短時間露光の期間を短くすることができるため、長時間露光の期間を長くして低輝度部分がより鮮明に認識可能な画像データを生成することができる。

30

【0058】

また、実施の形態1にかかる撮像素子1では、ランプ信号の傾き設定値をレジスタに格納する設定値により設定できる。これにより、実施の形態1にかかる撮像素子1では、半導体プロセスに起因する半導体素子のバラツキによらず画像データの画質化を実現することができる。また、ランプ信号の傾き設定値をレジスタに格納する設定値により設定できるため、実施の形態1にかかる撮像素子1は、高い再現性、拡張性、汎用性を確保することができる。

40

【0059】

また、実施の形態1にかかる撮像素子1では、短時間露光に対する読み出し時間を短縮することで、短時間露光時の画素行間の位相ずれを縮小することができる。位相ずれが小さくなることで、実施の形態1にかかる撮像素子1では、フレーム内で行間の輝度に揺らぎが生じるフリッカを低減することができる。このフリッカの低減効果について以下で詳細に説明を行う。

【0060】

<フリッカ現象の説明>

まず、フリッカ現象とは、蛍光灯の商用交流電源を電源とする光源に照らされた撮影対象に対してローリングシャッタ方式を採用した撮影方法で撮影を行う場合に問題となるも

50

のである。また、フリッカ現象は、1フレーム内の画素行ごとの輝度の揺らぎに起因して画像に横縞が発生するフリッカ（以下、線フリッカと称す）と、フレーム間の輝度の揺らぎに起因してフレーム全体の輝度が揺らぐフリッカ（以下、面フリッカと称す）と、がある。実施の形態1にかかる撮像素子1では、特に線フリッカに対して効果を奏する。

【0061】

面フリッカは、フレームごとの画素信号の平均値の時間推移を取得して、フレーム間の平均値の揺らぎの周期成分を検出し、検出した周波数成分の逆相成分を元に補正処理を行うことで補正することが可能である。この処理は比較的少ない演算量で行うことができるため、容易に実現することができる。一方、線フリッカは、1フレーム内で輝度の揺らぎの周波数成分を検出して補正処理を行わなければならないため、補正処理に高い演算能力を要する。しかしながら、実施の形態1にかかる撮像素子1を用いることで補正処理を行うことなく線フリッカを低減することができる。

10

【0062】

商用交流電源は、50Hz又は60Hzの周波数を有する交流信号である。照明機器等は、この商用交流電源を全波整流した電源を直流電源に変換した電源に基づき点灯する。そのため、このような照明機器では、商用電源信号の周期の2倍の周期で明滅を繰り返す。例えば、50Hzの商用交流電源に基づき動作する照明機器は、100Hz（10ms）の周期で明滅を繰り返し、60Hzの商用交流電源に基づき動作する照明機器は、120Hz（8.3ms）の周期で明滅を繰り返す。

【0063】

このような明滅が生じた場合における線フリッカの発生原因について説明する。そこで、図13及び図14に画像データにおける線フリッカを説明する図を示す。図13は、1ラインの露光時間 T_L を10msとして、1フレームの露光時間 T_F を20msとしたものである。なお、図13では、説明をわかりやすくするために、1フレームの露光時間 T_F を1ラインの露光時間 T_L の2倍としたが、1フレームの露光時間 T_F は1ラインの露光時間の2倍に限られるものではない。図13に示すように、明滅周期が10msである場合には1ラインの露光時間 T_L を10msとすることで、すべてのラインが明滅周期の1周期分を露光できるため、全ラインの輝度に明滅周期に起因する揺らぎは発生しない。これにより、明滅周期が10msである場合に1ラインの露光時間 T_L を10msとすることで、線フリッカの発生を防止することができる。一方、明滅周期が10msである場合に1ラインの露光時間 T_L を8.3msとすると、ライン間で受光する光量が異なるため、ライン間の輝度に明滅周期に起因する揺らぎが発生する。これにより、明滅周期が10msである場合に1ラインの露光時間 T_L を8.3msとすると、線フリッカが発生する。

20

30

【0064】

図14は、1ラインの露光時間 T_L を8.3msとして、1フレームの露光時間 T_F を16.6msとしたものである。なお、図14においても、説明をわかりやすくするために、1フレームの露光時間 T_F を1ラインの露光時間 T_L の2倍としたが、1フレームの露光時間 T_F は1ラインの露光時間の2倍に限られるものではない。図14に示すように、明滅周期が8.3msである場合に1ラインの露光時間 T_L を10msとすると、ライン間で受光する光量が異なるため、ライン間の輝度に明滅周期に起因する揺らぎが発生する。これにより、明滅周期が8.3msである場合に1ラインの露光時間 T_L を10msとすると、線フリッカが発生する。一方、明滅周期が8.3msである場合には1ラインの露光時間 T_L を8.3msとすることで、すべてのラインが明滅周期の1周期分を露光できるため、全ラインの輝度に明滅周期に起因する揺らぎは発生しない。これにより、明滅周期が8.3msである場合に1ラインの露光時間 T_L を8.3msとすることで、線フリッカの発生を防止することができる。

40

【0065】

このように、露光時間を明滅周期の整数倍とすることで、フリッカの発生を抑制することができる。このライン間の輝度の揺らぎと露光時間との関係についてさらに詳細に説明

50

する。そこで、図15に画像データにおける画素行と受光量の揺らぎとの関係を説明するグラフを示す。図15のグラフでは、横軸を画素行（画素ライン）の順番、縦軸を露光量Eとしたものである。また、図15のグラフは、画素の行数を1024行、フレームレートを60fpsと仮定したものである。受光量Eは(1)式で表される値を用いた。

【数1】

$$E = \int_{t_{start}}^{t_{end}} |\sin(2\pi ft)| dt \dots (1)$$

なお、(1)式において、 t_{start} は露光開始時刻、 t_{end} は露光終了時刻、 f は商用交流電源の周波数である。露光量Eは、正弦波の絶対値での定積分であるが、その不定積分は0～(1/2f)の期間を単位とし、1/2f以上は境界条件で連続的に接続する増加関数となる。この不定積分で、積分区間(t_{start} と t_{end} の区間)が定める時刻での積分値の差が露光量Eとして求まる。そして、画素行によって t_{start} と t_{end} が異なるため、当該差異が露光量の差として現れる。また、ライン間の露光量の差が線フリッカとなる。

10

【0066】

図15では、電源周波数が50Hzである場合、露光時間が10msである場合にライン間の露光量の差がなくなることがわかる。また、電源周波数が60Hzである場合、9msと8msの間でライン間の露光量の差がなくなることがわかる。具体的には、電源周波数が60Hzである場合においてライン間の露光量の差がなくなるのは、露光時間が8.3msのときである。また、図15では、露光量Eが大きくなるほど露光量の揺らぎの幅が大きくなることがわかる。つまり、線フリッカは、輝度が高い画像ほど目立つことがわかる。

20

【0067】

また、図16に画像データにおける画素行と露光量の揺らぎとの関係を説明する別のグラフを示す。図16では、フレームレートの差に起因する露光量Eの揺らぎの違いを説明する。なお、図16では、電源周波数を50Hzに固定してフレームレートを変化させた。図16に示すように、フレームレートが高くなると、1フレーム内の露光量の揺らぎの周期が長くなっていることがわかる。これは、フレームレートが高くなると、ライン間の位相ずれが小さくなるためである。1フレーム内の揺らぎの周期が長くなると、1フレーム内で発生する線フリッカの数が減るため、フレーム内の線フリッカが目立たなくなる。

30

【0068】

<フリッカ現象低減効果の説明>

上記説明より、線フリッカは、輝度が高く、かつ、フレームレートが低い場合に目立つ傾向があることがわかる。これに対して、実施の形態1にかかる撮像素子1では、高輝度データを取得する際の画素信号の読み出し期間を短くすることができる。つまり、実施の形態1にかかる撮像素子1では、高輝度データを高いフレームレートで取得することができる。これにより、実施の形態1にかかる撮像素子1では、線フリッカを低減することができる。また、実施の形態1にかかる撮像素子1では、線フリッカの低減のための演算処理を特に必要としないため、連続的に画像を取得する動画撮影時においても線フリッカの発生を抑制することができる。

40

【0069】

実施の形態2

実施の形態2では、画素信号の読み出しタイミングの別の例について説明する。そこで、実施の形態2にかかる半導体装置における画素信号を取得する際のタイミングチャートを図17に示す。

【0070】

図17に示すように、実施の形態2にかかる半導体装置では、アナログデジタル変換器11が、一方の露光期間に対応したデジタル値の生成を完了したことに応じて、他方の露光期間に対応したデジタル値の生成を開始する。具体的には、実施の形態2にかかる半導体装置では、アナログデジタル変換器11が短時間露光に対応する画素信号の読み出しを

50

完了した後すぐに長時間露光に対応した画素信号の読み出しを行う。この読み出しタイミングの制御は、例えば、制御部 12 内の制御信号生成回路 15 が画素領域 10 及びランプ信号生成回路 13 に指示を与えることで行う。

【0071】

上記説明より、実施の形態 2 にかかる画素信号の読み出しタイミングを適用することで、フレームレートをさらに高めることができる。例えば、短時間露光で得られた画素信号について全画素行分の画素信号の読み出しを行う時間が短時間露光期間の $1/4$ に短縮した場合、短時間露光期間の $3/4$ が画素信号の読み出しに利用されていない期間となる。実施の形態 2 にかかる半導体装置では、この読み出しに利用されていない期間を削減することができる。実施の形態 2 にかかる半導体装置を用いた場合、2 回露光を行うために 2 フレーム期間が必要となるが、これを 1.25 フレーム期間とすることができる。この場合、フレームレートは $2 / 1.25 = 1.6$ (倍) に高速化することができる。

10

【0072】

実施の形態 3

実施の形態 3 では、露光期間を 3 回に増やした場合の撮像素子 1 の動作について説明する。なお、露光期間を 3 回に増やした場合、ランプ波形制御回路 20 が短時間露光傾き設定値と長時間露光傾き設定値に加えて中時間露光傾き設定値を保持し、露光時間の長さに応じて出力する傾き設定値を切り替える。

【0073】

図 18 に実施の形態 3 にかかる半導体装置における画素信号を取得する際のタイミングチャートを示す。図 18 に示すように、実施の形態 3 にかかる半導体装置は、実施の形態 1 にかかる半導体装置に比べて、短時間露光期間の前に中時間露光期間が追加される。そして、読み出し期間 T_{rd} は、短時間露光期間、中時間露光期間、長時間露光期間の順で長く設定されている。つまり、実施の形態 3 にかかる半導体装置では、アナログデジタル変換器 11 により生成されるデジタル値のビット数が短時間露光期間、中時間露光期間、長時間露光期間の順で多くなる。

20

【0074】

このように 3 回露光を行うことで、実施の形態 3 にかかる半導体装置は、実施の形態 1 よりも広いダイナミックレンジの画像を取得することができる。このような 3 回露光を行った場合においても、中時間露光時と短時間露光時の少なくとも一方の読み出し時間短くする（又はアナログデジタル変換器 11 が出力するデジタル値のビット数を小さく）することで、1 フレーム分の画像を取得する時間の延長を避けることができる。なお、アナログデジタル変換器 11 が出力するデジタル値のビット数は、中時間露光と長時間露光に対応するデジタル値で同じにするなど、半導体装置の仕様に応じて変更することもできる。

30

【0075】

実施の形態 4

実施の形態 4 では、1 回のランプ信号 S_1 の掃引期間中にランプ信号 S_1 の傾きを少なくとも 1 回変更する例について説明する。つまり、実施の形態 4 にかかる半導体装置では、アナログデジタル変換器 11 が、画素領域 10 に格子状に配置される受光素子について行毎に画素信号を読み出して変換処理を行い、ランプ信号生成回路 13 が、行毎にランプ信号 S_1 の掃引を行い、1 回の掃引期間中にランプ信号 S_1 の傾きを少なくとも 1 回変更する。上記動作を行うために、実施の形態 4 にかかる半導体装置では、ランプ波形制御回路 20 に代えてランプ波形制御回路 20a を用いる。ランプ波形制御回路 20a は、短時間露光傾き設定値として、2 以上の異なる傾きを示す 2 以上の傾き設定値を含み、かつ、長時間露光傾き設定値として、2 以上の異なる傾きを示す 2 以上の傾き設定値を含む。そして、ランプ波形制御回路 20a において記憶される長時間露光傾き設定値に含まれる複数の傾き設定値の平均傾き値は、短時間露光傾き設定値に含まれる複数の傾き設定値の平均傾き値よりも小さい値に設定される。

40

【0076】

そこで、実施の形態 4 にかかる半導体装置のランプ波形制御回路のブロック図を図 19 に

50

示す。図 19 に示すように、ランプ波形制御回路 20 a は、短時間露光傾き設定部 21 a、長時間露光傾き設定部 22 a、セクタ 23、オフセット設定レジスタ 24、カウンタ 25 を有する。そして、短時間露光傾き設定部 21 a は、短時間露光傾き設定値を 3 つ記憶し、ランプ信号 S 1 の掃引開始からの時間があらかじめ設定した時間に達したことに応じて、出力する露光時間傾き設定値を切り替える。また、長時間露光傾き設定部 22 a も、長時間露光傾き設定値を 3 つ記憶し、ランプ信号 S 1 の掃引開始からの時間があらかじめ設定した時間に達したことに応じて、出力する露光時間傾き設定値を切り替える。

【0077】

短時間露光傾き設定部 21 a は、第 1 のタイミング設定レジスタ 41、第 2 のタイミング設定レジスタ 42、切替回路 43、短時間露光初期傾き設定レジスタ 44、第 1 の短時間露光傾き設定レジスタ 45、第 2 の短時間露光傾き設定レジスタ 46、セクタ 47 を有する。

10

【0078】

第 1 のタイミング設定レジスタ 41 は、ランプ信号 S 1 の傾きを短時間露光初期傾き設定レジスタ 44 に格納された短時間露光初期傾き設定値から第 1 の短時間露光傾き設定レジスタ 45 に格納された第 1 の短時間露光傾き設定値に切り替えるタイミングを設定する第 1 のタイミング設定値を格納する。第 2 のタイミング設定レジスタ 42 は、ランプ信号 S 1 の傾きを第 1 の短時間露光傾き設定レジスタ 45 に格納された第 1 の短時間露光傾き設定値から第 2 の短時間露光傾き設定レジスタ 46 に格納された第 2 の短時間露光傾き設定値に切り替えるタイミングを設定する第 2 のタイミング設定値を格納する。

20

【0079】

切替回路 43 は、カウンタ 25 が基準クロックをカウントして生成するカウント値と、第 1 のタイミング設定値及び第 2 のタイミング設定値とを比較する。そして、切替回路 43 は、当該比較の結果に応じて、セクタ 47 が出力する傾き設定値を切り替える。

【0080】

長時間露光傾き設定部 22 a は、第 1 のタイミング設定レジスタ 51、第 2 のタイミング設定レジスタ 52、切替回路 53、長時間露光初期傾き設定レジスタ 54、第 1 の長時間露光傾き設定レジスタ 55、第 2 の長時間露光傾き設定レジスタ 56、セクタ 57 を有する。

【0081】

第 1 のタイミング設定レジスタ 51 は、ランプ信号 S 1 の傾きを長時間露光初期傾き設定レジスタ 54 に格納された長時間露光初期傾き設定値から第 1 の長時間露光傾き設定レジスタ 55 に格納された第 1 の長時間露光傾き設定値に切り替えるタイミングを設定する第 1 のタイミング設定値を格納する。第 2 のタイミング設定レジスタ 52 は、ランプ信号 S 1 の傾きを第 1 の長時間露光傾き設定レジスタ 55 に格納された第 1 の長時間露光傾き設定値から第 2 の長時間露光傾き設定レジスタ 56 に格納された第 2 の長時間露光傾き設定値に切り替えるタイミングを設定する第 2 のタイミング設定値を格納する。

30

【0082】

切替回路 53 は、カウンタ 25 が基準クロックをカウントして生成するカウント値と、第 1 のタイミング設定値及び第 2 のタイミング設定値とを比較する。そして、切替回路 53 は、当該比較の結果に応じて、セクタ 57 が出力する傾き設定値を切り替える。

40

【0083】

続いて、実施の形態 4 にかかるランプ波形制御回路 20 a の動作について説明する。ここで、図 20 に実施の形態 4 にかかる半導体装置のランプ信号生成回路の動作を説明するタイミングチャートを示す。なお、ランプ波形制御回路 20 a は、短時間露光期間の動作と長時間露光期間の動作とが実質的に同じであるため、図 20 では、1 つの短時間露光期間内でのランプ波形制御回路 20 a の動作を示した。

【0084】

図 20 に示すように、ランプ波形制御回路 20 a では、例えば、カウンタ 25 が第 1 分周クロックから第 4 分周クロックをカウント値として出力する。また、カウンタ 25 は、

50

掃引パルス S W P が掃引期間を示す状態に切り替わったことに応じて基準クロックのカウントを開始する（タイミング T 3）。そして、カウント値が第 1 のタイミング設定値に達すると、切替回路 4 3 内で第 1 変更トリガ信号がハイレベルとなり、選択信号 S 1 1 がロウレベルからハイレベルに切り替えられる（タイミング T 4）。これにより、ランプ信号 S 1 の傾きが短時間露光初期傾き設定値に応じた傾きから第 1 の短時間露光傾き設定値に応じた傾きに切り替わる。

【 0 0 8 5 】

続いて、カウント値が第 2 のタイミング設定値に達すると、切替回路 4 3 内で第 2 変更トリガ信号がハイレベルとなり、選択信号 S 1 2 がロウレベルからハイレベルに切り替えられる（タイミング T 5）。これにより、ランプ信号 S 1 の傾きが第 1 の短時間露光傾き設定値に応じた傾きから第 2 の短時間露光傾き設定値に応じた傾きに切り替わる。

10

【 0 0 8 6 】

続いて、実施の形態 4 にかかる半導体装置のランプ信号生成回路 2 0 a における露光時間の違いによるランプ信号の違いを説明するタイミングチャートを図 2 1 に示す。図 2 1 に示すように、実施の形態 4 にかかる半導体装置においても、掃引期間パルス S W P がランプ信号 S 1 の掃引期間を示す長さは、短時間露光期間の方が長時間露光期間よりも短い。そして、実施の形態 4 にかかる半導体装置では、各掃引期間内でランプ信号 S 1 の傾きが複数回切り替えられる。このようなランプ信号 S 1 の傾き変更制御を行うことで、合成後に得られる画像データの明瞭度を高めることができる。

20

【 0 0 8 7 】

そこで、実施の形態 4 にかかる半導体装置におけるデジタル値の合成処理を説明するグラフを図 2 2 に示す。図 2 2 に示すように、実施の形態 4 にかかる半導体装置では、高輝度データと低輝度データとにおいて、最終的に他方のデータに置き換えられる部分に用いられる出力コードを少なくし、最終データに反映される出力コードに用いられる出力コードを増やすことができる。

【 0 0 8 8 】

上記説明より、実施の形態 4 にかかる半導体装置では、ランプ信号 S 1 の傾きを掃引期間の途中で変更することで最終データに反映される出力コードに対応する輝度範囲をより高精細化することができる。これにより、実施の形態 4 にかかる半導体装置では、実施の形態 1 にかかる半導体装置よりも明瞭度の高い画像を得ることができる。

30

【 0 0 8 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【 符号の説明 】

【 0 0 9 0 】

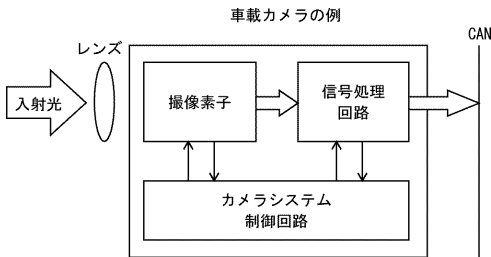
- 1 撮像素子
- 1 0 画素領域
- 1 1 アナログデジタル変換器
- 1 2 制御部
- 1 3 ランプ信号生成回路
- 1 4 参照電圧生成回路
- 1 5 制御信号生成回路
- 2 0、2 0 a ランプ波形制御回路
- 2 1、2 1 a 短時間露光傾き設定部
- 2 2、2 2 a 長時間露光傾き設定部
- 2 3 セレクタ
- 2 4 オフセット設定レジスタ
- 2 5 カウンタ
- 3 0 ランプ波形生成回路

40

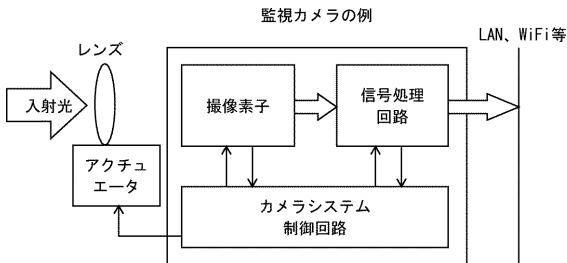
50

- 3 1 オフセット電流源
- 3 2 電流デジタルアナログ変換回路
- 3 3 波形切替回路
- 3 4 積分回路
- 3 5 バッファ回路
- 4 1 第1のタイミング設定レジスタ
- 4 2 第2のタイミング設定レジスタ
- 4 3 切替回路
- 4 4 短時間露光初期傾き設定レジスタ
- 4 5 第1の短時間露光傾き設定レジスタ
- 4 6 第2の短時間露光傾き設定レジスタ
- 4 7 セレクタ
- 5 1 第1のタイミング設定レジスタ
- 5 2 第2のタイミング設定レジスタ
- 5 3 切替回路
- 5 4 長時間露光初期傾き設定レジスタ
- 5 5 第1の長時間露光傾き設定レジスタ
- 5 6 第2の長時間露光傾き設定レジスタ
- 5 7 セレクタ

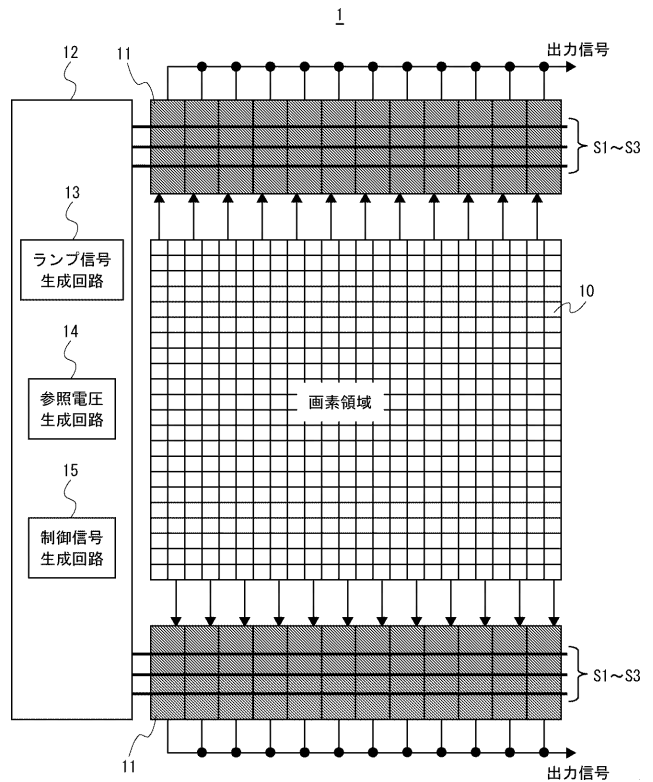
【図1】



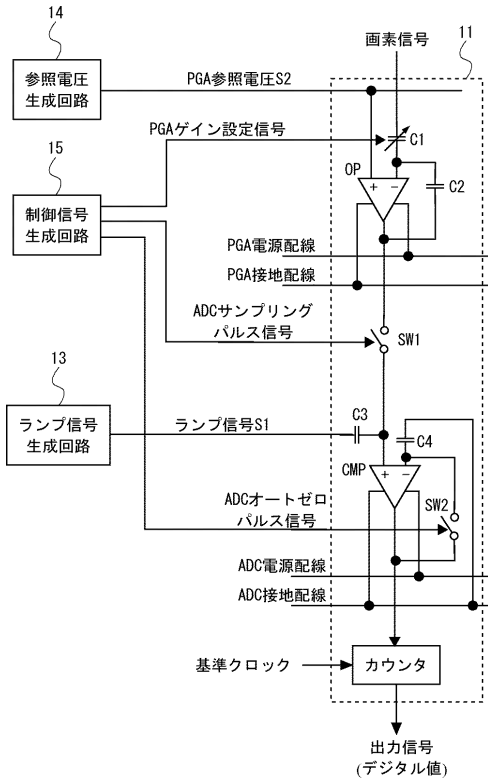
【図2】



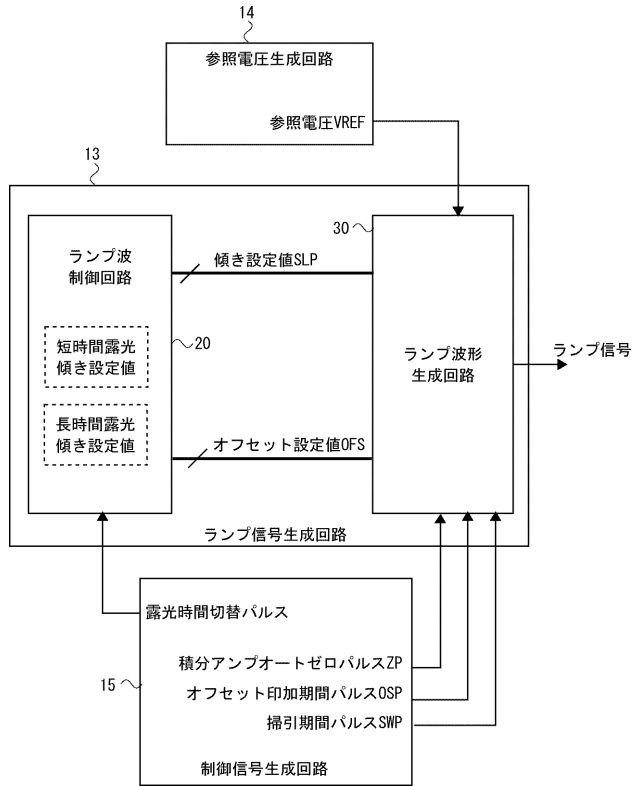
【図3】



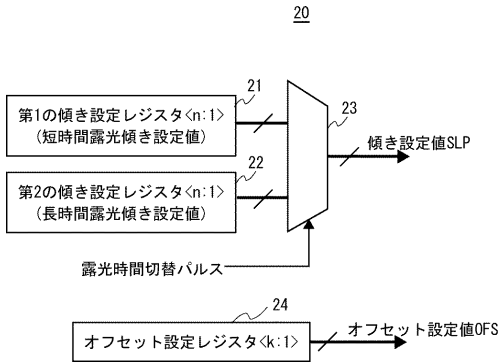
【図4】



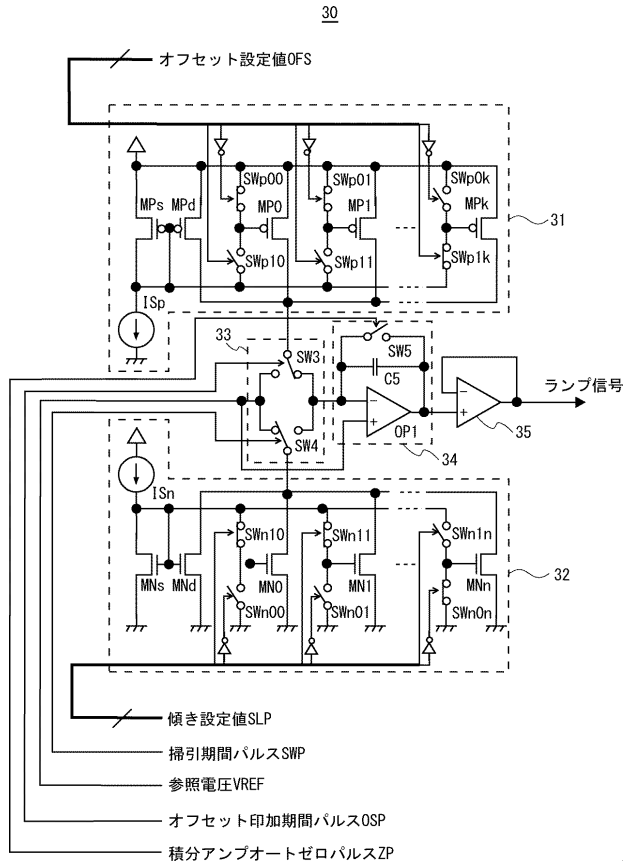
【図5】



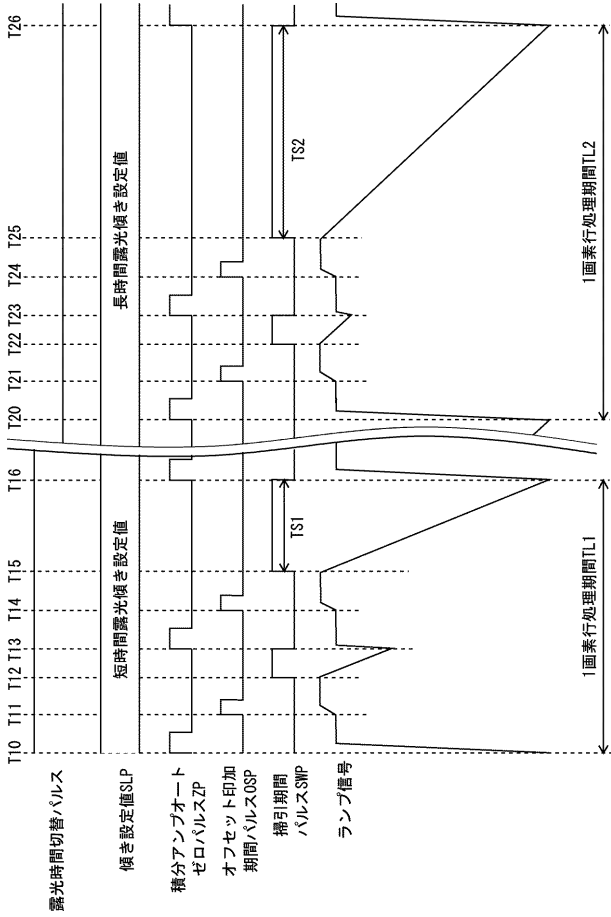
【図6】



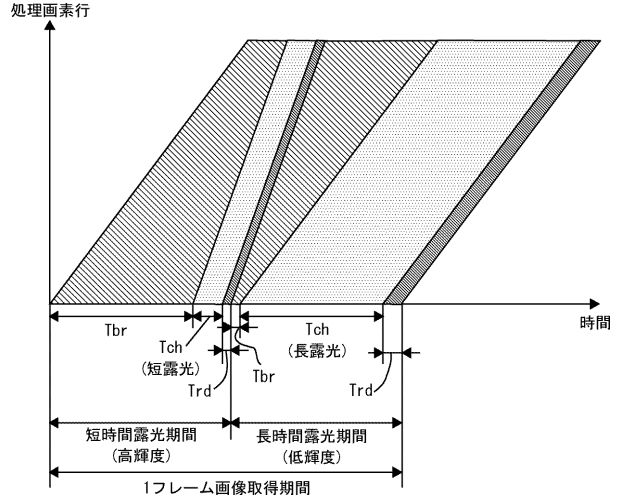
【図7】



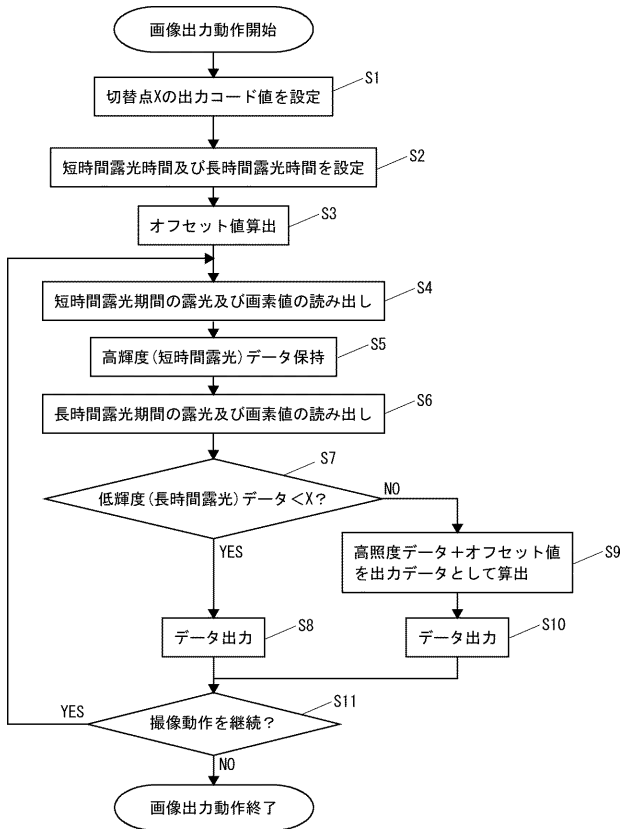
【図8】



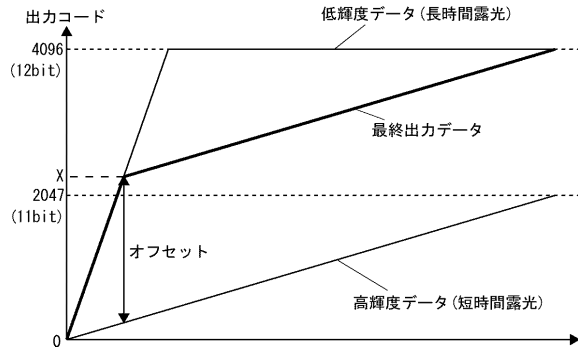
【図9】



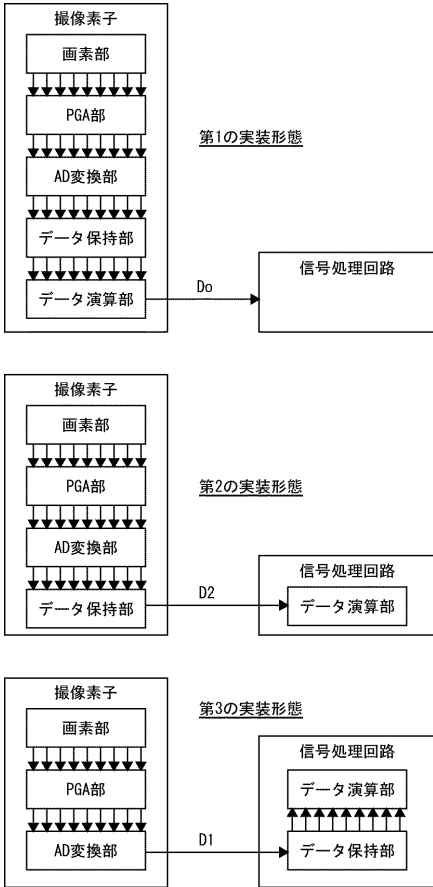
【図10】



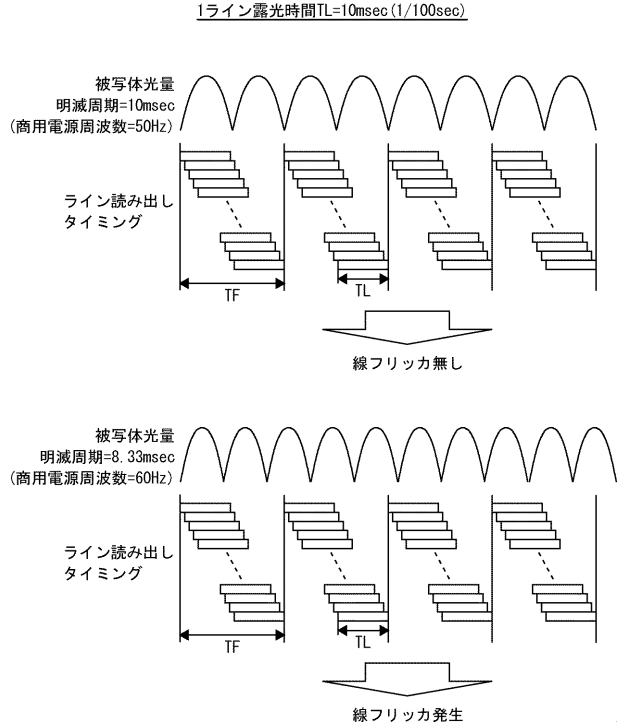
【図11】



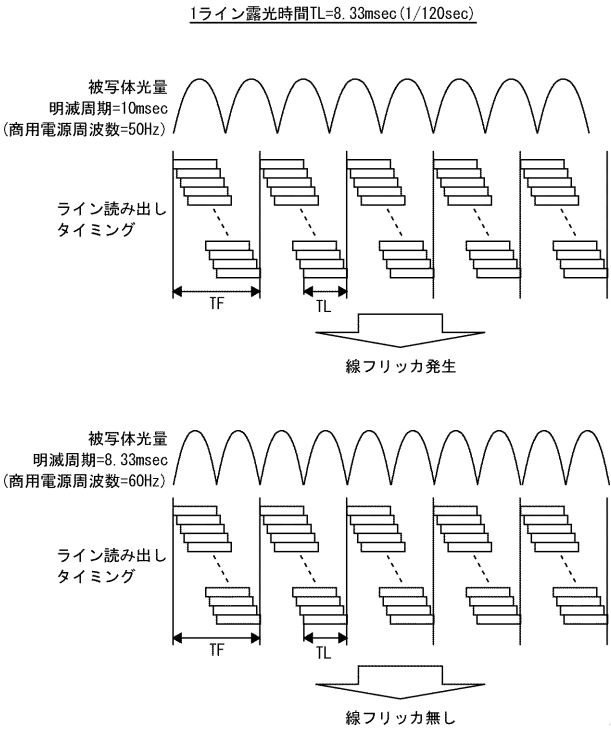
【 図 1 2 】



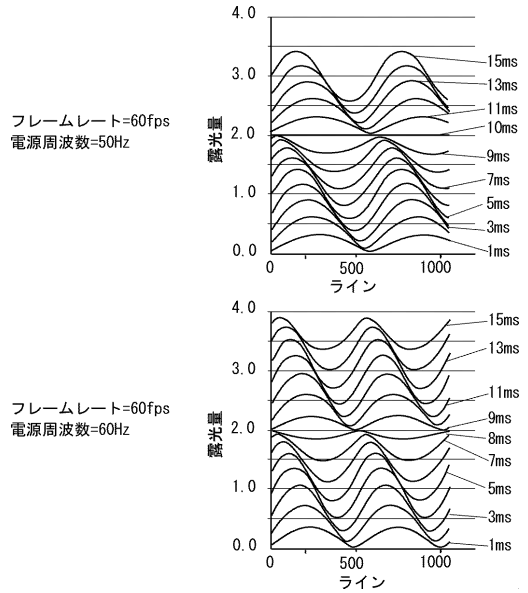
【 図 1 3 】



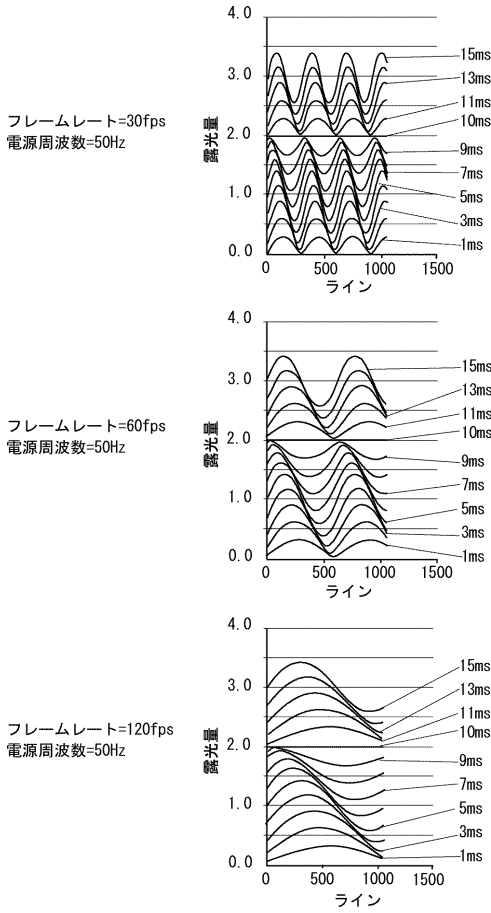
【 図 1 4 】



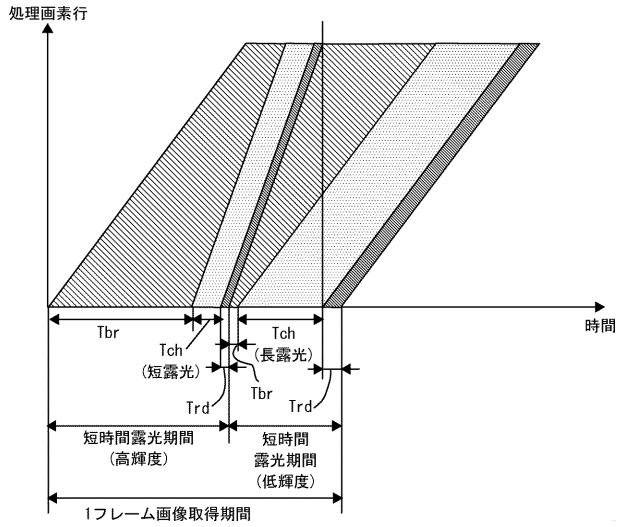
【 図 1 5 】



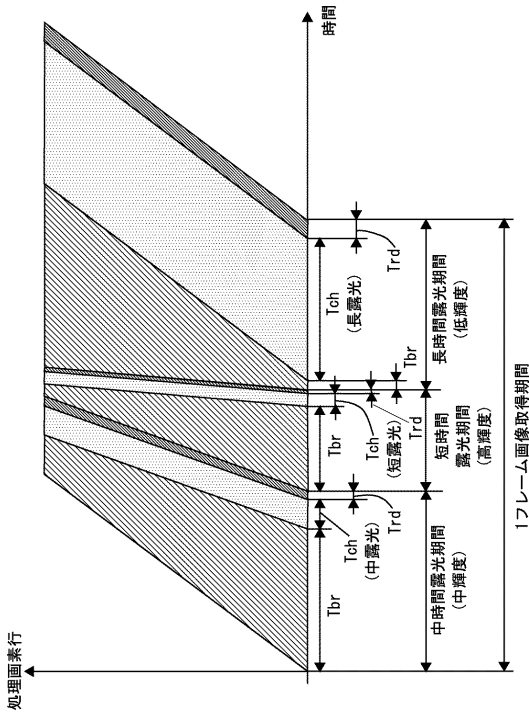
【図16】



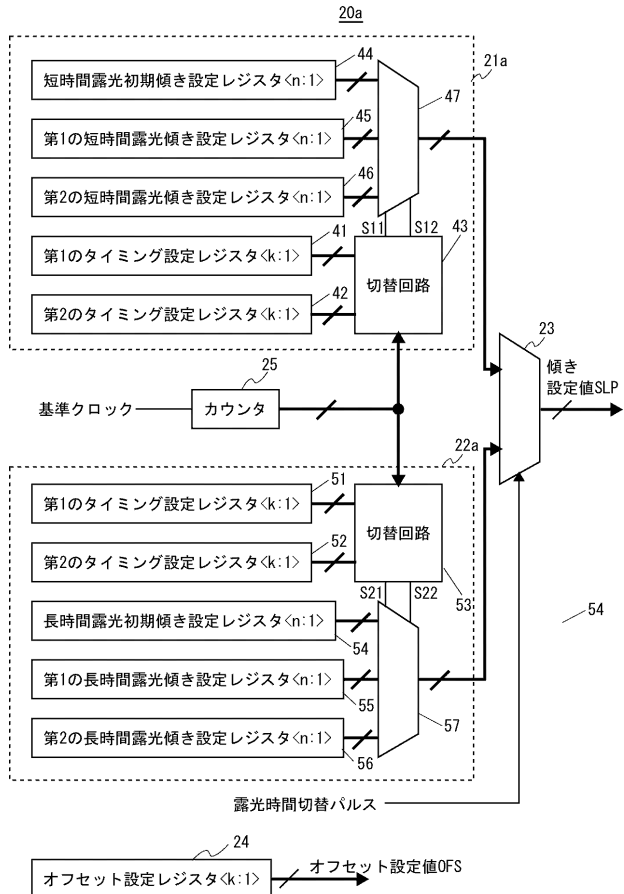
【図17】



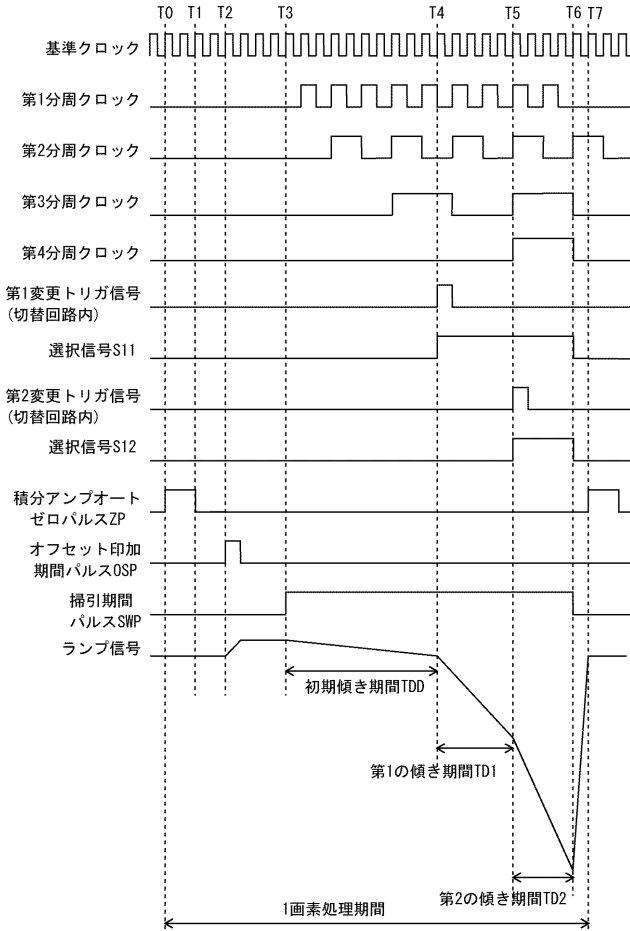
【図18】



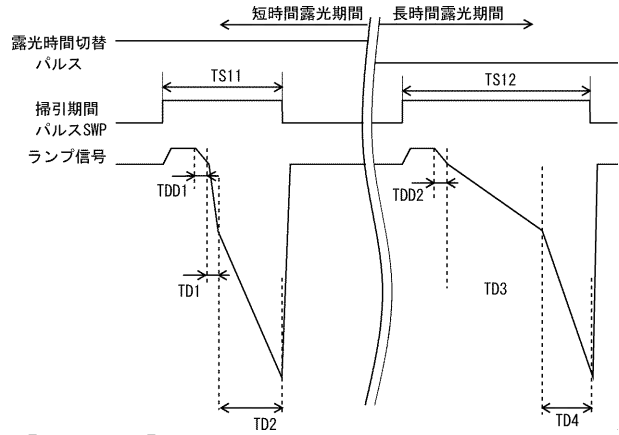
【図19】



【図20】



【図21】



【図22】

