

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-11560

(P2010-11560A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

C

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2008-165064 (P2008-165064)
 (22) 出願日 平成20年6月24日 (2008. 6. 24)

(71) 出願人 390009667
 セイコーNP C株式会社
 東京都中央区日本橋兜町15番6号
 (74) 代理人 100077986
 弁理士 千葉 太一
 (72) 発明者 大竹 伸明
 東京都中央区日本橋兜町15-6 セイコーNP C株式会社内
 Fターム(参考) 5H730 AA20 AS05 BB13 BB57 DD04
 EE13 FD01 FD51 FF01 FG05
 XX04 XX15 XX26 XX35 XX43

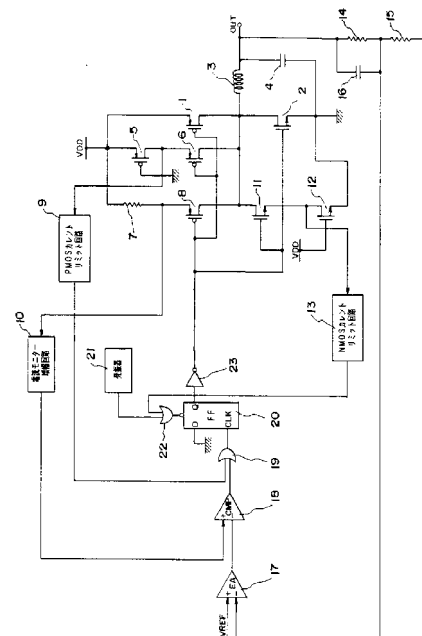
(54) 【発明の名称】 スイッチング電源装置

(57) 【要約】

【課題】スイッチングトランジスタを流れる過電流の検出精度を高めて、動作の信頼性及び安定性を向上させたスイッチング電源装置を提供する。

【課題の解決手段】スイッチング電源装置は、第1の導電型のスイッチングトランジスタであるPMOS1の過電流を第1の検出部5, 6, 9で検出することに加え、PMOS1がオフ状態にあって、そのオンデューティ区間に到達した時でも、PMOS1に直列に接続した第2の導電型のスイッチングトランジスタであるNMOS2に過電流が流れていることを第2の検出部11, 12, 13で検出すると、PMOS1をオンすることなく、オフ状態を維持することにより、過電流を抑制する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 の導電型のスイッチングトランジスタと、
このスイッチングトランジスタに直列に接続された第 2 の導電型のスイッチングトランジスタと、

前記第 1 の導電型のスイッチングトランジスタに直列に接続されたインダクタと、
このインダクタに電流が流れることにより蓄えられた電気エネルギーを出力電圧に変換する変換部と、

前記第 1 の導電型のスイッチングトランジスタを一定周期でオンする制御信号を出力する制御信号出力部と、

前記第 1 の導電型のスイッチングトランジスタに流れる電流があらかじめ設定されたりミット値を超えたことを検出する第 1 の検出部と、

前記第 2 の導電型のスイッチングトランジスタに流れる電流があらかじめ設定されたりミット値を超えたことを検出する第 2 の検出部と、

前記第 1 の検出部の検出信号を受けると前記第 1 の導電型のスイッチングトランジスタをオフ、前記第 2 の導電型のスイッチングトランジスタをオンとし、前記第 1 の導電型のスイッチングトランジスタがオフ状態で、前記第 2 の導電型のスイッチングトランジスタがオン状態の時に、前記制御信号にしたがって前記第 1 の導電型のスイッチングトランジスタがオンする時に、前記第 2 の検出部が検出信号を出力した場合は、前記制御信号に関わらず前記第 1 の導電型のスイッチングトランジスタのオフ状態を維持するオンオフ制御部と、

を備えることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチングトランジスタを用いた電源装置に関し、特に、スイッチングトランジスタを過電流から保護するとともに安定した出力電圧を確保することができる電源装置に関する。

【背景技術】

【0002】

従来から、この種の電源装置は知られているが、例えば、図 2 に示すように、電源回路の出力電圧を一定に保つために、P 型スイッチングトランジスタ 110 と、これに直列接続した N 型スイッチングトランジスタ 111 とを、制御信号発生回路 140 から出力されドライバ 150 を介して供給される PWM 制御信号によって相補的にオンオフ制御し、P 型スイッチングトランジスタ 110 の過電流は、このスイッチングトランジスタ 110 に並列接続された第 1、第 2 のトランジスタ 121, 123 に流れる電流を過電流検出回路 120 で検出して行うものである（特許文献 1 参照）。なお、図 2 において、112 はインダクタ、113 はキャパシタ、160 はエラーアンプ、161, 162 はキャパシタ 113 の充電電圧を分圧する抵抗である。

【0003】

そして、前記第 1、第 2 のトランジスタ 121, 123 に流れる電流があらかじめ設定されたりミット値を超えた場合、すなわち、P 型スイッチングトランジスタ 110 に過電流が流れた場合に、PWM 制御信号に関わらず、P 型スイッチングトランジスタ 110 と第 2 のトランジスタ 123 を強制的にオフにする。また、この時、PWM 制御信号における P 型スイッチングトランジスタ 110 のオンデューティ区間が最小に設定される。

【0004】

【特許文献 1】特開 2007 - 78427 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

10

20

30

40

50

上述の従来例によれば、PWM制御信号のオンデューティ区間が到来したときに、短時間とはいえ、P型スイッチングトランジスタは必ずオン状態になるので、この際にリミット値を超える電流が流れてしまう事態を生じる虞がある。本発明は、この不都合を解消したスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係るスイッチング電源装置は、

第1の導電型のスイッチングトランジスタ、例えばPチャネル型MOSトランジスタ（以下、PMOSという。）1と、

このスイッチングトランジスタであるPMOS1に直列に接続された第2の導電型のスイッチングトランジスタ、例えばNチャネル型MOSトランジスタ（以下、NMOSという。）2と、

前記PMOS1に直列に接続されたインダクタ3と、

このインダクタ3に電流が流れることにより蓄えられた電気エネルギーを出力電圧に変換する変換部、例えばキャパシタ4と、

前記PMOS1を一定周期でオンする制御信号を出力する制御信号出力部、例えば発振器21と、

前記PMOS1に流れる電流があらかじめ設定されたりミット値を超えたことを検出する第1の検出部5、6、9と、

前記NMOS2に流れる電流があらかじめ設定されたりミット値を超えたことを検出する第2の検出部11、12、13と、

前記第1の検出部5、6、9の検出信号を受けると前記PMOS1をオフ、前記NMOS2をオンとし、前記PMOS1がオフ状態で、前記NMOS2がオン状態の時に、前記制御信号にしたがって前記PMOS1がオンする時に、前記第2の検出部11、12、13が検出信号を出力した場合は、前記制御信号に関わらず前記PMOS1のオフ状態を維持するオンオフ制御部17、18、19、20、22、23と、

を備えることを特徴とする。

【0007】

上述の第1の検出部は、より具体的には、例えば、直列に接続した第1の導電型の2つのトランジスタであるPMOS5、PMOS6を、第1の導電型のスイッチングトランジスタであるPMOS1に対して並列に接続し、これらPMOS5とPMOS6の接続点に、前記PMOS5に流れる電流があらかじめ設定されたりミット値を超えたことを検出するPMOSカレントリミット回路9を接続して構成すると好適である。

【0008】

また、上述の第2の検出部は、例えば、直列に接続した第2の導電型の2つのトランジスタであるNMOS11、NMOS12を、第1の導電型のスイッチングトランジスタであるPMOS1に直列に接続したNMOS2に対して並列に接続し、これらNMOS11とNMOS12の接続点に、前記NMOS11に流れる電流があらかじめ設定されたりミット値を超えたことを検出するNMOSカレントリミット回路13を接続して構成すると好適である、

【0009】

さらに、上述のオンオフ制御部は、例えば、上述した発振器21の出力とNMOSカレントリミット回路13の出力とが入力する第1のOR回路22の出力が反転されて入力する一方、PMOSカレントリミット回路9の出力と電源装置の負帰還された出力電圧が参照電圧VREFを超えた場合に出力される信号とを第2のOR回路19を介して入力するDフリップフロップ20と、このDフリップフロップ20のQ端子出力を反転するインバータ23と、によって構成すると好適である。

【発明の効果】

【0010】

本発明によれば、第1の導電型のスイッチングトランジスタだけではなく、このスイッ

10

20

30

40

50

チングトランジスタに直列に接続した第２の導電型のスイッチングトランジスタをもモニタすることにより、第１の導電型のスイッチングトランジスタを流れる過電流の検出精度が高まって、電源装置の動作の信頼性及び安定性が向上するという効果を奏する。

【発明を実施するための最良の形態】

【００１１】

以下、本発明に係る電源装置の好適な実施形態を添付図面に基づいて説明する。図１は本発明に係る電源装置の回路図である。図１に示すように、第１の導電型のスイッチングトランジスタとして用いられるPMOS１のソースは直流電源VDDに接続され、そのドレインは第２の導電型のスイッチングトランジスタであるNMOS２のドレインに接続されるとともに、インダクタ３の一端に接続されている。このインダクタ３の他端は、出力端子OUTに接続されるとともに、変換部であるキャパシタ４の一方の電極に接続され、キャパシタ４の他方の電極は接地されている。また、前記NMOS２のソースは、接地されている。

10

【００１２】

直流電源VDDとPMOS１のソースにPMOS５のソースが接続され、PMOS５のドレインはPMOS６のソースと接続され、PMOS６のドレインは前記PMOS１のドレインに接続されている。一端が直流電源VDD、PMOS５及びPMOS１の各ソースに接続された抵抗７の他端は、PMOS８のソースに接続され、前記PMOS８のドレインは前記各PMOS１，６のドレインに接続されている。このように直列接続されたPMOS５とPMOS６は、PMOS１を流れる電流値があらかじめ設定されたリミット値を超えたことを検出するカレントリミット値検出用で、PMOS５のドレイン側とPMOS６のソース側がPMOSカレントリミット回路９に接続されている。そして、PMOSカレントリミット回路９は、入力信号がリミット値を超えている場合は「H」、超えていない場合は「L」のカレントリミット信号を出力する。前記各PMOS５，６及びPMOSカレントリミット回路９で第１の検出部を構成する。また、直列接続された抵抗７とPMOS８は、PMOS１を流れる電流値を測定する電流モニタ用で、互いの接続点が電流モニタ増幅回路１０に接続され、電流値を電圧値に変換してモニタするものである。

20

【００１３】

また、NMOS２のドレインにNMOS１１のドレインが接続され、NMOS１１のソースはNMOS１２のドレインと接続され、NMOS１２のソースは前記NMOS２のソースに接続されている。また、NMOS１２のゲートには電源電圧VDDが供給される。このように直列接続されたNMOS１１とNMOS１２は、NMOS２を流れる電流値があらかじめ設定されたリミット値を超えたことを検出するカレントリミット値検出用で、NMOS１１のソース側とNMOS１２のドレイン側がNMOSカレントリミット回路１３に接続されている。そして、NMOSカレントリミット回路１３は、入力信号がリミット値を超えている場合は「H」、超えていない場合は「L」のカレントリミット信号を出力する。前記各NMOS１１，１２及びNMOSカレントリミット回路１３で第２の検出部を構成する。

30

【００１４】

キャパシタ４の一方の電極には抵抗１４，１５が直列に接続され、抵抗１５の一端は接地されている。また、前記抵抗１４と並列にキャパシタ１６が接続されている。各抵抗１４，１５の接続点はエラーアンプ１７の負側入力端に負帰還接続され、エラーアンプ１７の正側入力端には参照電圧VREFが供給されている。エラーアンプ１７の出力端はコンパレータ１８の負側入力端に接続され、コンパレータ１８の正側入力端は電流モニタ増幅回路１０の出力端に接続されている。

40

【００１５】

コンパレータ１８の出力端はOR回路１９の一方の入力端に接続され、OR回路１９の他方の入力端はPMOSカレントリミット回路９の出力端に接続されている。前記OR回路１９の出力端はDフリップフロップ回路（以下、D-FFという。）２０のクロック信号入力端CLKに接続されている。また、D-FF２０の反転入力端には、NMOSカレ

50

ントリミット回路 13 と発振器 21 の各出力が、OR 回路 22 を介して入力するよう構成されている。D - FF 20 の Q 端子出力は、インバータ 23 を介して各 PMOS 1, 6, 8 のゲートにそれぞれ接続されるとともに、各 NMOS 2, 11 のゲートにもそれぞれ接続されている。上述したエラーアンプ 17、コンパレータ 18、OR 回路 19、D - FF 20、OR 回路 22、インバータ 23 によって、オンオフ制御部を構成する。

【0016】

なお、発振器 21 は制御信号出力部を構成し、PMOS 1 のオンオフを制御する発振信号を出力するもので、発振信号が PMOS 1 のオンデューティ区間に対応する「L」の時に PMOS 1 がオン、発振信号が PMOS 1 のオフデューティ区間に対応する「H」の時に PMOS 1 がオフとなる。PMOS 1 がオンしている時にインダクタ 3 に電気エネルギーが蓄積され、キャパシタ 4 に充電されるとともに、出力端子 OUT から出力電圧が供給される。また、PMOS 1 がオフの時に、蓄積された電気エネルギーはキャパシタ 4 にさらに充電されるとともに、出力電圧として供給されるが、インダクタ 3 に蓄積された電気エネルギーが減少しても、キャパシタ 4 の充電電圧が所定の直流電圧に近づくように、発振信号によって PMOS 1 のオンオフ状態が制御される。

【0017】

続いて、上述した電源装置の動作を説明する。電源装置が起動されると、発振器 21 の発振信号に基づいて、PMOS 1 と NMOS 2 は相補的にオンオフする。すなわち、発振器 21 が発振信号「L」を出力し、NMOS カレントリミット回路 13 がカレントリミット信号「L」を出力すると、OR 回路 22 の出力は「L」となり、これが反転されて D - FF 20 への入力信号は「H」となる。したがって、D - FF 20 の Q 端子出力は「H」となり、インバータ 23 で反転された信号「L」が、各 PMOS 1, 6, 8 及び各 NMOS 2, 11 に入力し、PMOS 1 はオン、NMOS 2 はオフの状態になる。

【0018】

ここで、PMOS 1 に流れた電流があらかじめ設定されたリミット値を超えたことを、PMOS カレントリミット回路 9 が検出すると、PMOS カレントリミット回路 9 は、検出信号としてカレントリミット信号「H」を出力する。これによって、OR 回路 19 の出力は「H」となり、D - FF 20 のクロック信号入力端 CLK に信号「H」が入力する。したがって、D - FF 20 は D 端子入力を取り込むが、D 端子は接地されているため、Q 端子出力は「L」となる。このため、インバータ 23 で反転された信号「H」が各 PMOS 1, 6, 8 及び各 NMOS 2, 11 に入力し、PMOS 1 はオフ、NMOS 2 はオンになる。

【0019】

また、PMOS 1 に流れた電流があらかじめ設定されたリミット値を超えていなくても、電源装置の出力を抵抗分圧した電圧が参照電圧 VREF を超えた場合には、エラーアンプ 17 出力が「L」となるので、コンパレータ 18 の出力は「H」となり、OR 回路 19 の出力も「H」となって、D - FF 20 のクロック信号入力端 CLK に信号「H」が入力する。したがって、D - FF 20 は D 端子入力を取り込むが、D 端子は接地されているため、Q 端子出力は「L」となる。このため、インバータ 23 で反転された信号「H」が各 PMOS 1, 6, 8 及び各 NMOS 2, 11 に入力し、PMOS 1 はオフ、NMOS 2 はオンになる。

【0020】

一方、PMOS 1 がオフ、NMOS 2 がオンの状態にあって、発振器 21 の発振信号が「L」を出力するタイミング、すなわち PMOS 1 のオンデューティ区間に移行しても、NMOS 2 に流れた電流があらかじめ設定されたリミット値を超えたことを、NMOS カレントリミット回路 13 が検出すると、NMOS カレントリミット回路 13 は、検出信号としてカレントリミット信号「H」を出力する。これによって、OR 回路 22 の出力は「H」となり、D - FF 20 の入力端に反転された信号「L」が入力する。したがって、D - FF 20 は、それまでの状態を維持し、Q 端子出力は「L」のままとなる。このため、インバータ 23 で反転された信号「H」が各 PMOS 1, 6, 8 及び各 NMOS 2, 11

に入力し、PMOS 1はオフ、NMOS 2はオンを維持する。

【0021】

そして、PMOS 1がオフ、NMOS 2がオンの状態にあって、NMOS 2に流れた電流があらかじめ設定されたりリミット値を超えていない場合は、NMOSカレントリミット回路13は、カレントリミット信号「L」を出力する。これによって、OR回路22の出力は「L」となり、D-FF20には反転された信号「H」が入力する。したがって、D-FF20のQ端子出力は「H」となり、インバータ23で反転された信号「L」が各PMOS 1, 6, 8及び各NMOS 2, 11に入力し、PMOS 1はオン、NMOS 2はオフとなる。

【0022】

このようにして、上述の実施形態によれば、出力電圧が参照電圧よりも高くなった場合のほか、NMOS 2にあらかじめ設定したリミット値を超える電流が流れた場合にも、発振信号に関わりなく強制的に、PMOS 1をオフ状態とするので、過電流を抑制して、所望値に近い電源電圧を安定して供給できるものである。

【図面の簡単な説明】

【0023】

【図1】本発明にかかる電源装置の回路図。

【図2】従来の電源装置の回路図。

【符号の説明】

【0024】

- 1 PMOS
- 2 NMOS
- 3 インダクタ
- 4, 16 キャパシタ
- 5, 6, 8 PMOS
- 7, 14, 15 抵抗
- 9 PMOSカレントリミット回路
- 10 電流モニタ増幅回路
- 11, 12 NMOS
- 13 NMOSカレントリミット回路
- 17 エラーアンプ
- 18 コンパレータ
- 19, 22 OR回路
- 20 D-FF
- 21 発振器
- 23 インバータ

10

20

30

【圖 2】

