

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-3901

(P2010-3901A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 31/10 (2006.01)	H O 1 L 31/10 D	4 M 1 1 8
H O 1 L 27/146 (2006.01)	H O 1 L 27/14 E	5 F O 4 9
	H O 1 L 31/10 A	
	H O 1 L 31/10 H	

審査請求 未請求 請求項の数 12 O L (全 22 頁)

(21) 出願番号	特願2008-161770 (P2008-161770)	(71) 出願人	306037311
(22) 出願日	平成20年6月20日 (2008.6.20)		富士フイルム株式会社
			東京都港区西麻布2丁目26番30号
		(74) 代理人	100115107
			弁理士 高松 猛
		(74) 代理人	100132986
			弁理士 矢澤 清純
		(72) 発明者	林 誠之
			神奈川県足柄上郡開成町牛島577番地
			富士フイルム株式会社内
		Fターム(参考)	4M118 AA05 AB01 BA07 CA15 CA24
			CA27 CB05 FA06 GB03 GB07
			GC08 GD04 GD07
			最終頁に続く

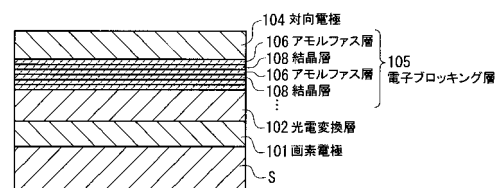
(54) 【発明の名称】 光電変換素子及び固体撮像素子

(57) 【要約】

【課題】電極で生じる応力に起因する光電変換素子の性能の低下を防止することができる光電変換素子及び固体撮像素子を提供する。

【解決手段】一対の電極101、104と、一対の電極101、104の間に配置された光電変換層102と、一対の電極101、104のうち一方と光電変換層102とに挟まれた少なくとも一つの応力緩衝層を備え、応力緩衝層の少なくとも一部が結晶層108を含む積層構造である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

一対の電極と、
前記一対の電極の間に配置された光電変換層と、
前記一対の電極のうち一方と前記光電変換層とに挟まれた少なくとも一つの応力緩衝層を備えた光電変換素子であって、
前記応力緩衝層が結晶層を含む積層構造である光電変換素子。

【請求項 2】

請求項 1 に記載の光電変換素子であって、
前記応力緩衝層の少なくとも一部が結晶層とアモルファス層が交互に配置された構成である光電変換素子。 10

【請求項 3】

請求項 2 に記載の光電変換素子であって、
前記応力緩衝層が結晶層とアモルファス層とを交互に 2 つずつ積層した構造を含む光電変換素子。

【請求項 4】

請求項 2 又は 3 に記載の光電変換素子であって、
前記応力緩衝層の前記結晶層と前記アモルファス層の厚みがそれぞれ $0.5 \sim 200 \text{ nm}$ である光電変換素子。

【請求項 5】

請求項 1 から 4 のいずれか 1 つに記載の光電変換素子であって、
前記応力緩衝層が、前記一対の電極への電圧印加時に前記一対の電極の一方から前記光電変換層に電荷が注入されるのを抑制する電荷ブロッキング層を兼ねる光電変換素子。 20

【請求項 6】

請求項 1 から 5 のいずれか 1 つに記載の光電変換素子であって、
前記一対の電極に外部から印加される電圧を前記一対の電極間の距離で割った値が $1.0 \times 10^5 \text{ V/cm} \sim 1.0 \times 10^7 \text{ V/cm}$ である光電変換素子。

【請求項 7】

請求項 1 から 6 のいずれか 1 つに記載の光電変換素子であって、
少なくとも 1 つの前記光電変換層が上方に積層された半導体基板と、
前記半導体基板内に形成され、前記光電変換層で発生した電荷を蓄積するための電荷蓄積部と、
前記一対の電極のうちの前記電荷を取り出すための電極と、前記電荷蓄積部とを電氣的に接続する接続部とを備える光電変換素子。 30

【請求項 8】

請求項 7 に記載の光電変換素子であって、
前記半導体基板内に、前記光電変換層を透過した光を吸収し、該光に応じた電荷を発生してこれを蓄積する基板内光電変換部を備える光電変換素子。

【請求項 9】

請求項 8 に記載の光電変換素子であって、
前記基板内光電変換部が、前記半導体基板内に積層されたそれぞれ異なる色の光を吸収する複数のフォトダイオードである光電変換素子。 40

【請求項 10】

請求項 8 に記載の光電変換素子であって、
前記基板内光電変換部が、前記半導体基板内の入射光の入射方向に対して垂直な方向に配列されたそれぞれ異なる色の光を吸収する複数のフォトダイオードである光電変換素子。

【請求項 11】

請求項 9 に記載の光電変換素子であって、
前記半導体基板上方に積層された前記光電変換層が 1 つであり、 50

前記複数のフォトダイオードが、青色の光を吸収可能な位置に p n 接合部が形成された青色用フォトダイオードと、赤色の光を吸収可能な位置に p n 接合部が形成された赤色用フォトダイオードであり、

前記光電変換層が緑色の光を吸収するものである光電変換素子。

【請求項 12】

請求項 7 から 11 のいずれか 1 つに記載の光電変換素子をアレイ状に多数配置した固体撮像素子であって、

前記多数の光電変換素子の各々の前記電荷蓄積部に蓄積された前記電荷に応じた信号を読み出す信号読み出し部を備える固体撮像素子。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、一对の電極間に光電変換層を備えた光電変換素子、及び該光電変換素子をアレイ状に多数配置した固体撮像素子に関する。

【背景技術】

【0002】

一对の電極と、該一对の電極間に、有機材料や無機材料からなる光電変換層とを有する光電変換素子を多数配置した構成を有する固体撮像素子が知られている。

また、光電変換素子には、電極からのキャリア注入（暗電流）に対して障壁となるブロッキング層や結晶化防止層などの機能層を、該電極と光電変換層との間に設けた構成のものも知られている。一对の電極間に光電変換層が設けられた構成の光電変換素子としては、例えば下記特許文献に示すものがある。

20

【0003】

【特許文献 1】特開平 9-36406 号公報

【特許文献 2】特開 2008-72090 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、電極で発生する応力に起因して、該電極と光電変換層との界面、又は、電極とブロッキング層との界面で亀裂、剥れ、変形などが生じることがあり、光電変換素子の性能を悪化させることが懸念されている。特に、有機材料からなる光電変換層の上に対向電極として ITO などの透明電極が成膜された構成の場合には、透明電極の応力により、光電変換層に亀裂やしわが発生し、暗電流が増大するなどの光電変換素子の性能の低下を引き起こしてしまう虞がある。透明電極の応力を下げるために透明電極の膜厚を薄くするという対策が考えられるが、透明電極の抵抗値が大きくなってしまい、特に光電変換素子の面積が大きい場合には電圧降下や応答速度の低下が顕著に現れ、この結果、光電変換素子の性能の低下を引き起こしてしまう。

30

【0005】

特許文献 1 には、電極の厚さを薄くすることで、該電極で生じる応力を下げて光電変換素子の性能の低下を防ぐことが記載されているが、この方法では、光電変換素子の面積が大きい場合や、電極の厚さを薄くしても応力が大きい電極の場合などでは、光電変換素子の性能の低下を避けることができない。

40

【0006】

特許文献 2 は、一对の電極と光電変換層との間に、複数層構造の電荷ブロッキング層を設ける構成が記載されているが、電極で生じる応力による素子性能の低下と、その対策については何ら記載されていない。

【0007】

本発明は、上記事情に鑑みてなされたもので、その目的は、電極で生じる応力に起因する光電変換素子の性能の低下を防止することができる光電変換素子及び固体撮像素子を提供することにある。

50

【課題を解決するための手段】

【0008】

本発明の上記目的は、下記構成によって達成される。

(1) 一对の電極と、

前記一对の電極の間に配置された光電変換層と、

前記一对の電極のうち一方と前記光電変換層とに挟まれた少なくとも一つの応力緩衝層を備えた光電変換素子であって、

前記応力緩衝層の少なくとも一部が結晶層を含む積層構造である光電変換素子。

(2) 上記(1)に記載の光電変換素子であって、

前記応力緩衝層が結晶層とアモルファス層が交互に配置された構成である光電変換素子

10

(3) 上記(2)に記載の光電変換素子であって、

前記応力緩衝層が結晶層とアモルファス層とを交互に2つずつ積層した構造を含む光電変換素子。

(4) 上記(2)又は(3)に記載の光電変換素子であって、

前記応力緩衝層の前記結晶層と前記アモルファス層の厚みがそれぞれ0.5~200nmである光電変換素子。

(5) 上記(1)から(4)のいずれか1つに記載の光電変換素子であって、

前記応力緩衝層が、前記一对の電極への電圧印加時に前記一对の電極の一方から前記光電変換層に電荷が注入されるのを抑制する電荷ブロッキング層を兼ねる光電変換素子。

20

(6) 上記(1)から(5)のいずれか1つに記載の光電変換素子であって、

前記一对の電極に外部から印加される電圧を前記一对の電極間の距離で割った値が $1.0 \times 10^5 \text{ V/cm} \sim 1.0 \times 10^7 \text{ V/cm}$ である光電変換素子。

(7) 上記(1)から(6)のいずれか1つに記載の光電変換素子であって、

少なくとも1つの前記光電変換層が上方に積層された半導体基板と、

前記半導体基板内に形成され、前記光電変換層で発生した電荷を蓄積するための電荷蓄積部と、

前記一对の電極のうちの前記電荷を取り出すための電極と、前記電荷蓄積部とを電氣的に接続する接続部とを備える光電変換素子。

(8) 上記(7)に記載の光電変換素子であって、

30

前記半導体基板内に、前記光電変換層を透過した光を吸収し、該光に応じた電荷を発生してこれを蓄積する基板内光電変換部を備える光電変換素子。

(9) 上記(8)に記載の光電変換素子であって、

前記基板内光電変換部が、前記半導体基板内に積層されたそれぞれ異なる色の光を吸収する複数のフォトダイオードである光電変換素子。

(10) 上記(8)に記載の光電変換素子であって、

前記基板内光電変換部が、前記半導体基板内の入射光の入射方向に対して垂直な方向に配列されたそれぞれ異なる色の光を吸収する複数のフォトダイオードである光電変換素子

。

(11) 上記(9)に記載の光電変換素子であって、

40

前記半導体基板上方に積層された前記光電変換層が1つであり、

前記複数のフォトダイオードが、青色の光を吸収可能な位置にpn接合部が形成された青色用フォトダイオードと、赤色の光を吸収可能な位置にpn接合部が形成された赤色用フォトダイオードであり、

前記光電変換層が緑色の光を吸収するものである光電変換素子。

(12) 上記(7)から(11)のいずれか1つに記載の光電変換素子をアレイ状に多数配置した固体撮像素子であって、

前記多数の光電変換素子の各々の前記電荷蓄積部に蓄積された前記電荷に応じた信号を読み出す信号読み出し部を備える固体撮像素子。

【0009】

50

本発明は、電極と光電変換層との間に、少なくとも一部が結晶層を含む積層構造である応力緩衝層を備えおり、電極で生じた応力を応力緩衝層によって緩衝することができる。このため、電極と光電変換層との界面や、電極とブロッキング層との界面で亀裂、剥れ、変形などが生じることを防止することができる。また、応力緩衝層を設けることで、電極の厚さを薄くする構成とする必要がなく、電極の抵抗値の増加による電圧降下や応答速度の低下などの不具合が生じることを回避できる。

【発明の効果】

【0010】

本発明によれば、電極で生じる応力に起因する光電変換素子の性能の低下を防止することが可能な光電変換素子及び固体撮像素子を提供することができる。

10

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施形態を図面に基づいて詳しく説明する。

【0012】

(第1実施形態)

図1は、本発明の光電変換素子の第1実施形態を示す断面模式図である。また、図2は、第1実施形態の光電変換素子の变形例を示す断面模式図である。

図1に示す光電変換素子は、基板Sと、該基板S上に形成された下部電極（画素電極）101と、下部電極101上に形成された光電変換層102と、光電変換層102上に形成された電子ブロッキング層105と、電子ブロッキング層105上に形成された上部電極（対向電極）104とを備える。

20

【0013】

図2に示す光電変換素子は、基板Sと、該基板S上に形成された下部電極（画素電極）101と、下部電極101上に形成された正孔ブロッキング層103と、正孔ブロッキング層103上に形成された光電変換層102上に形成された上部電極（対向電極）104とを備える。なお、以下の説明においては、正孔ブロッキング層105と電子ブロッキング層103とを総称して、電荷ブロッキング層ともいう。

【0014】

図1に示す光電変換素子は、上部電極104上方から光が入射するものとしている。また、光電変換素子は、光電変換層102で発生した電荷（正孔及び電子）のうち、電子を上部電極104に移動させ、正孔を下部電極101に移動させるように、下部電極101及び上部電極104間にバイアス電圧が印加されるものとしている。つまり、上部電極104を電子捕集電極とし、下部電極101を正孔捕集電極としている。

30

【0015】

上部電極104は、光電変換層102に光を入射させる必要があるため、透明な導電性材料で構成されている。ここで、透明とは、例えば波長が約420nm～約660nmの範囲の可視光を約80%以上透過することを言う。透明な導電性材料としてはITOを用いることが好ましい。

【0016】

下部電極101は、導電性材料であればよく、透明である必要はない。しかし、図1に示す光電変換素子は、後述するが、下部電極101の下方にも光を透過させることが必要になる場合もあるため、下部電極101も透明な導電性材料で構成することが好ましい。上部電極104と同様に、下部電極101においてもITOを用いることが好ましい。

40

【0017】

図1に示す光電変換素子は、光電変換層102と上部電極104との間に、一对の電極に電圧を印加した際に、電極からの電荷（ここでは、電子）注入に対して障壁となる電子ブロッキング層105が設けられている。電子ブロッキング層105は、上部電極104側から光電変換層102の方向にアモルファス層106と結晶層108とが交互に設けられてなる積層構造を有している。この光電変換素子においては、電子ブロッキング層105が応力緩衝層として機能する。

50

【0018】

図2に示す光電変換素子は、画素電極101と光電変換層102との間に、一対の電極に電圧を印加した際に、電極からの電荷（ここでは正孔）注入に対して障壁となる正孔ブロッキング層103が設けられている。正孔ブロッキング層103は、画素電極101側から光電変換層102の方向にアモルファス層106と結晶層108とが交互に設けられてなる積層構造を有している。この光電変換素子においては、正孔ブロッキング層103が応力緩衝層として機能する。

【0019】

光電変換層102は、光電変換機能を有する有機材料を含んで構成される。有機材料としては、例えば電子写真の感光材料に用いられているような、様々な有機半導体材料を用いることができる。その中でも、高い光電変換性能を有すること、分光する際の色分離に優れていること、長時間の光照射に対する耐久性が高いこと、真空蒸着を行いやすいこと、等の観点から、キナクリドン骨格を含む材料やフタロシアニン骨格を含む有機材料が特に好ましい。

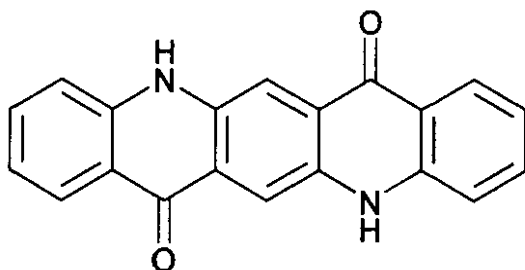
10

【0020】

光電変換層102として以下式で示されるキナクリドンを用いた場合には、光電変換層102にて緑色の波長域の光を吸収してこれに応じた電荷を発生することが可能となる。

【0021】

【化1】



20

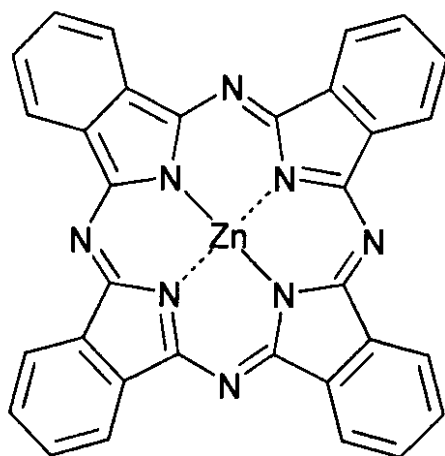
【0022】

光電変換層102として以下式で示される亜鉛フタロシアニンを用いた場合には、光電変換層102にて赤色の波長域の光を吸収してこれに応じた電荷を発生することが可能となる。

30

【0023】

【化2】



40

【0024】

また、光電変換層102を構成する有機材料は、有機p型半導体及び有機n型半導体の少なくとも一方を含んでいることが好ましい。有機p型半導体及び有機n型半導体として、それぞれキナクリドン誘導体、ナフタレン誘導体、アントラセン誘導体、フェナントレ

50

ン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、及びフルオランテン誘導体のいずれかを特に好ましく用いることができる。

【0025】

有機p型半導体（化合物）は、ドナー性有機半導体（化合物）であり、主に正孔輸送性有機化合物に代表され、電子を供与しやすい性質がある有機化合物をいう。さらに詳しくは2つの有機材料を接触させて用いたときにイオン化ポテンシャルの小さい方の有機化合物をいう。したがって、ドナー性有機化合物は、電子供与性のある有機化合物であればいずれの有機化合物も使用可能である。例えば、トリアリールアミン化合物、ベンジジン化合物、ピラゾリン化合物、スチリルアミン化合物、ヒドラゾン化合物、トリフェニルメタン化合物、カルバゾール化合物、ポリシラン化合物、チオフェン化合物、フタロシアニン化合物、シアニン化合物、メロシアニン化合物、オキソノール化合物、ポリアミン化合物、インドール化合物、ピロール化合物、ピラゾール化合物、ポリアリーレン化合物、縮合芳香族炭素環化合物（ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体）、含窒素ヘテロ環化合物を配位子として有する金属錯体等を用いることができる。なお、これに限らず、上記したように、n型（アクセプター性）化合物として用いた有機化合物よりもイオン化ポテンシャルの小さい有機化合物であればドナー性有機半導体として用いてよい。

【0026】

有機n型半導体（化合物）は、アクセプター性有機半導体（化合物）であり、主に電子輸送性有機化合物に代表され、電子を受容しやすい性質がある有機化合物をいう。さらに詳しくは2つの有機化合物を接触させて用いたときに電子親和力の大きい方の有機化合物をいう。したがって、アクセプター性有機化合物は、電子受容性のある有機化合物であればいずれの有機化合物も使用可能である。例えば、縮合芳香族炭素環化合物（ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体）、窒素原子、酸素原子、硫黄原子を含有する5ないし7員のヘテロ環化合物（例えばピリジン、ピラジン、ピリミジン、ピリダジン、トリアジン、キノリン、キノキサリン、キナゾリン、フタラジン、シンノリン、イソキノリン、プテリジン、アクリジン、フェナジン、フェナントロリン、テトラゾール、ピラゾール、イミダゾール、チアゾール、オキサゾール、インダゾール、ベンズイミダゾール、ベンゾトリアゾール、ベンゾオキサゾール、ベンゾチアゾール、カルバゾール、プリン、トリアゾロピリダジン、トリアゾロピリミジン、テトラザインデン、オキサジアゾール、イミダゾピリジン、ピラリジン、ピロロピリジン、チアジアゾロピリジン、ジベンズアゼピン、トリベンズアゼピン等）、ポリアリーレン化合物、フルオレン化合物、シクロペンタジエン化合物、シリル化合物、含窒素ヘテロ環化合物を配位子として有する金属錯体などが挙げられる。なお、これに限らず、上記したように、ドナー性有機化合物として用いた有機化合物よりも電子親和力の大きな有機化合物であればアクセプター性有機半導体として用いてよい。

【0027】

p型有機色素、又はn型有機色素としては、いかなるものを用いても良いが、好ましくは、シアニン色素、スチリル色素、ヘミシアニン色素、メロシアニン色素（ゼロメチンメロシアニン（シンプルメロシアニン）を含む）、3核メロシアニン色素、4核メロシアニン色素、ロダシアニン色素、コンプレックスシアニン色素、コンプレックスメロシアニン色素、アロポーラー色素、オキソノール色素、ヘミオキソノール色素、スクアリウム色素、クロコニウム色素、アザメチン色素、クマリン色素、アリーリデン色素、アントラキノ色素、トリフェニルメタン色素、アゾ色素、アゾメチン色素、スピロ化合物、メタロセン色素、フルオレノン色素、フルギド色素、ペリレン色素、フェナジン色素、フェノチアジン色素、キノン色素、インジゴ色素、ジフェニルメタン色素、ポリエン色素、アクリジン色素、アクリジノン色素、ジフェニルアミン色素、キナクリドン色素、キノフタロン色素、フェノキサジン色素、フタロペリレン色素、ポルフィリン色素、クロロフィル色素、フタロシアニン色素、金属錯体色素、縮合芳香族炭素環系色素（ナフタレン誘導体、アン

トラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体)が挙げられる。

【0028】

次に金属錯体化合物について説明する。金属錯体化合物は金属に配位する少なくとも1つの窒素原子または酸素原子または硫黄原子を有する配位子をもつ金属錯体であり、金属錯体中の金属イオンは特に限定されないが、好ましくはベリリウムイオン、マグネシウムイオン、アルミニウムイオン、ガリウムイオン、亜鉛イオン、インジウムイオン、または錫イオンであり、より好ましくはベリリウムイオン、アルミニウムイオン、ガリウムイオン、または亜鉛イオンであり、更に好ましくはアルミニウムイオン、または亜鉛イオンである。前記金属錯体中に含まれる配位子としては種々の公知の配位子が有るが、例えば、
「Photochemistry and Photophysics of Coordination Compounds」 Springer-Verlag社
H.Yersin著1987年発行、「有機金属化学—基礎と応用—」裳華房社山本明夫著1982年発行等に記載の配位子が挙げられる。

10

【0029】

配位子として、好ましくは含窒素ヘテロ環配位子（好ましくは炭素数1～30、より好ましくは炭素数2～20、特に好ましくは炭素数3～15であり、単座配位子であっても2座以上の配位子であってもよい。好ましくは2座配位子である。例えばピリジン配位子、ピピリジル配位子、キノリノール配位子、ヒドロキシフェニルアゾール配位子（ヒドロキシフェニルベンズイミダゾール、ヒドロキシフェニルベンズオキサゾール配位子、ヒドロキシフェニルイミダゾール配位子）などが挙げられる）、アルコキシ配位子（好ましくは炭素数1～30、より好ましくは炭素数1～20、特に好ましくは炭素数1～10であり、例えばメトキシ、エトキシ、ブトキシ、2-エチルヘキシロキシなどが挙げられる。）、アリールオキシ配位子（好ましくは炭素数6～30、より好ましくは炭素数6～20、特に好ましくは炭素数6～12であり、例えばフェニルオキシ、1-ナフチルオキシ、2-ナフチルオキシ、2, 4, 6-トリメチルフェニルオキシ、4-ビフェニルオキシなどが挙げられる。）、ヘテロアリールオキシ配位子（好ましくは炭素数1～30、より好ましくは炭素数1～20、特に好ましくは炭素数1～12であり、例えばピリジルオキシ、ピラジルオキシ、ピリミジルオキシ、キノリルオキシなどが挙げられる。）、アルキルチオ配位子（好ましくは炭素数1～30、より好ましくは炭素数1～20、特に好ましくは炭素数1～12であり、例えばメチルチオ、エチルチオなどが挙げられる。）、アリールチオ配位子（好ましくは炭素数6～30、より好ましくは炭素数6～20、特に好ましくは炭素数6～12であり、例えばフェニルチオなどが挙げられる。）、ヘテロ環置換チオ配位子（好ましくは炭素数1～30、より好ましくは炭素数1～20、特に好ましくは炭素数1～12であり、例えばピリジルチオ、2-ベンズイミゾリルチオ、2-ベンズオキサゾリルチオ、2-ベンズチアゾリルチオなどが挙げられる。）、またはシロキシ配位子（好ましくは炭素数1～30、より好ましくは炭素数3～25、特に好ましくは炭素数6～20であり、例えばトリフェニルシロキシ基、トリエトキシシロキシ基、トリイソプロピルシロキシ基などが挙げられる）であり、より好ましくは含窒素ヘテロ環配位子、アリールオキシ配位子、ヘテロアリールオキシ基、またはシロキシ配位子であり、更に好ましくは含窒素ヘテロ環配位子、アリールオキシ配位子、またはシロキシ配位子が挙げられる。

20

30

40

【0030】

応力緩衝層は、その少なくとも一部に結晶層を含む積層構造とすることができる。図1及び図2に示す光電変換素子では、電子ブロッキング層105又は正孔ブロッキング層103の一部を結晶層を含む積層構造として応力緩衝層としてもよい。応力緩衝層は、一対の電極101, 104のうち一方と光電変換層102とに挟まれた部位に少なくとも一つ設けられればよく、電子ブロッキング層105又は正孔ブロッキング層103に限定されず、それ以外の層や該層の一部に設けてもよい。また、応力緩衝層は、画素電極101と光電変換層102との間、及び、光電変換層102と上部電極104との間にそれぞれ設けられていてよい。

50

【0031】

応力緩衝層に用いる結晶層は、単結晶より粒界や隙間をもつ微結晶性であることが好ましい。結晶層は、アモルファス層との界面において、結晶の粒界や隙間により応力を吸収できるのではないかと考えられる。ここで、微結晶とは、有機材料や無機材料を抵抗加熱蒸着や電子ビーム蒸着、スパッタ、CVD (Chemical Vapor Deposition)、塗布などで作製した薄膜において、アモルファス層を構成するアモルファス成分に対して結晶体積率が数%から100%であり、また結晶粒径が数オングストロームから数 μm となるもの指す。応力緩衝層に含まれる結晶層とアモルファス層の厚みがそれぞれ0.5~200nmであることが好ましい。

【0032】

結晶層を構成する材料は、電荷輸送性を有し微結晶性となる材料が好ましい。有機材料では平面性が高く分子間力が大きい材料は結晶性を発現しやすく、たとえば有機顔料などがあげられる。また、室温で成膜した場合にアモルファス層を構成する材料であっても、基板加熱等の加熱成膜により微結晶性となる材料であれば用いることができる。無機材料は成膜時に微結晶性となるものが多く、必要な電荷輸送性があればさまざまな材料を用いることができ、特に、電荷輸送性とブロッキング性を有する無機酸化物などが好ましい。

【0033】

アモルファス層を構成するアモルファス材料としては、電荷輸送性があれば一般的に知られている有機材料と無機材料いずれも用いることができる。また、室温での成膜で微結晶性となる材料でも、基板冷却などによりアモルファス層を形成することが可能であれば、用いることが可能である。また、結晶層と積層構造を構成する層としては、アモルファス層に限定されず、該結晶層との界面で結晶の粒界や隙間により応力を吸収できる層であれば、他の材料からなる層を適用することができる。

【0034】

図1及び図2に示す光電変換素子において、電子ブロッキング層105と正孔ブロッキング層103の両方を備えた構成としてもよい。電圧を印加する方向に応じて電子ブロッキング層105と正孔ブロッキング層103を入れ替えた構成としてもよい。

【0035】

光電変換の効率を良くするために、上部電極104と下部電極101との間に外部から印加される電圧を、電極101, 104間の距離で割った値が $1.0 \times 10^5 \text{ V/cm} \sim 1.0 \times 10^7 \text{ V/cm}$ であることが好ましい。

【0036】

電荷ブロッキング層の膜厚は、薄すぎると十分なブロッキング性を確保することができず、逆に厚すぎると光電変換層にかかる電界が小さくなるため効率の低下を招いてしまうので、0.01~15 μm であることが好ましい。より好ましくは、0.03~1 μm 、さらに好ましくは、0.05~0.2 μm である。

【0037】

本実施形態の光電変換素子によれば、電極101, 104と光電変換層102との間に、結晶層108を含む積層構造である応力緩衝層を備えおり、電極で生じた応力を応力緩衝層によって緩衝することができる。このため、電極101, 104と光電変換層102との界面で亀裂、剥れ、変形などが生じることを防止することができる。また、応力緩衝層を設けることで、電極の厚さを薄くする構成とする必要がなく、電極の抵抗値の増加による電圧降下や応答速度の低下などの不具合が生じることを回避できる。

【0038】

電極と電荷ブロッキング層との間に応力緩衝層を設ける構成とすれば、電極と電荷ブロッキング層との界面で亀裂、剥れ、変形などが生じることを防止することができる。

【0039】

以下の第2実施形態~第5実施形態では、上述したような光電変換素子を半導体基板上方に積層した構成のセンサとしてあげられる構成例を説明する。なお、以下に説明する実施形態において、すでに説明した部材などと同様な構成・作用を有する部材等については

10

20

30

40

50

、図中に同一符号又は相当符号を付すことにより、説明を簡略化或いは省略する。

【0040】

(第2実施形態)

図3は、本発明の第2実施形態を説明するための固体撮像素子の1画素分の断面模式図である。図3において図1及び図2と同等の構成には同一符号を付してある。

固体撮像素子100は、図3に示す1画素が同一平面上でアレイ状に多数配置されたものであり、この1画素から得られる信号によって画像データの1つの画素データを生成することができる。

【0041】

図3に示す固体撮像素子の1画素は、p型シリコン基板1と、p型シリコン基板1上に形成された透明な絶縁膜7と、絶縁膜7上に形成された下部電極101、下部電極101上に形成された正孔ブロッキング層103と、正孔ブロッキング層103上に形成された光電変換層102と、光電変換層102上に形成された電子ブロッキング層105と、電子ブロッキング層105上に形成された上部電極104からなる構成の光電変換素子とを含んで構成され、光電変換素子上には開口の設けられた遮光膜14が形成されている。上部電極104上には透明な絶縁膜15が形成されている。ここで、電子ブロッキング層105及び正孔ブロッキング層103のうち少なくとも一方に、結晶層を含む積層構造である応力緩衝層が設けられている。

【0042】

p型シリコン基板1内には、その浅い方からn型不純物領域(以下、n領域と略す)4と、p型不純物領域(以下、p領域と略す)3と、n領域2がこの順に形成されている。n領域4の遮光膜14によって遮光されている部分の表面部には、高濃度のn領域(n+領域という)6が形成され、n+領域6の周りはp領域5によって囲まれている。

【0043】

n領域4とp領域3とのpn接合面のp型シリコン基板1表面からの深さは、青色光を吸収する深さ(約0.2μm)となっている。したがって、n領域4とp領域3は、青色光を吸収してそれに応じた電荷を蓄積するフォトダイオード(Bフォトダイオード)を形成する。

【0044】

n領域2とp型シリコン基板1とのpn接合面のp型シリコン基板1表面からの深さは、赤色光を吸収する深さ(約2μm)となっている。したがって、n領域2とp型シリコン基板1は、赤色光を吸収してそれに応じた電荷を蓄積するフォトダイオード(Rフォトダイオード)を形成する。

【0045】

n+領域6は、絶縁膜7に開けられた開口に形成された接続部9を介して下部電極101と電氣的に接続されている。下部電極101で捕集された正孔は、n+領域6の電子と再結合するため、捕集した正孔の数に応じ、n+領域6にリセット時に蓄積された電子が減少することとなる。接続部9は、下部電極101とn+領域6以外とは絶縁膜8によって電氣的に絶縁される。

【0046】

n領域2に蓄積された電子は、p型シリコン基板1内に形成されたnチャネルMOSトランジスタからなるMOS回路(不図示)によってその電荷量に応じた信号に変換され、n領域4に蓄積された電子は、p領域3内に形成されたnチャネルMOSトランジスタからなるMOS回路(不図示)によってその電荷量に応じた信号に変換され、n+領域6に蓄積されている電子は、p領域5内に形成されたnチャネルMOSトランジスタからなるMOS回路(不図示)によってその電荷量に応じた信号に変換されて、固体撮像素子100外部へと出力される。各MOS回路は配線10によって図示しない信号読み出しパッドに接続される。なお、n領域2、n領域4に引き出し電極を設け、所定のリセット電位をかけると、各領域が空乏化し、各pn接合部の容量は限りなく小さい値になる。これにより、接合面に生じる容量を極めて小さくすることができる。

【0047】

このような構成により、光電変換層102でG光を光電変換し、p型シリコン基板1中のBフォトダイオードとRフォトダイオードでB光およびR光を光電変換することができる。また上部でG光がまず吸収されるため、B-G間およびG-R間の色分離は優れている。これが、シリコン基板内に3つのPDを積層し、シリコン基板内でBGR光を全て分離する形式の固体撮像素子に比べ、大きく優れた点である。

【0048】

本実施形態の固体撮像素子100は、画素電極101及び上部電極104と光電変換層102との間に少なくとも1つの応力緩衝層を備えた構成である。このため、電極101、104で生じた応力を応力緩衝層によって緩衝することができ、電極101、104と光電変換層102との界面で亀裂、剥れ、変形などが生じることを防止できる。

10

【0049】

(第3実施形態)

本実施形態では、図3のシリコン基板1内に2つのフォトダイオードを積層するのではなく、入射光の入射方向に対して垂直な方向に2つのフォトダイオードを配列して、p型シリコン基板内で2色の光を検出するようにしたものである。

【0050】

図4は、本発明の第3実施形態を説明するための固体撮像素子の1画素分の断面模式図である。図4において図1と同等の構成には同一符号を付してある。

図4に示す固体撮像素子200の1画素は、p型シリコン基板17と、p型シリコン基板17上方に形成された下部電極101、下部電極101上に形成された正孔ブロッキング層103と、該正孔ブロッキング層103上に形成された光電変換層102と、該光電変換層102上に形成された電子ブロッキング層105と、電子ブロッキング層105上に形成された上部電極104とを備えた構成の光電変換素子とを含んで構成され、光電変換素子上には開口の設けられた遮光膜34が形成されている。また、上部電極104上には透明な絶縁膜33が形成されている。ここで、電子ブロッキング層105及び正孔ブロッキング層103のうち少なくとも一方に、結晶層を含む積層構造である応力緩衝層が設けられている。

20

【0051】

遮光膜34の開口下方のp型シリコン基板17表面には、p領域19とn領域18からなるフォトダイオードと、p領域21とn領域20からなるフォトダイオードとが、p型シリコン基板17表面に並んで形成されている。p型シリコン基板17表面上の任意の面方向が、入射光の入射方向に対して垂直な方向となる。

30

【0052】

p領域19とn領域18からなるフォトダイオードの上方には、透明な絶縁膜24を介してB光を透過するカラーフィルタ28が形成され、その上に下部電極101が形成されている。p領域21とn領域20からなるフォトダイオードの上方には、透明な絶縁膜24を介してR光を透過するカラーフィルタ29が形成され、その上に下部電極101が形成されている。カラーフィルタ28、29の周囲は、透明な絶縁膜25で覆われている。

【0053】

p領域19とn領域18からなるフォトダイオードは、カラーフィルタ28を透過したB光を吸収してそれに応じた電子を発生し、発生した電子をn領域18に蓄積する基板内光電変換部として機能する。p領域21とn領域20からなるフォトダイオードは、カラーフィルタ29を透過したR光を吸収してそれに応じた電子を発生し、発生した電子をn領域20に蓄積する基板内光電変換部として機能する。

40

【0054】

n型シリコン基板17表面の遮光膜34によって遮光されている部分には、n+領域23が形成され、n+領域23の周りはp領域22によって囲まれている。

【0055】

n+領域23は、絶縁膜24、25に開けられた開口に形成された接続部27を介して

50

下部電極 101 と電氣的に接続されている。下部電極 101 で捕集された正孔は、 $n+$ 領域 23 の電子と再結合するため、捕集した正孔の数に応じ、 $n+$ 領域 23 にリセット時に蓄積された電子が減少することとなる。接続部 27 は、下部電極 101 と $n+$ 領域 23 以外とは絶縁膜 26 によって電氣的に絶縁される。

【0056】

n 領域 18 に蓄積された電子は、 p 型シリコン基板 17 内に形成された n チャネル MOS トランジスタからなる MOS 回路（不図示）によってその電荷量に応じた信号に変換され、 n 領域 20 に蓄積された電子は、 p 型シリコン基板 17 内に形成された n チャネル MOS トランジスタからなる MOS 回路（不図示）によってその電荷量に応じた信号に変換され、 $n+$ 領域 23 に蓄積されている電子は、 p 領域 22 内に形成された n チャネル MOS トランジスタからなる MOS 回路（不図示）によってその電荷量に応じた信号に変換されて、固体撮像素子 200 外部へと出力される。各 MOS 回路は配線 35 によって図示しない信号読み出しパッドに接続される。

10

なお、信号読み出し部は、MOS 回路ではなく CCD とアンプによって構成してもよい。つまり、 n 領域 18、 n 領域 20、及び $n+$ 領域 23 に蓄積された電子を p 型シリコン基板 17 内に形成した CCD に読み出し、これを CCD でアンプまで転送して、アンプからその電子に応じた信号を出力させるような信号読み出し部であってもよい。

【0057】

このように、信号読み出し部は、CCD および CMOS 構造が挙げられるが、消費電力、高速読み出し、画素加算、部分読み出し等の点からは、CMOS の方が好ましい。

20

【0058】

なお、図 4 では、カラーフィルタ 28、29 によって R 光と B 光の色分離を行っているが、カラーフィルタ 28、29 を設けず、 n 領域 20 と p 領域 21 の pn 接合面の深さと、 n 領域 18 と p 領域 19 の pn 接合面の深さを各々調整して、それぞれのフォトダイオードで R 光と B 光を吸収するようにしてもよい。

【0059】

p 型シリコン基板 17 と下部電極 101 との間（例えば絶縁膜 24 と p 型シリコン基板 17 との間）に、光電変換層 102 を透過した光を吸収して、該光に応じた電荷を発生しこれを蓄積する無機材料からなる無機光電変換部を形成することも可能である。この場合、 p 型シリコン基板 17 内に、この無機光電変換部の電荷蓄積領域に蓄積された電荷に応じた信号を読み出すための MOS 回路を設け、この MOS 回路にも配線 35 を接続しておけばよい。

30

【0060】

また、 p 型シリコン基板 17 内に設けるフォトダイオードを 1 つとし、 p 型シリコン基板 17 上方に光電変換部を複数積層した構成としてもよい。更に、 p 型シリコン基板 17 内に設けるフォトダイオードを複数とし、 p 型シリコン基板 17 上方に光電変換部を複数積層した構成としてもよい。また、カラー画像を作る必要がないのであれば、 p 型シリコン基板 17 内に設けるフォトダイオードを 1 つとし、光電変換部を 1 つだけ積層した構成としてもよい。

【0061】

本実施形態の固体撮像素子 200 は、画素電極 101 及び上部電極 104 と光電変換層 102 との間に少なくとも 1 つの応力緩衝層を備えた構成である。このため、電極 101、104 で生じた応力を応力緩衝層によって緩衝することができ、電極 101、104 と光電変換層 102 との界面で亀裂、剥れ、変形などが生じることを防止できる。

40

【0062】

（第 4 実施形態）

本実施形態の固体撮像素子は、シリコン基板内にフォトダイオードを設けず、シリコン基板上方に複数（ここでは 3 つ）の光電変換素子を積層した構成である。

図 5 は、本発明の第 4 実施形態を説明するための固体撮像素子の 1 画素分の断面模式図である。

50

図 5 に示す固体撮像素子 300 は、R 光電変換素子と、B 光電変換素子と、G 光電変換素子とをシリコン基板 41 の上方に順に積層した構成である。

R 光電変換素子は、シリコン基板 41 上方に、下部電極 101 r、下部電極 101 r 上に形成された正孔ブロッキング層 103 r、該正孔ブロッキング層 103 r 上に積層された光電変換層 102 r、該光電変換層 102 r 上に形成された電子ブロッキング層 105 r、該電子ブロッキング層 105 r 上に積層された上部電極 104 r を含む。正孔ブロッキング層 103 r 及び電子ブロッキング層 105 r のうち少なくとも一方を応力緩衝層とする。

【0063】

B 光電変換素子は、下部電極 101 b、下部電極 101 b 上に形成された正孔ブロッキング層 103 b、該正孔ブロッキング層 103 b 上に積層された光電変換層 102 b、該光電変換層 102 b 上に形成された電子ブロッキング層 105 b、該電子ブロッキング層 105 b 上に積層された上部電極 104 b を含む。正孔ブロッキング層 103 b 及び電子ブロッキング層 105 b のうち少なくとも一方を応力緩衝層とする。

【0064】

G 光電変換素子は、下部電極 101 g、下部電極 101 g 上に形成された正孔ブロッキング層 103 g、該正孔ブロッキング層 103 g 上に積層された光電変換層 102 g、該光電変換層 102 g 上に形成された電子ブロッキング層 105 g、該電子ブロッキング層 105 g 上に積層された上部電極 104 g を含む。R 光電変換素子と B 光電変換素子と G 光電変換素子とが、それぞれに含まれる下部電極をシリコン基板 41 側に向けた状態で、この順に積層された構成となっている。正孔ブロッキング層 103 g 及び電子ブロッキング層 105 g のうち少なくとも一方を応力緩衝層とする。

【0065】

R 光電変換素子の上部電極 104 r と B 光電変換素子の下部電極 101 b との間に透明な絶縁膜 59 が形成され、B 光電変換素子の上部電極 104 b と G 光電変換素子の下部電極 101 g との間に透明な絶縁膜 63 が形成されている。G 光電変換素子の上部電極 104 g 上には、開口を除く領域に遮光膜 68 が形成され、該上部電極 104 g と遮光膜 68 を覆うように透明な絶縁膜 67 が形成されている。

【0066】

R、G、B の各光電変換素子に含まれる下部電極、光電変換層、正孔ブロッキング層、電子ブロッキング層、及び上部電極は、それぞれ、図 1 に示す光電変換素子のものと同じ構成とすることができる。ただし、光電変換層 102 g は、緑色光を吸収してこれに応じた電子及び正孔を発生する有機材料を含むものとし、光電変換層 102 b は、青色光を吸収してこれに応じた電子及び正孔を発生する有機材料を含むものとし、光電変換層 102 r は、赤色光を吸収してこれに応じた電子及び正孔を発生する有機材料を含むものとする。

【0067】

シリコン基板 41 表面の遮光膜 68 によって遮光されている部分には、n+領域 43、45、47 が形成され、それぞれの周りは p 領域 42、44、46 によって囲まれている。

【0068】

n+領域 43 は、絶縁膜 48 に開けられた開口に形成された接続部 54 を介して下部電極 101 r と電氣的に接続されている。下部電極 101 r で捕集された正孔は、n+領域 43 の電子と再結合するため、捕集した正孔の数に応じ、n+領域 43 にリセット時に蓄積された電子が減少することとなる。接続部 54 は、下部電極 101 r と n+領域 43 以外とは絶縁膜 51 によって電氣的に絶縁される。

【0069】

n+領域 45 は、絶縁膜 48、R 光電変換素子、及び絶縁膜 59 に開けられた開口に形成された接続部 53 を介して下部電極 101 b と電氣的に接続されている。下部電極 101 b で捕集された正孔は、n+領域 45 の電子と再結合するため、捕集した正孔の数に応

10

20

30

40

50

じ、 $n+$ 領域45にリセット時に蓄積された電子が減少することとなる。接続部53は、下部電極101bと $n+$ 領域45以外とは絶縁膜50によって電氣的に絶縁される。

【0070】

$n+$ 領域47は、絶縁膜48、R光電変換素子、絶縁膜59、B光電変換素子、及び絶縁膜63に開けられた開口に形成された接続部52を介して下部電極101gと電氣的に接続されている。下部電極101gで捕集された正孔は、 $n+$ 領域47の電子と再結合するため、捕集した正孔の数に応じ、 $n+$ 領域47にリセット時に蓄積された電子が減少することとなる。接続部52は、下部電極101gと $n+$ 領域47以外とは絶縁膜49によって電氣的に絶縁される。

【0071】

$n+$ 領域43に蓄積されている電子は、 p 領域42内に形成された n チャネルMOSトランジスタからなるMOS回路（不図示）によってその電荷量に応じた信号に変換され、 $n+$ 領域45に蓄積されている電子は、 p 領域44内に形成された n チャネルMOSトランジスタからなるMOS回路（不図示）によってその電荷量に応じた信号に変換され、 $n+$ 領域47に蓄積されている電子は、 p 領域46内に形成された n チャネルMOSトランジスタからなるMOS回路（不図示）によってその電荷量に応じた信号に変換されて、固体撮像素子300外部へと出力される。各MOS回路は配線55によって図示しない信号読み出しパッドに接続される。なお、信号読み出し部は、MOS回路ではなくCCDとアンプによって構成してもよい。つまり、 $n+$ 領域43、45、47に蓄積された電子をシリコン基板41内に形成したCCDに読み出し、これをCCDでアンプまで転送して、アンプからその正孔に応じた信号を出力させるような信号読み出し部であってもよい。

【0072】

以上の説明において、B光を吸収する光電変換層とは、例えば、少なくとも400～500nmの光を吸収することができ、好ましくはその波長域でのピーク波長の吸収率が50%以上であるものを意味する。G光を吸収する光電変換層とは、例えば、少なくとも500～600nmの光を吸収することができ、好ましくはその波長域でのピーク波長の吸収率が50%以上であることを意味する。R光を吸収する光電変換層とは、例えば、少なくとも600～700nmの光を吸収することができ、好ましくはその波長域でのピーク波長の吸収率が50%以上であることを意味する。

【0073】

本実施形態の固体撮像素子300は、積層された各光電変換素子の画素電極101r、101g、101b及び上部電極104r、104g、104bと光電変換層102r、102g、102bとの間に応力緩衝層を備えた構成である。このため、画素電極101r、101g、101b及び上部電極104r、104g、104bで生じた応力を応力緩衝層によって緩衝することができ、画素電極101r、101g、101b及び上部電極104r、104g、104bと光電変換層102r、102g、102bと間のそれぞれの界面で亀裂、剥れ、変形などが生じることを防止できる。

【0074】

（第5実施形態）

図6は、本発明の第5実施形態を説明するための固体撮像素子の断面模式図である。

p 型シリコン基板81上方の同一面上の行方向とこれに直交する列方向には、主としてRの波長域の光を透過するカラーフィルタ93rと、主としてGの波長域の光を透過するカラーフィルタ93gと、主としてBの波長域の光を透過するカラーフィルタ93bとの3種類のカラーフィルタがそれぞれ多数配列されている。

【0075】

カラーフィルタ93rは、公知の材料を用いることができるが、このような材料は、Rの波長域の光の他に、赤外域の光の一部も透過する。カラーフィルタ93gは、公知の材料を用いることができるが、このような材料は、Gの波長域の光の他に、赤外域の光の一部も透過する。カラーフィルタ93bは、公知の材料を用いることができるが、このような材料は、Bの波長域の光の他に、赤外域の光の一部も透過する。

【0076】

カラーフィルタ93r, 93g, 93bの配列は、公知の単板式固体撮像素子に用いられているカラーフィルタ配列（ベイヤー配列や縦ストライプ、横ストライプ等）を採用することができる。

【0077】

カラーフィルタ93r下方には、カラーフィルタ93rに対応させてn型不純物領域（以下、n領域という）83rが形成されており、n領域83rとp型シリコン基板81とのpn接合によって、カラーフィルタ93rに対応するR光電変換素子が構成されている。

【0078】

カラーフィルタ93g下方には、カラーフィルタ93gに対応させてn領域83gが形成されており、n領域83gとp型シリコン基板81とのpn接合によって、カラーフィルタ93gに対応するG光電変換素子が構成されている。

【0079】

カラーフィルタ93b下方には、カラーフィルタ93bに対応させてn領域83bが形成されており、n領域83bとp型シリコン基板81とのpn接合によって、カラーフィルタ93bに対応するB光電変換素子が構成されている。

【0080】

n領域83r上方には下部電極87r（図1の下部電極101と同じ機能を持つ）が形成され、n領域83g上方には下部電極87g（図1の下部電極101と同じ機能を持つ）が形成され、n領域83b上方には下部電極87b（図1の下部電極101と同じ機能を持つ）が形成されている。下部電極87r, 87g, 87bは、それぞれカラーフィルタ93r, 93g, 93bの各々に対応して分割されている。下部電極87r, 87g, 87bは、それぞれ、可視光及び赤外光に対して透明な材料で構成され、例えばITO(Indium Tin Oxide)やIZO(Indium Zico Oxide)等を用いることができる。下部電極87r, 87g, 87bは、それぞれ、絶縁層内に埋設されている。

【0081】

下部電極87r, 87g, 87bの各々の上には、主として波長580nm以上の赤外域の光を吸収してこれに応じた電荷を発生し、赤外域以外の可視域（例えば波長約380nm～約580nm）の光を透過する、カラーフィルタ93r, 93g, 93bの各々で共通の一枚構成である光電変換層89（図1の光電変換層102と同じ機能を持つ）が形成されている。光電変換層89を構成する材料は、例えば、フタロシアニン系有機材料やナフタロシアニン系有機材料を用いる。

【0082】

光電変換層89上には、カラーフィルタ93r, 93g, 93bの各々で共通の一枚構成である上部電極80（図1の上部電極104と同じ機能を持つ）が形成されている。上部電極80は、可視光及び赤外光に対して透明な材料で構成され、例えばITOやIZO等を用いることができる。光電変換層89と上部電極80の間には、図1の電子ブロッキング層105と同じ機能を持つ電子ブロッキング層が形成されている。下部電極87r, 87g, 87bと、光電変換層89との間にはそれぞれ、図示しない正孔ブロッキング層103が形成されている。正孔ブロッキング層103及び電子ブロッキング層105のうち少なくとも一方を応力緩衝層とする。

【0083】

下部電極87rと、それに対向する上部電極80と、これらに挟まれる光電変換層89の一部とにより、カラーフィルタ93rに対応する光電変換素子が形成される。以下では、この光電変換素子を、半導体基板上に形成されたものであるため、R基板上光電変換素子という。下部電極87gと、それに対向する上部電極80と、これらに挟まれる光電変換層89の一部とにより、カラーフィルタ93gに対応する光電変換素子が形成される。以下では、この光電変換素子をG基板上光電変換素子という。下部電極87bと、それに対向する上部電極80と、これらに挟まれる光電変換層89の一部とにより、カラーフィ

10

20

30

40

50

ルタ 9 3 b に対応する光電変換素子が形成される。以下では、この光電変換素子を B 基板上光電変換素子という。

【0084】

n 領域 8 3 r の隣には、R 基板上光電変換素子の下部電極 8 7 r と接続された高濃度の n 型不純物領域（以下、n + 領域という）8 4 r が形成されている。尚、n + 領域 8 4 r に光が入るのを防ぐために、n + 領域 8 4 r 上には遮光膜を設けておくことが好ましい。

【0085】

n 領域 8 3 g の隣には、G 基板上光電変換素子の下部電極 8 7 g と接続された n + 領域 8 4 g が形成されている。なお、n + 領域 8 4 g に光が入るのを防ぐために、n + 領域 8 4 g 上には遮光膜を設けておくことが好ましい。

10

【0086】

n 領域 8 3 b の隣には、B 基板上光電変換素子の下部電極 8 7 b と接続された n + 領域 8 4 b が形成されている。なお、n + 領域 8 4 b に光が入るのを防ぐために、n + 領域 8 4 b 上には遮光膜を設けておくことが好ましい。

【0087】

n + 領域 8 4 r 上にはタンゲステン、アルミニウム等の金属からなるコンタクト部 8 6 r が形成され、コンタクト部 8 6 r 上に下部電極 8 7 r が形成されており、n + 領域 8 4 r と下部電極 8 7 r はコンタクト部 8 6 r によって電氣的に接続されている。コンタクト部 8 6 r は、可視光及び赤外光に対して透明な絶縁層 8 5 内に埋設されている。

【0088】

n + 領域 8 4 g 上にはタンゲステン、アルミニウム等の金属からなるコンタクト部 8 6 g が形成され、コンタクト部 8 6 g 上に下部電極 8 7 g が形成されており、n + 領域 8 4 g と下部電極 8 7 g はコンタクト部 8 6 g によって電氣的に接続されている。コンタクト部 8 6 g は絶縁層 8 5 内に埋設されている。

20

【0089】

n + 領域 8 4 b 上にはタンゲステン、アルミニウム等の金属からなるコンタクト部 8 6 b が形成され、コンタクト部 8 6 b 上に下部電極 8 7 b が形成されており、n + 領域 8 4 b と下部電極 8 7 b はコンタクト部 8 6 b によって電氣的に接続されている。コンタクト部 8 6 b は絶縁層 8 5 内に埋設されている。

【0090】

n 領域 8 3 r, 8 3 g, 8 3 b、n + 領域 8 4 r, 8 4 g, 8 4 b が形成されている以外の領域には、n 領域 8 3 r 及び n + 領域 8 4 r に蓄積されている電子に応じた信号をそれぞれ読み出すための n チャネル MOS トランジスタからなる信号読み出し部 8 5 r と、n 領域 8 3 g 及び n + 領域 8 4 g に蓄積されている電子に応じた信号をそれぞれ読み出すための n チャネル MOS トランジスタからなる信号読み出し部 8 5 g と、n 領域 8 3 b 及び n + 領域 8 4 b に蓄積されている電子に応じた信号をそれぞれ読み出すための n チャネル MOS トランジスタからなる信号読み出し部 8 5 b とが形成されている。信号読み出し部 8 5 r, 8 5 g, 8 5 b は、それぞれ、CCD によって構成してもよい。尚、信号読み出し部 8 5 r, 8 5 g, 8 5 b に光が入るのを防ぐために、信号読み出し部 8 5 r, 8 5 g, 8 5 b 上には遮光膜を設けておくことが好ましい。

30

【0091】

このような構成によれば、RGB カラー画像と、赤外画像とを同一解像度で同時に得ることができる。このため、この固体撮像素子を電子内視鏡等に応用すること等が可能となる。

【0092】

本実施形態の固体撮像素子 4 0 0 は、下部電極 8 7 r, 8 7 g, 8 7 b 及び上部電極 8 0 内の内部応力を応力緩衝層によって緩衝することができ、下部電極 8 7 r, 8 7 g, 8 7 b 及び上部電極 8 0 と光電変換層 8 9 と間のそれぞれの界面で亀裂、剥れ、変形などが生じることを防止できる。

【0093】

40

50

上記実施形態の光電変換部のうち、のいずれかの光電変換材料が近赤外域に吸収スペクトルの最大ピークをもつ有機半導体とすることができる。このとき、光電変換材料が可視域の光に対して透明とすることが好ましい。さらに、光電変換材料が SnPc もしくはシリコンナフタロシアニン類であることが好ましい。

【0094】

次に、本発明にかかる実施例を説明する。

【0095】

(実施例1)

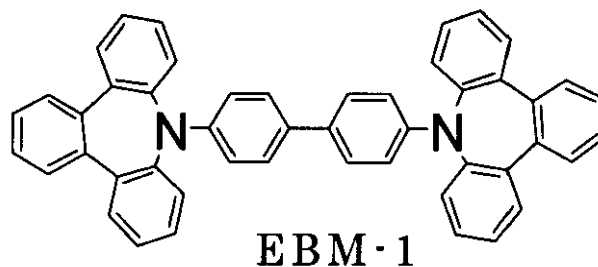
25mm角のITO電極付ガラス基板を、アセトン、セミコクリン、イソプロピルアルコール (IPA) でそれぞれ15分超音波洗浄した。最後にIPA煮沸洗浄を行った後、UV/O₃洗浄を行った。その基板を蒸着装置の無機成膜室に搬送し、 1×10^{-4} Pa以下に真空引きした後、基板ホルダーを回転させながら、ITO電極上に正孔ブロッキング層として、純度99.99% (フルウチ化学) のCeO₂ (酸化セリウム) を蒸着速度 $1.0 \text{ \AA} / \text{sec}$ に保ちながら、500 Åとなるように蒸着した。このとき、CeO₂の蒸着には高温が必要となるため、ルツボ中のCeO₂粉末を直接タングステンフィラメントで加熱することにより蒸着を行った。この基板ホルダーを、真空中で有機成膜室に移動し、十分な昇華精製を施した4-dicyanomethylene-2-methyl-6-(p-dimethylaminostyryl)-4H-pyran (DCM) を蒸着速度 $3.0 \text{ \AA} / \text{sec}$ に保ちながら、1000 Åとなるように蒸着して光電変換層を形成した。

【0096】

続いて電子ブロッキング機能を有する応力緩衝層として、純度99.99% (フルウチ化学) のNiO (酸化ニッケル) と昇華精製を十分施したEBM-1を交互にそれぞれ2回ずつ蒸着により積層した。蒸着中の蒸着速度は $1.0 \text{ \AA} / \text{sec}$ に保ち、各層の膜厚は50 nmとし、合計200 nmの応力緩衝層を成膜した。このとき、NiOの蒸着には高温が必要となるため、ルツボ中のNiO粉末を直接タングステンフィラメントで加熱することにより蒸着を行った。また、NiO膜の酸素比率を制御するためにNiO膜の蒸着中に成膜室に10 sccmの酸素をフローした。これらの条件において、NiOは微結晶層、EBM-1はアモルファス層となった。

【0097】

【化3】



【0098】

この基板ホルダーを、真空中でスパッタ室に搬送し、応力緩衝層上に、対向電極としてITOを厚み500 Åとなるように成膜した。

このとき、最下層のITO電極と、ITO対向電極とが形成する光電変換領域の面積は2 mm × 2 mmとした。この基板を大気に曝すことなく、水分、酸素をそれぞれ1 ppm以下に保ったグローブボックスに搬送し、UV硬化性樹脂を用いて、吸湿剤を張ったガラスで封止を行った。

【0099】

このようにして作製した素子を、オプテル製定エネルギー量子効率測定装置 (ソースメータはケースレー6430を使用) を用いて、素子に対して $5.0 \times 10^5 \text{ V} / \text{cm}^2$ の外部電界を与えた場合において、光非照射時に流れる暗電流値と光照射時に流れる光電

流値を測定し外部量子効率を算出した。光電変換領域の面積は $2\text{ mm} \times 2\text{ mm}$ のうち $1.5\text{ mm} \phi$ の領域に対して光照射を行った。照射した光量は $50\text{ }\mu\text{W}/\text{cm}^2$ とした。波長は光電変換層DCMの最大吸収波長である 480 nm で測定を行った。また、光照射時に得られた外部量子効率を光非照射時に得られた暗電流密度で割った値をS/N比とした。

【0100】

(実施例2)

実施例1において、応力緩衝層として、NiOとEBM-1を交互にそれぞれ5回ずつ蒸着により積層し、各層の膜厚は 20 nm とし、合計 200 nm の応力緩衝層を成膜したこと以外は実施例1と同様にしてS/N比等を算出した。

【0101】

(実施例3)

実施例1において、応力緩衝層として、NiOとEBM-1を交互にそれぞれ10回ずつ蒸着により積層し、各層の膜厚は 10 nm とし、合計 200 nm の応力緩衝層を成膜したこと以外は実施例1と同様にしてS/N比等を算出した。

【0102】

(実施例4)

実施例1と同様に洗浄した基板を蒸着装置の有機成膜室に移動し $1 \times 10^{-4}\text{ Pa}$ 以下に真空引きした後、基板ホルダーを回転させながら、電子ブロッキング層として、昇華精製を施したEBM-1を蒸着速度 $1.0\text{ }\text{\AA}/\text{sec}$ に保ちながら、 $1000\text{ }\text{\AA}$ となるように蒸着した。続いて十分な昇華精製を施した4-dicyanomethylene-2-methyl-6-(p-dimethylaminostyryl)-4H-pyran (DCM)を蒸着速度 $3.0\text{ }\text{\AA}/\text{sec}$ に保ちながら、 $1000\text{ }\text{\AA}$ となるように蒸着して光電変換層を形成した。

【0103】

続いて正孔ブロッキング機能を有する応力緩衝層として、NTCDA (tetracarboxylic dianhydride) (アルドリッチ社より購入)と CeO_2 を交互にそれぞれ5回ずつ蒸着により積層し、各層の膜厚は 20 nm とし、合計 200 nm の応力緩衝層を成膜した。 CeO_2 の蒸着中は、基板の上面に銅ブロックを強く押し当て、該銅ブロック中に -180°C の液体窒素を循環させることにより基板温度を -50°C 以下に冷却した。この状態で、 CeO_2 を蒸着速度 $1.0\text{ }\text{\AA}/\text{sec}$ に保ちながら、蒸着した。このとき、 CeO_2 の蒸着には高温が必要となるため、ルツボ中の CeO_2 を直接タングステンフィラメントで加熱することにより蒸着を行った。NTCDAは基板温度を室温まで戻してから蒸着を行った。これらの条件において、 CeO_2 はアモルファス性膜、NTCDAは微結晶性膜となった。

【0104】

この基板ホルダーを、真空中でスパッタ室に搬送し、応力緩衝層上に、対向電極としてITOを厚み $500\text{ }\text{\AA}$ となるように成膜した。また、最下層のITO電極と、ITO対向電極とが形成する光電変換領域の面積は $2\text{ mm} \times 2\text{ mm}$ とした。この基板を大気に曝すことなく、水分、酸素をそれぞれ 1 ppm 以下に保ったグローブボックスに搬送し、UV硬化性樹脂を用いて、吸湿剤を張ったガラスで封止を行った。

このようにして作製した素子について、実施例1と同様にしてS/N比等を算出した。

【0105】

(比較例1)

実施例1において、応力緩衝層の代わりに電子ブロッキング層としてEBM-1を 200 nm 成膜したこと以外は実施例1と同様にしてS/N比等を算出した。

【0106】

(比較例2)

実施例1において、応力緩衝層の代わりに電子ブロッキング層としてNiOを 200 nm 成膜したこと以外は実施例1と同様にしてS/N比等を算出した。

【0107】

10

20

30

40

【表 1】

	暗電流(A/cm ²)	光電変換効率(%)	S/N比
実施例1	8.6E-10	11	1.3E+10
実施例2	7.4E-10	11	1.5E+10
実施例3	5.4E-10	10	1.9E+10
実施例4	8.0E-10	8	1.0E+10
比較例1	5.6E-06	12	2.1E+06
比較例2	8.9E-06	10	1.1E+06

【0108】

測定の結果、比較例1のように応力緩衝層となるNiOの微結晶層をもたない場合は、対向電極ITOによる膜はがれや層間の部分的剥離などがおきやすくなり、対向電極と下部電極の近接によるリーク電流や部分的な不均一接触が生じて電界が集中し電極からの注入などにより暗電流が大きくなってしまった。また、比較例2のようにNiOだけを用いた場合は、微結晶層の上に直接対向電極を蒸着したことにより電極と微結晶層の接触が不均一になり電界集中などが起こりやすく、その部分で電極からの電荷の注入などが生じ暗電流が大きくなってしまう。しかし、実施例1から4のように、微結晶層とアモルファス層を複数回交互に積層することにより劇的な暗電流抑制効果が得られ、対向電極としてITOを厚く成膜した場合も光電変換効率を低下されることなく、暗電流を抑えることができた。また、アモルファス層を交互に挟むことによって平坦性も得られ、対向電極との不均一な接触も起こりにくく、暗電流が低くおされられることがわかった。

【0109】

なお、本発明は、前述した実施形態に限定されるものではなく、適宜な変形、改良などが可能である。

【図面の簡単な説明】

【0110】

【図1】本発明の光電変換素子の第1実施形態を示す断面模式図である。

【図2】第1実施形態の光電変換素子の変形例を示す断面模式図である。

【図3】本発明の第2実施形態の固体撮像素子の部分断面模式図である。

【図4】本発明の第3実施形態の固体撮像素子の部分断面模式図である。

【図5】本発明の第4実施形態の固体撮像素子の部分断面模式図である。

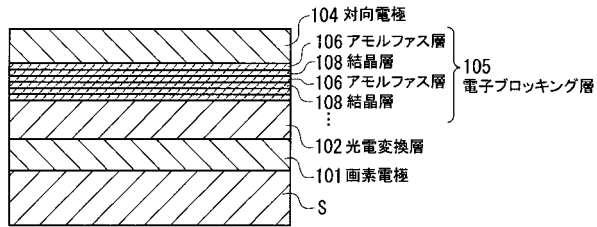
【図6】本発明の第5実施形態の固体撮像素子の部分断面模式図である。

【符号の説明】

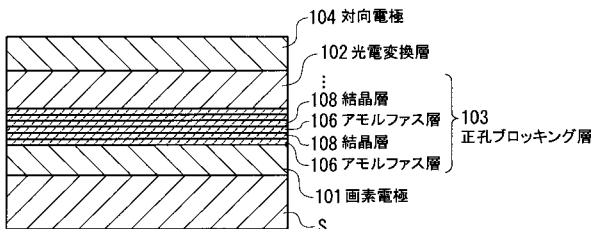
【0111】

- 101 画素電極（下部電極）
- 102 光電変換層
- 103 正孔ブロッキング層
- 104 対向電極（上部電極）
- 105 電子ブロッキング層
- 106 アモルファス層
- 108 結晶層

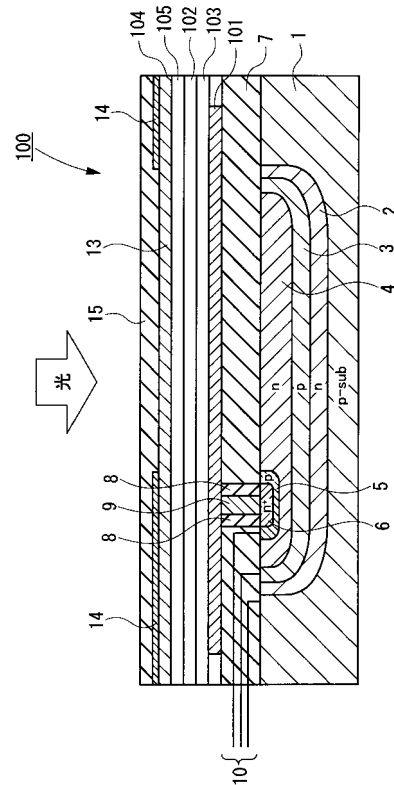
【図 1】



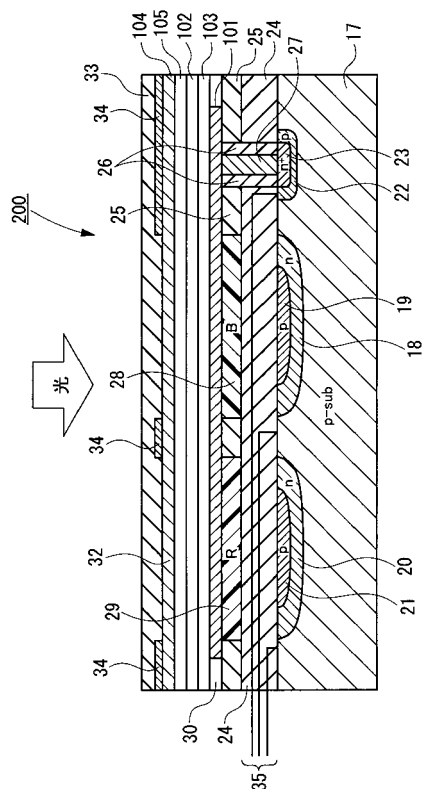
【図 2】



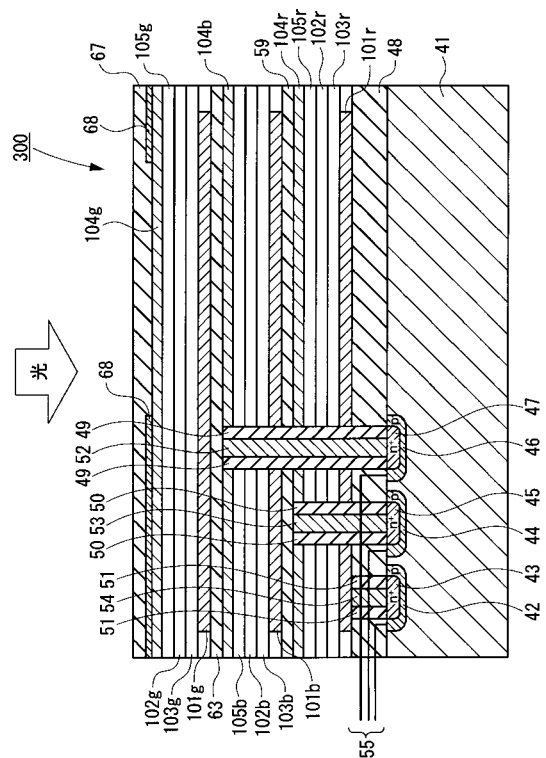
【図 3】



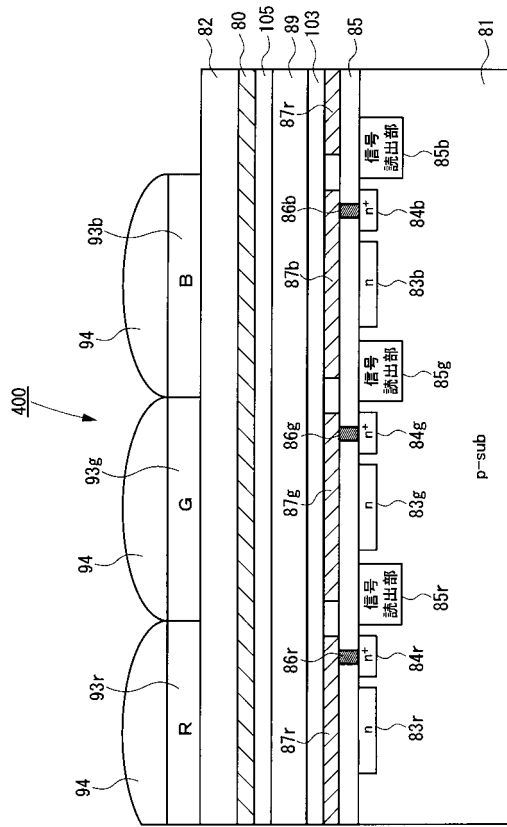
【図 4】



【図 5】



【図 6】



フロントページの続き

Fターム(参考) 5F049 MA02 MB03 MB08 NA20 NB05 QA04 QA07 QA20 RA02 RA08
SE01 SE04 SE12 SE14 SE20 SS01 SS03 SS10 SZ06 SZ10
UA14