

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 17 年 2 月 3 日 (2005.2.3)

【公開番号】特開 2002-94029 (P2002-94029A)

【公開日】平成 14 年 3 月 29 日 (2002.3.29)

【出願番号】特願 2000-279525 (P2000-279525)

【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

H 0 1 L 27/10

【F I】

H 0 1 L 27/10 6 7 1 C

H 0 1 L 27/10 4 6 1

【手続補正書】

【提出日】平成 16 年 2 月 25 日 (2004.2.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第 1 のチャンネル領域と、前記第 1 のチャンネル領域の電位を制御する第 1 のゲート電極とを有し、且つ前記第 1 のチャンネル領域が絶縁膜上に設けられている第 1 のトランジスタと、

ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第 2 のチャンネル領域と、前記第 1 のゲート電極に接続されており前記第 2 のチャンネル領域の電位を制御する第 2 のゲート電極とを有し、

前記第 2 のチャンネル領域と静電容量を介して配され前記第 2 のゲート電極の下に配置され前記第 1 のチャンネル領域の電流により電荷を蓄積する電荷蓄積領域を有する第 2 のトランジスタを有し、

前記第 2 のトランジスタのソース領域がソース線に接続され、前記第 1 のトランジスタのソース領域あるいはドレイン領域の一端が前記第 2 のトランジスタの電荷蓄積領域に接続され、前記第 1 のトランジスタのソース領域あるいはドレイン領域の他端がデータ線に接続されることを特徴とする半導体装置。

【請求項 2】

前記データ線に接続された第 1 のトランジスタのソース領域あるいはドレイン領域と前記第 2 のトランジスタのソース領域の間の距離が、前記データ線に接続された第 1 のトランジスタのソース領域あるいはドレイン領域と前記第 2 のトランジスタのドレイン領域の間の距離よりも、短いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第2のトランジスタのゲート電極の幅と、前記第1のトランジスタのチャネル領域の幅が実質的に等しいことを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】

前記第2のトランジスタのゲート電極の幅と、前記第2のトランジスタの電荷蓄積領域の幅が実質的に等しいことを特徴とする請求項1から請求項3のいずれかに記載の半導体装置。

【請求項5】

記憶素子部と周辺回路部を有する半導体装置において、前記記憶素子部と周辺回路部を構成するトランジスタは少なくとも二水準の厚さのゲート絶縁膜を有するトランジスタからなり、当該半導体装置の周辺回路部は、前記ゲート絶縁膜の少なくとも最も薄い絶縁膜ではないゲート絶縁膜を有するトランジスタを有し、前記記憶素子部においては書込み用の電界効果型トランジスタと読出し用の電界効果型のトランジスタを有し、前記書込み用の電界効果型トランジスタのチャネルを通じて電荷蓄積領域に出し入れした電荷量を前記読出し用の電界効果型トランジスタのしきい電圧変化によって読み出す動作を行い、前記周辺回路部を構成するトランジスタのゲート絶縁膜厚と、前記記憶素子部の読出しトランジスタのゲート絶縁膜厚が等しいことを特徴とする半導体装置。

【請求項6】

前記書込み用トランジスタのチャネルが、絶縁膜上に設けられていることを特徴とする請求項5に記載の半導体装置。

【請求項7】

前記書き込みトランジスタのチャネルの上面が、前記書き込みトランジスタのソースまたはドレイン領域の上面と同じ高さに設けられており、前記チャネルの下面は前記ソースまたはドレインの下面より上方に設けられていることを特徴とする請求項6に記載の半導体記憶。

【請求項8】

前記書込み用の電界効果型トランジスタのチャネルの膜厚が、5 nm以下であることを特徴とする請求項1から請求項6に記載の半導体装置。

【請求項9】

メモリセルを行列状に並べたメモリセルアレイを構成する半導体装置において、前記メモリセルは、ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第1のチャネル領域と、前記第1のチャネル領域の電位を制御する第1のゲート電極とを有し、且つ前記第1のチャネル領域が絶縁膜上に設けられている第1のトランジスタと、

ソース領域、ドレイン領域、及び当該ソース領域と当該ドレイン領域を接続する半導体材料からなる第2のチャネル領域と、前記第2のチャネル領域の電位を制御する第2のゲート電極とを有し、

前記第2のチャネル領域と静電容量を介して配され前記第2のゲート電極の下に配置され前記第1のチャネル領域の電流により電荷を蓄積する電荷蓄積領域を有する第2のトランジスタを有し、

前記第2のトランジスタのソース領域がソース線に接続され、前記第1のトランジスタのソース領域あるいはドレイン領域の一端が前記第2のトランジスタの電荷蓄積領域に接続され、前記第1のトランジスタのソース領域あるいはドレイン領域の他端がデータ線に接続されており、前記メモリセルは電荷蓄積領域に2ビット以上の情報を記憶することを特徴とする半導体装置。