



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0077267
(43) 공개일자 2017년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 27/1156 (2017.01) G11C 11/405 (2006.01)
G11C 16/04 (2006.01) H01L 21/822 (2006.01)
H01L 27/105 (2006.01) H01L 27/11551 (2017.01)
H01L 27/118 (2006.01) H01L 27/12 (2006.01)
H01L 29/78 (2006.01) H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 27/1156 (2013.01)
G11C 11/405 (2013.01)
(21) 출원번호 10-2017-7017232(분할)
(22) 출원일자(국제) 2010년10월15일
심사청구일자 2017년06월22일
(62) 원출원 특허 10-2012-7010574
원출원일자(국제) 2010년10월15일
심사청구일자 2015년10월01일
(85) 번역문제출일자 2017년06월22일
(86) 국제출원번호 PCT/JP2010/068647
(87) 국제공개번호 WO 2011/052488
국제공개일자 2011년05월05일
(30) 우선권주장
JP-P-2009-251261 2009년10월30일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
교야마 준
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
가토 기요시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

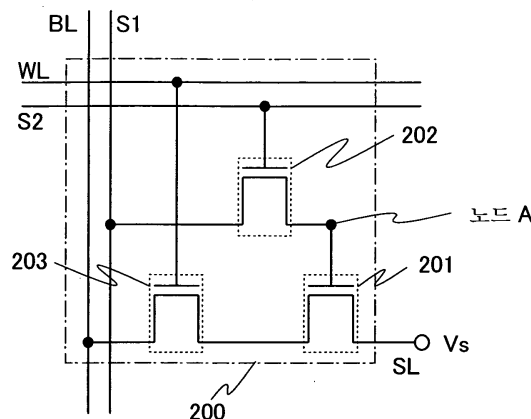
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 반도체 장치

(57) 요약

신규한 구조를 갖는 반도체 장치를 제공하는 것을 목적으로 한다. 반도체 장치는 제1 배선, 제2 배선, 제3 배선, 제4 배선, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 갖는 제1 트랜지스터, 및 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 갖는 제2 트랜지스터를 포함한다. 제1 트랜지스터는 반도체 재료를 포함하는 기판에 제공된다. 제2 트랜지스터는 산화물 반도체층을 포함한다.

대표도 - 도10



(52) CPC특허분류

G11C 16/0433 (2013.01)
H01L 21/8221 (2013.01)
H01L 27/1052 (2013.01)
H01L 27/11551 (2013.01)
H01L 27/11803 (2013.01)
H01L 27/1225 (2013.01)
H01L 29/7833 (2013.01)
H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,

제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 및 상기 제1 배선과 상기 제2 배선 사이에 병렬로 접속되는 복수의 기억 소자

를 포함하고,

상기 복수의 기억 소자 중 하나는, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 갖는 제1 트랜지스터; 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 갖는 제2 트랜지스터; 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 갖는 제3 트랜지스터; 및 용량 소자를 포함하며,

상기 제2 트랜지스터는 산화물 반도체 재료를 포함하고,

상기 제1 게이트 전극과, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나와, 상기 용량 소자의 전극 중 하나는 서로 전기적으로 접속되고,

상기 제1 배선과, 상기 제1 소스 전극과, 상기 용량 소자의 상기 전극 중 다른 하나는 서로 전기적으로 접속되고,

상기 제1 드레인 전극과 상기 제3 소스 전극은 서로 전기적으로 접속되고,

상기 제2 배선과 상기 제3 드레인 전극은 서로 전기적으로 접속되고,

상기 제3 배선과, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 다른 하나는 서로 전기적으로 접속되고,

상기 제4 배선과 상기 제2 게이트 전극은 서로 전기적으로 접속되고,

상기 제5 배선과 상기 제3 게이트 전극은 서로 전기적으로 접속되는, 반도체 장치.

청구항 2

반도체 장치로서,

제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 및 상기 제1 배선과 상기 제2 배선 사이에 병렬로 접속되는 복수의 기억 소자

를 포함하고,

상기 복수의 기억 소자 중 하나는, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 갖는 제1 트랜지스터; 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 갖는 제2 트랜지스터; 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 갖는 제3 트랜지스터; 및 용량 소자를 포함하며,

상기 제2 트랜지스터는 산화물 반도체 재료를 포함하고,

상기 제1 트랜지스터는 상기 제2 트랜지스터의 상기 산화물 반도체 재료가 아닌 반도체 재료를 포함하고,

상기 제1 게이트 전극과, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나와, 상기 용량 소자의 전극 중 하나는 서로 전기적으로 접속되고,

상기 제1 배선과, 상기 제1 소스 전극과 상기 용량 소자의 상기 전극 중 다른 하나는 서로 전기적으로 접속되고,

상기 제1 드레인 전극과 상기 제3 소스 전극은 서로 전기적으로 접속되고,

상기 제2 배선과 상기 제3 드레인 전극은 서로 전기적으로 접속되고,

상기 제3 배선과, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 다른 하나는 서로 전기적으로 접속되고,

상기 제4 배선과 상기 제2 게이트 전극은 서로 전기적으로 접속되고,
상기 제5 배선과 상기 제3 게이트 전극은 서로 전기적으로 접속되는, 반도체 장치.

청구항 3

반도체 장치로서,

제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 및 상기 제1 배선과 상기 제2 배선 사이에 병렬로 접속되는 복수의 기억 소자

를 포함하고,

상기 복수의 기억 소자 중 하나는, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 갖는 제1 트랜지스터; 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 갖는 제2 트랜지스터; 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 갖는 제3 트랜지스터; 및 용량 소자를 포함하며,

상기 제1 트랜지스터는 상기 제2 트랜지스터와 상이한 반도체 재료를 포함하고,

상기 제2 트랜지스터는 산화물 반도체 재료를 포함하고,

상기 제1 게이트 전극과, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 하나와, 상기 용량 소자의 전극 중 하나는 서로 전기적으로 접속되고,

상기 제1 배선과, 상기 제1 소스 전극과, 상기 용량 소자의 상기 전극 중 다른 하나는 서로 전기적으로 접속되고,

상기 제1 드레인 전극과 상기 제3 소스 전극은 서로 전기적으로 접속되고,

상기 제2 배선과 상기 제3 드레인 전극은 서로 전기적으로 접속되고,

상기 제3 배선과, 상기 제2 소스 전극 및 상기 제2 드레인 전극 중 다른 하나는 서로 전기적으로 접속되고,

상기 제4 배선과 상기 제2 게이트 전극은 서로 전기적으로 접속되고,

상기 제5 배선과 상기 제3 게이트 전극은 서로 전기적으로 접속되는, 반도체 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 트랜지스터의 채널 영역은 산화물 재료를 포함하는 기판에 제공되는, 반도체 장치

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제3 트랜지스터는, 기판에 제공되는 채널 영역, 상기 채널 영역을 개재하도록 제공되는 불순물 영역들, 상기 채널 영역 위의 제3 게이트 절연층, 상기 제3 게이트 절연층 위의 상기 제3 게이트 전극, 및 상기 불순물 영역들에 전기적으로 접속되는 상기 제3 소스 전극 및 상기 제3 드레인 전극을 포함하는, 반도체 장치.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

산화물 재료를 포함하는 기판을 더 포함하고,

상기 제2 트랜지스터는, 상기 제2 게이트 전극 위의 제2 게이트 절연층, 상기 제2 게이트 절연층 위의 상기 산화물 반도체 재료를 포함하는 상기 산화물 반도체층, 및 상기 산화물 반도체층에 전기적으로 접속되는 상기 제2 소스 전극 및 상기 제2 드레인 전극을 포함하고,

상기 제2 게이트 전극은 상기 기판 위에 위치하는, 반도체 장치.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,
단결정 반도체 기관 및 SOI 기관 중 하나를 더 포함하는, 반도체 장치.

청구항 8

제2항 또는 제3항에 있어서,
상기 반도체 재료는 실리콘인, 반도체 장치.

청구항 9

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 산화물 반도체 재료는 In-Ga-Zn-O 계의 산화물 반도체 재료인, 반도체 장치.

청구항 10

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 산화물 반도체 재료는 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정을 포함하는, 반도체 장치.

청구항 11

제6항에 있어서,
상기 산화물 반도체층의 수소의 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하인, 반도체 장치.

청구항 12

제1항 내지 제3항 중 어느 한 항에 있어서,
상기 제2 트랜지스터의 오프 상태 전류는 $1 \times 10^{-13} \text{ A}$ 이하인, 반도체 장치.

청구항 13

제1항 내지 제3항 중 어느 한 항에 있어서,
절연막과 상기 산화물 반도체 재료를 포함하는 산화물 반도체층을 더 포함하고,
상기 절연막은 상기 제1 게이트 전극, 상기 제1 소스 전극 및 상기 제1 드레인 전극 각각의 위에 위치하고,
상기 산화물 반도체층은 상기 절연막 위에 있는, 반도체 장치.

청구항 14

제6항에 있어서,
상기 제1 트랜지스터 위에 순서대로 적층된 제1 절연층 내지 제4 절연층을 더 포함하고,
상기 산화물 반도체층은 상기 제2 절연층과 상기 제3 절연층 사이에 위치하고,
상기 제1 절연층 및 상기 제4 절연층은 각각 산화 알루미늄을 포함하고,
상기 제2 절연층 및 상기 제3 절연층은 각각 산화 실리콘, 산화 질화 실리콘, 및 질화 산화 실리콘 중 하나를 포함하는, 반도체 장치.

발명의 설명

기술 분야

본 명세서에 개시되는 발명은 반도체 소자를 이용한 반도체 장치 및 반도체 장치를 제작하는 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 반도체 소자들을 이용한 기억 소자는, 전력의 공급이 멈출 때 기억된 데이터를 손실시키는 휘발성 장치, 및 전력이 공급되지 않을 때에도 기억된 데이터를 유지시키는 비휘발성 장치, 2개의 카테고리로 폭넓게 분류된다.
- [0003] 휘발성 기억 장치의 전형적인 일례는 DRAM(dynamic random access memory)이다. DRAM은 기억 소자에 포함되는 트랜지스터가 선택되고 전하가 용량 소자에 저장되는 방식으로 데이터를 저장한다.
- [0004] 상술한 원리로 DRAM으로부터 데이터가 판독되는 경우 용량 소자의 전하는 손실되기 때문에, 데이터가 판독될 때마다 또 다른 기입 동작이 필요하다. 또한, 기억 소자에 포함되는 트랜지스터는 누설 전류를 갖고, 트랜지스터가 선택되지 않을 때에도 전하가 용량 소자 내외부로 흐르기 때문에, 데이터 유지 시간이 짧다. 그러므로, 소정의 간격에서 또 다른 기입 동작(refresh operation: 리프레쉬 동작)이 필요하며, 전력 소비를 충분히 저감시키는 것이 어렵다. 또한, 전력의 공급이 멈출 때 기억된 데이터가 손실되기 때문에, 장시간 동안 데이터를 유지하기 위해 자성 재료나 광학 재료를 이용한 추가적인 기억 장치가 필요하다.
- [0005] 휘발성 기억 장치의 또 다른 일례는 SRAM(static random access memory)이다. SRAM은 플립 플롭 등의 회로를 이용하여 기억된 데이터를 유지하므로, 리프레쉬 동작을 필요로 하지 않는다. 이것은 SRAM이 DRAM 보다 이점을 갖는다는 것을 의미한다. 그러나, 플립플롭 등의 회로가 사용되기 때문에 기억 용량당 비용이 증가된다. 또한, DRAM에서와 같이, SRAM 내에 기억된 데이터는 전력 공급이 멈출 때 손실된다.
- [0006] 비휘발성 기억 장치의 전형적인 일례는 플래시 메모리이다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역과의 사이에 플로팅 게이트를 포함하고, 플로팅 게이트에 전하를 유지함으로써 데이터를 기억한다. 이와 같이, 플래시 메모리는 데이터 유지 시간이 매우 길고(거의 영구적), 비휘발성 기억 장치에 필수적인 리프레쉬 동작이 필요하지 않다는 점에서 이점을 갖는다(예를 들어, 특허 문헌 1 참조).
- [0007] 그러나, 기입시 발생하는 터널링 전류에 의해 기억 소자에 포함되는 게이트 절연층이 열화되므로, 소정의 수의 기입 동작들 후에 기억 소자가 그 기능을 멈춘다. 이러한 문제의 부작용을 완화시키기 위해, 예를 들어, 기억 소자들에 대한 기입 동작들의 횟수를 균일화하는 방법이 채용된다. 그러나, 이러한 방법을 실현하기 위해 복잡한 주변 회로가 필요하다. 또한, 그런 방법을 채용하는 것은 수명의 근본적인 문제를 해결하지 않는다. 즉, 플래시 메모리는 데이터가 빈번하게 재기입되는 적용에 적합하지 않다.
- [0008] 또한, 플로팅 게이트에 전하를 유지하거나 전하를 제거하는데, 고전압이 필요하다. 또한, 전하를 유지하거나 제거하기 위하여 비교적 오랜 시간이 걸리고, 고속으로 기입 및 소거를 수행하는 것이 쉽지 않다.

선행기술문헌

특허문헌

- [0009] (특허문헌 0001) 일본 특허출원 공개공보 제S57-105889호

발명의 내용

해결하려는 과제

- [0010] 상기 문제들을 감안하여, 본 명세서에 개시되는 본 발명의 일 실시예의 목적은, 전력이 공급되지 않을 때에도 기억된 데이터가 유지될 수 있으며, 기입의 횟수에 제한이 없는 새로운 구조를 갖는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

- [0011] 본 발명의 일 실시예는 산화물 반도체를 이용하여 형성되는 트랜지스터 및 산화물 반도체 이외에 재료를 이용하여 형성되는 트랜지스터의 적층 구조를 갖는 반도체 장치이다. 예를 들어, 이하 구조들이 채용될 수 있다.
- [0012] 본 발명의 일 실시예에 따르면, 반도체 장치는 제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 및 제1 배선과 제2 배선 사이에 병렬로 접속되는 복수의 기억 소자를 포함한다. 복수의 기억 소자 중 하나는 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 갖는 제1 트랜지스터, 제2 게이트 전극, 제2 소스 전극, 및 제2 드

레인 전극을 갖는 제2 트랜지스터, 및 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 갖는 제3 트랜지스터를 포함한다. 제1 트랜지스터가 반도체 재료를 포함하는 기판에 제공된다. 제2 트랜지스터는 산화물 반도체층을 포함한다. 제1 게이트 전극과 제2 소스 전극 및 제2 드레인 전극 중 하나는 서로 전기적으로 접속된다. 제1 배선과 제1 소스 전극은 서로 전기적으로 접속된다. 제1 드레인 전극과 제3 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 제3 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 제2 소스 전극 및 제2 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 제2 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 제3 게이트 전극은 서로 전기적으로 접속된다.

[0013] 본 발명의 일 실시예에 따르면, 반도체 장치는 제1 배선, 제2 배선, 제3 배선, 제4 배선, 제5 배선, 및 제1 배선과 제2 배선 사이에 병렬로 접속되는 복수의 기억 소자를 포함한다. 복수의 기억 소자 중 하나는 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 갖는 제1 트랜지스터, 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 갖는 제2 트랜지스터, 및 용량 소자를 포함한다. 제1 트랜지스터는 반도체 재료를 포함하는 기판에 제공된다. 제2 트랜지스터는 산화물 반도체층을 포함한다. 제1 게이트 전극, 제2 소스 전극 및 제2 드레인 전극 중 하나, 및 용량 소자의 전극들 중 하나는 서로 전기적으로 접속된다. 제1 배선과 제1 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 제1 드레인 전극은 서로 전기적으로 접속된다. 제3 배선 및 제2 소스 전극 및 제2 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선 및 제2 게이트 전극은 서로 전기적으로 접속된다. 제5 배선 및 용량 소자의 전극들 중 다른 하나는 서로 전기적으로 접속된다.

[0014] 상기 구조들 중 어느 것에 있어서, 제1 트랜지스터는 반도체 재료를 포함하는 기판에 제공되는 채널 형성 영역, 채널 형성 영역을 개재하도록 제공되는 불순물 영역, 채널 형성 영역 위의 제1 게이트 절연층, 제1 게이트 절연층 위의 제1 게이트 전극, 및 불순물 영역에 전기적으로 접속되는 제1 소스 전극 및 제1 드레인 전극을 포함할 수 있다.

[0015] 상기 구조들 중 어느 것에 있어서, 제2 트랜지스터는 반도체 재료를 포함하는 기판 위의 제2 게이트 전극, 제2 게이트 전극 위의 제2 게이트 절연층, 제2 게이트 절연층 위의 산화물 반도체층, 및 산화물 반도체층에 전기적으로 접속되는 제2 소스 전극 및 제2 드레인 전극을 포함할 수 있다.

[0016] 상기 구조들 중 어느 것에 있어서, 제3 트랜지스터는 반도체 재료를 포함하는 기판에 제공되는 채널 형성 영역, 채널 형성 영역을 개재하도록 제공되는 불순물 영역, 채널 형성 영역 위의 제3 게이트 절연층, 제3 게이트 절연층 위의 제3 게이트 전극, 및 불순물 영역에 전기적으로 접속되는 제3 소스 전극 및 제3 드레인 전극을 포함할 수 있다.

[0017] 상기 구조들 중 어느 것에 있어서, 반도체 재료를 포함하는 기판으로서 단결정 반도체 기판 또는 SOI 기판이 사용되는 것이 바람직하다. 특히, 실리콘이 반도체 재료로서 사용되는 것이 바람직하다.

[0018] 상기 구조들 중 어느 것에 있어서, 산화물 반도체층은 In-Ga-Zn-O 계의 산화물 반도체 재료를 이용하여 형성되는 것이 바람직하다. 더 바람직하게는, 산화물 반도체층은 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정을 포함한다. 또한, 산화물 반도체층의 수소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하인 것이 바람직하다. 제2 트랜지스터의 오프 상태 전류는 $1 \times 10^{-13} \text{ A}$ 이하인 것이 바람직하다.

[0019] 상술한 구조들 중 임의의 것에 있어서, 제2 트랜지스터는 제1 트랜지스터와 중첩되는 영역에 제공될 수 있다.

[0020] 본 명세서 등에 있어서, "위" 또는 "아래" 등의 용어는 구성 요소 "바로 위" 또는 "바로 아래"에 구성 요소가 위치되는 것을 의미할 필요는 없다. 예를 들어, "게이트 절연층 위의 제1 게이트 전극"이라는 표현은 게이트 절연층과 게이트 전극 사이에 다른 구성 요소가 위치되는 경우를 배제하지 않는다. 또한, "위" 및 "아래" 등의 용어들은 설명의 편리함을 위해서만 사용되고, 달리 명시되지 않는다면, 구성 요소들의 관계는 반대로 하는 경우를 포함할 수 있다.

[0021] 또한, 본 명세서 등에 있어서 "전극" 또는 "배선" 등의 용어는 구성 요소의 기능을 제한하지 않는다. 예를 들어, "전극"은 "배선"의 일부로서 사용되기도 하며, 그 반대로도 사용된다. 또한, "전극" 또는 "배선"이라는 용어는 복수의 "전극" 또는 "배선"이 일체화된 방식으로 형성되는 경우를 포함할 수 있다.

[0022] 예를 들어, "소스" 및 "드레인"의 기능은 반대 극성의 트랜지스터가 사용되거나 전류 흐름의 방향이 회로의 동작에서 변화되는 경우에 서로 대체되기도 한다. 그러므로, "소스" 및 "드레인"은 본 명세서 등에서 서로 대체될 수 있다.

[0023] 본 명세서 등에 있어서, "전기적으로 접속된다"라는 용어는 구성 요소들이 임의의 전기적 기능을 갖는 물체를

통해 접속되는 경우를 포함한다. 임의의 전기적 기능을 갖는 물체를 통해 접속되는 구성 요소들 사이에 전기 신호들이 송수신 될 수 있는 한, 그 물체는 특별히 한정되지 않는다.

[0024] 임의의 전기적 기능을 갖는 물체의 일례로서는, 트랜지스터, 레지스터, 인덕터, 용량 소자 등의 스위칭 소자 및 전극 및 배선뿐만 아니라 다양한 기능들을 갖는 소자들이 있다.

[0025] 일반적으로, "SOI 기판"이라는 용어는 실리콘 반도체층이 절연면 위에 제공되는 기판을 의미한다. 본 명세서 등에 있어서, "SOI 기판"이라는 용어는 실리콘 이외의 재료를 이용하여 형성되는 반도체층이 그것의 범주 내의 절연면 위에 제공되는 기판도 포함한다. 즉, "SOI 기판"에 포함되는 반도체층은 실리콘 반도체층으로 한정되지 않는다. "SOI 기판"의 기판은 실리콘 웨이퍼 등의 반도체 기판에 한하지 않고, 유리 기판, 석영 기판, 사파이어 기판, 또는 금속 기판 등의 비반도체 기판일 수 있다. 즉, "SOI 기판"은 또한 반도체 재료로 형성된 층이 설치된 도전성 기판 또는 절연성 기판을 그 범주 내에 포함한다. 또한, 본 명세서 등에 있어서, "반도체 기판"이라는 용어는 반도체 재료만을 이용하여 형성되는 기판뿐만 아니라 반도체 재료를 포함하는 모든 기판들을 의미한다. 즉, 본 명세서 등에 있어서, "SOI 기판"은 또한 "반도체 기판"의 범주에 포함된다.

[0026] 본 발명의 일 실시예에서는, 산화물 반도체 이외에 재료를 포함하는 트랜지스터가 하부에 위치되고, 산화물 반도체를 포함하는 트랜지스터가 상부에 위치되는 반도체 장치를 제공한다.

발명의 효과

[0027] 산화물 반도체를 포함하는 트랜지스터의 오프 상태 전류가 매우 낮기 때문에, 트랜지스터를 사용하여 기억된 데이터가 매우 장시간 동안 유지될 수 있다. 즉, 리프레쉬 동작이 불필요하게 되거나, 리프레쉬 동작의 빈도가 매우 낮을 수 있으므로, 전력 소비가 충분히 감소될 수 있다. 또한, 전력이 공급되지 않을 때에도 기억된 데이터가 장시간 동안 유지될 수 있다.

[0028] 또한, 데이터를 기입하기 위해 고전압이 필요치 않으며, 소자의 열화가 문제가 되지 않는다. 또한, 트랜지스터의 온 상태 및 오프 상태에 따라 데이터가 기입되므로, 고속 동작이 쉽게 실현될 수 있다. 또한, 데이터를 소거하는 동작이 필요하지 않다.

[0029] 산화물 반도체 이외의 재료를 포함하는 트랜지스터가 충분히 고속에서 동작할 수 있기 때문에, 트랜지스터를 사용하여 기억된 데이터가 고속으로 판독될 수 있다.

[0030] 산화물 반도체 이외의 재료를 포함하는 트랜지스터 및 산화물 반도체를 포함하는 트랜지스터 양측 모두를 포함함으로써 신규한 특징을 갖는 반도체 장치가 실현될 수 있다.

도면의 간단한 설명

[0031] 도 1은 반도체 장치의 회로도이다.

도 2a 및 도 2b는 반도체 장치를 나타내는 단면도 및 평면도이다.

도 3a 내지 도 3h는 반도체 장치를 제작하는 단계를 나타내는 단면도이다.

도 4의 (A) 내지 (G)는 반도체 장치를 제작하는 단계를 나타내는 단면도이다.

도 5의 (A) 내지 (D)는 반도체 장치를 제작하는 단계를 나타내는 단면도이다.

도 6은 반도체 장치의 단면도이다.

도 7의 (A)와 (B)는 각각 반도체 장치를 나타내는 단면도이다.

도 8의 (A)와 (B)는 각각 반도체 장치를 나타내는 단면도이다.

도 9의 (A)와 (B)는 각각 반도체 장치를 나타내는 단면도이다.

도 10은 기억 소자의 회로도이다.

도 11은 기억 소자의 동작을 나타내는 타이밍 차트이다.

도 12는 반도체 장치의 회로도이다.

도 13은 기억 소자의 회로도이다.

도 14는 반도체 장치의 회로도이다.

도 15는 기억 소자의 회로도이다.

도 16은 노드 A의 전위와 제5 배선의 관계를 나타낸다.

도 17은 반도체 장치의 회로도이다.

도 18은 기억 소자의 회로도이다.

도 19는 반도체 장치의 회로도이다.

도 20a 및 도 20b는 각각 기억 소자를 나타내는 회로도이다.

도 21은 기억 소자의 회로도이다.

도 22는 판독 회로의 회로도이다.

도 23a 내지 도 23f는 전자기기를 각각 나타낸다.

도 24는 산화물 반도체를 포함하는 역스태거형 트랜지스터의 단면도이다.

도 25a 및 도 25b는 도 24에 있어서 A-A' 단면의 에너지 밴드도(개략도)이다.

도 26a는 양의 전위($+V_G$)가 게이트(G1)에 인가된 상태를 나타내며, 도 26b는 음의 전위($-V_G$)가 게이트(G1)에 인가된 상태를 나타낸다.

도 27은 진공 준위, 금속의 일함수(Ψ_M), 및 산화물 반도체의 전자 친화도(χ) 사이의 관계를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 본 발명의 실시예의 일례들을 첨부된 도면을 참조하여 설명한다. 본 발명은 이하의 설명에 한하지 않으며, 당업자라면, 본 명세서에 개시되는 실시형태 및 세부사항은 본 발명의 취지 및 범주로부터 벗어나지 않고서 다양한 방식으로 변경될 수 있다는 것을 이해할 수 있을 것이다. 따라서, 본 발명은 본 명세서에 포함된 실시예들의 내용에 한하는 것으로서 해석되지 않는다.
- [0033] 도면 등에 나타난 각 구성의 위치, 크기, 범위 등은, 이해가 쉽도록 어떠한 경우에는 정확히 나타내어 있지 않다. 따라서, 본 발명의 실시예들은 도면 등에 개시되는 이러한 위치, 크기, 범위 등에 한정될 필요가 없다.
- [0034] 본 명세서 등에 있어서, "제1", "제2", 및 "제3"과 같은 서수들은 구성 요소들 사이에 혼동을 피하기 위해 사용되는 것으로서, 용어들은 구성 요소들 수의 제한을 의미하지 않는다.
- [0035] (제1 실시예)
- [0036] 본 실시예에 있어서, 본 명세서에 개시된 본 발명의 일 실시예에 따른 반도체 장치의 구성 및 제작 방법을, 도 1, 도 2a 및 도 2b, 도 3a 내지 도 3h, 도 4의 (A) 내지 (G), 도 5의 (A) 내지 (D), 도 6, 도 7의 (A)와 (B), 도 8의 (A)와 (B), 및 도 9의 (A)와 (B)를 참조하여 설명한다.
- [0037] <반도체 장치의 회로 구성>
- [0038] 도 1은 반도체 장치의 회로 구성의 일례를 나타낸다. 반도체 장치는 산화물 반도체 이외의 재료를 사용하여 형성되는 트랜지스터(160) 및 산화물 반도체를 사용하여 형성되는 트랜지스터(162)를 포함한다.
- [0039] 여기서, 트랜지스터(160)의 게이트 전극은 트랜지스터(162)의 소스 전극과 드레인 전극 중 하나에 전기적으로 접속된다. 제1 배선(제1 선, 소스선이라고도 함)은 트랜지스터(160)의 소스 전극에 전기적으로 접속된다. 제2 배선(제2 선, 비트선이라고도 함)은 트랜지스터(160)의 드레인 전극에 전기적으로 접속된다. 제3 배선(제3 선, 제1 신호 선이라고도 함)은 트랜지스터(162)의 소스 전극과 드레인 전극 중 다른 하나에 전기적으로 접속된다. 제4 배선(제4 선, 제2 신호 선이라고도 함)은 트랜지스터(162)의 게이트 전극에 전기적으로 접속된다.
- [0040] 산화물 반도체 이외의 재료를 포함하는 트랜지스터(160)는 충분히 고속에서 동작할 수 있으므로, 트랜지스터(160)를 사용하여 기억된 데이터가 고속으로 판독될 수 있다. 또한, 산화물 반도체를 포함하는 트랜지스터(162)는 매우 낮은 오프 상태 전류를 갖는다. 이로 인해, 트랜지스터(160)의 게이트 전극의 전위는 트랜지스터

(162)를 턴-오프함으로써 매우 장시간 동안 유지될 수 있다.

- [0041] 데이터의 기입, 유지, 및 판독은 게이트 전극의 전위가 유지될 수 있다는 이점을 이용하여 이하의 방식으로 수행될 수 있다.
- [0042] 우선, 데이터의 기입 및 유지를 설명한다. 먼저, 제4 배선의 전위는 트랜지스터(162)가 턴-온되는 전위로 설정되어, 트랜지스터(162)가 턴-온된다. 이와 같이, 제3 배선의 전위가 트랜지스터(160)의 게이트 전극에 공급된다(기입). 그 후, 제4 배선의 전위가 트랜지스터(162)가 턴-오프되는 전위로 설정되고, 트랜지스터 전위(162)는 턴-오프되어, 트랜지스터(160)의 게이트 전극의 전위가 유지된다(유지).
- [0043] 트랜지스터(162)의 오프 상태 전류가 매우 낮기 때문에, 트랜지스터(160)의 게이트 전극의 전위는 장시간 동안 유지된다. 예를 들어, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)가 턴-온되는 전위일 때, 트랜지스터(160)의 온 상태가 장시간 동안 계속된다. 또한, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)가 턴-오프되는 전위일 때, 트랜지스터(160)의 오프 상태가 장시간 동안 계속된다.
- [0044] 두 번째로, 데이터의 판독을 설명한다. 트랜지스터(160)의 온 상태 또는 오프 상태가 전술한 바와 같이 계속되는 상태에서 소정의 전위(저전위)가 제1 배선에 공급되는 경우, 제2 배선의 전위는 트랜지스터(160)의 온 상태 또는 오프 상태에 따라서 변화한다. 예를 들어, 트랜지스터(160)가 온되는 경우, 제2 배선의 전위는 제1 배선의 전위보다 낮게 된다. 반대로, 트랜지스터(160)가 오프되는 경우에, 제2 배선의 전위가 변화되지 않는다.
- [0045] 이와 같이, 데이터가 유지되는 상태에서 제2 배선의 전위와 소정의 전위가 서로 비교되어, 데이터가 판독될 수 있다.
- [0046] 세 번째로, 데이터의 재기입을 설명한다. 데이터의 재기입은 데이터의 기입 및 유지와 유사한 방식으로 수행된다. 즉, 제4 배선의 전위가 트랜지스터(162)가 턴-온되는 전위로 설정되어, 트랜지스터(162)가 턴-온된다. 따라서, 제3 배선의 전위(새로운 데이터의 전위)가 트랜지스터(160)의 게이트 전극에 제공된다. 그 후, 제4 배선의 전위는 트랜지스터(162)가 턴-오프되는 전위로 설정되고, 트랜지스터(162)가 턴-오프되어, 새로운 데이터가 저장된다.
- [0047] 본 명세서에 개시되는 본 발명에 따른 반도체 장치에 있어서, 데이터는 전술한 바와 같이 데이터의 또 다른 기입에 의해 바로 재기입될 수 있다. 이로 인해, 플래시 메모리 등에 필요한 소거 동작이 필요하지 않아, 소거 동작으로 인한 동작 속도에서 감소가 예방될 수 있다. 즉, 반도체 장치의 고속 동작이 실현될 수 있다.
- [0048] 상기 설명에서는 전자가 다수 캐리어인 n 채널 트랜지스터가 사용되지만, n 채널 트랜지스터 대신에 정공이 다수 캐리어인 p 채널 트랜지스터가 사용될 수 있다.
- [0049] <반도체 장치의 평면 구조 및 단면 구조>
- [0050] 도 2a 및 도 2b는 반도체 장치의 구조의 일례를 나타낸다. 도 2a는 반도체 장치의 단면을 나타내며, 도 2b는 반도체 장치의 평면도를 나타낸다. 여기서, 도 2a는 도 2b의 선 A1-A2 및 선 B1-B2에 따른 단면에 해당한다. 도 2a 및 도 2b에 나타난 반도체 장치는 하부에 산화물 반도체 이외에 재료를 포함하는 트랜지스터(160) 및 상부에 산화물 반도체를 포함하는 트랜지스터(162)를 포함한다. 트랜지스터(160 및 162)는 여기서 n 채널 트랜지스터지만, 대안으로서, p 채널 트랜지스터도 사용될 수 있다. 특히, 트랜지스터(160)로서 p 채널 트랜지스터를 이용하는 것이 용이하다.
- [0051] 트랜지스터(160)는 반도체 재료를 포함하는 기판(100)에 제공되는 채널 형성 영역(116), 채널 형성 영역(116)을 개재하도록 제공되는 불순물 영역들(114) 및 고농도 불순물 영역(120)(이러한 영역들을 단순히 통합하여 불순물 영역이라고도 함), 채널 형성 영역(116) 위에 제공되는 게이트 절연층(108a), 게이트 절연층(108a) 위에 제공되는 게이트 전극(110a), 및 불순물 영역들(114)에 전기적으로 접속되는 소스 전극 또는 드레인 전극(130a)(이하, 소스/드레인 전극이라 함) 및 소스/드레인 전극(130b)을 포함한다.
- [0052] 게이트 전극(110a)의 측면 위에 측벽 절연층(118)이 제공된다. 단면도에서 볼 때 측벽 절연층(118)과 중첩하지 않는 기판(100)의 영역에 고농도 불순물 영역(120)이 위치된다. 고농도 불순물 영역(120) 위에 금속 화합물 영역(124)이 위치된다. 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 기판(100) 위에 제공된다. 트랜지스터(160)를 덮도록 층간 절연층(126) 및 층간 절연층(128)이 제공된다. 소스/드레인 전극(130a) 및 소스/드레인 전극(130b) 각각이 층간 절연층들(126 및 128)에 형성되는 개구를 통해 금속 화합물 영역(124)에 전기적으로 접속된다. 즉, 소스/드레인 전극들(130a 및 130b) 각각은 금속 화합물 영역(124)을 통하여 고농도 불순물 영역(120) 및 불순물 영역(114)에 전기적으로 접속된다. 소스/드레인 전극들(130a 및 130b)과 마찬가지로 방식의

로 형성되는 전극(130c)이 게이트 전극(110a)에 전기적으로 접속된다.

- [0053] 트랜지스터(162)는 층간 절연층(128) 위에 제공되는 게이트 전극(136d), 게이트 전극(136d) 위에 제공되는 게이트 절연층(138), 게이트 절연층(138) 위에 제공되는 산화물 반도체층(140), 및 산화물 반도체층(140) 위에 제공되며 산화물 반도체층(140)에 전기적으로 접속되는 소스/드레인 전극(142a) 및 소스/드레인 전극(142b)을 포함한다.
- [0054] 여기서, 게이트 전극(136d)은 층간 절연층(128) 위에 형성되는 절연층(132)에 매립되도록 제공된다. 게이트 전극(136d)과 마찬가지로, 소스/드레인 전극(130a), 소스/드레인 전극(130b), 및 소스/드레인 전극(130c)과 각각 접촉하여 전극(136a), 전극(136b), 및 전극(136c)이 형성된다.
- [0055] 산화물 반도체층(140)의 일부와 접촉하도록 트랜지스터(162) 위에 보호 절연층(144)이 제공된다. 보호 절연층(144) 위에 층간 절연층(146)이 제공된다. 보호 절연층(144) 및 층간 절연층(146)에 소스/드레인 전극(142a) 및 소스/드레인 전극(142b)에 도달하는 개구가 형성된다. 해당 개구들을 통하여 소스/드레인 전극(142a) 및 소스/드레인 전극(142b)과 각각 접촉하여 전극(150d) 및 전극(150e)이 형성된다. 전극들(150d 및 150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144), 및 층간 절연층(146)에 제공되는 개구들을 통하여 각각 전극(136a), 전극(136b), 및 전극(136c)과 접촉하여 전극(150a), 전극(150b), 및 전극(150c)이 형성된다.
- [0056] 여기서, 산화물 반도체층(140)은 수소 등의 불순물들이 충분히 제거된 고순도화된 산화물 반도체층인 것이 바람직하다. 구체적으로, 산화물 반도체층(140) 내의 수소의 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하이다. 또한, 수소 농도의 충분한 저감에 의해 고순도화된 산화물 반도체층(140)은 $5 \times 10^{14}/\text{cm}^3$ 이하, 바람직하게 $5 \times 10^{12}/\text{cm}^3$ 이하의 캐리어 농도를 갖는다. 수소 농도의 충분한 저감에 의해서 고순도화되고, 진성 또는 실질적으로 진성화된 이러한 산화물 반도체를 이용하여 양호한 오프 상태 전류 특성을 갖는 트랜지스터(162)가 얻어질 수 있다. 예를 들어, 드레인 전압(Vd)이 +1V 또는 +10V이고, 게이트 전압(Vg)이 -5V 내지 -20V의 범위인 경우에, 오프 상태 전류는 1×10^{-13} A 이하이다. 트랜지스터(162)의 오프 상태 전류가 저감되도록 수소 농도의 충분한 저감에 의해서 고순도화된 산화물 반도체층(140)이 사용되어, 신규한 구조를 갖는 반도체 장치가 실현될 수 있다. 산화물 반도체층(140) 내의 수소의 농도는 SIMS(secondary ion mass spectrometry: 2차 이온 질량 분석법)에 의해서 측정된다.
- [0057] 층간 절연층(146) 위에 절연층(152)이 제공된다. 절연층(152)에 매립되도록 전극(154a), 전극(154b), 전극(154c), 및 전극(154d)이 제공된다. 전극(154a)은 전극(150a)과 접촉하고 있다. 전극(154b)은 전극(150b)과 접촉하고 있다. 전극(154c)은 전극(150c) 및 전극(150d)과 접촉하고 있다. 전극(154d)은 전극(150e)과 접촉하고 있다.
- [0058] 즉, 도 2a 및 도 2b에 도시된 반도체 장치에 있어서, 트랜지스터(160)의 게이트 전극(110a) 및 트랜지스터(162)의 소스/드레인 전극(142a)은 전극들(130c, 136c, 150c, 154c, 및 150d)을 통하여 전기적으로 접속된다.
- [0059] <반도체 장치 제작 방법>
- [0060] 다음, 반도체 장치 제작 방법의 일례를 설명한다. 우선, 하부에 트랜지스터(160)를 제작하는 방법을 도 3a 내지 도 3h를 참조하여 설명한 후, 상부에 트랜지스터(162)를 제작하는 방법을 도 4의 (A) 내지 (G) 및 도 5의 (A) 내지 (D)를 참조하여 설명한다.
- [0061] <하부 트랜지스터 제작 방법>
- [0062] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 3a 참조). 반도체 재료를 포함하는 기판(100)으로서, 실리콘, 탄화 실리콘 등으로 이루어진 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등이 사용될 수 있다. 여기서, 반도체 재료를 포함하는 기판(100)으로서 단결정 실리콘 기판을 이용하는 일례를 설명한다. 일반적으로, "SOI 기판"이라는 용어는 실리콘 반도체층이 절연면 위에 제공되는 기판을 의미한다. 본 명세서 등에 있어서, "SOI 기판"이라는 용어는 실리콘 이외의 재료를 이용하여 형성되는 반도체층이 절연면 위에 제공되는 기판 또한 그 카테고리에 포함한다. 즉, "SOI 기판"에 포함되는 반도체층은 실리콘 반도체층에 한하지 않는다. 또한, SOI 기판은 반도체층이 유리 기판 등의 절연 기판 위에 절연층을 사이에 두고 제공되는 구조를 갖는 기판일 수 있다.
- [0063] 기판(100) 위에 소자 분리 절연층을 형성하는 마스크로서 기능하는 보호층(102)이 형성된다(도 3a 참조). 보호층(102)으로서, 예를 들어, 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성되는 절연층이 사

용될 수 있다. 이 공정 전후에 있어서, 트랜지스터의 문턱 전압을 제어하기 위해 n형 도전성을 부여하는 불순물 원소 또는 p형 도전성을 부여하는 불순물 원소가 기판(100)에 첨가될 수 있다. 기판(100)에 포함되는 반도체 재료가 실리콘인 경우, n형 도전성을 부여하는 불순물로서 인, 비소 등이 사용될 수 있다. p형 도전성을 부여하는 불순물로서 붕소, 알루미늄, 갈륨 등이 사용될 수 있다.

[0064] 다음, 보호층(102)을 마스크로서 이용하여, 보호층(102)으로 덮여지지 않은 영역(즉, 노출된 영역) 내의 기판(100)의 일부를 에칭함으로써 제거된다. 따라서, 격리된 반도체 영역(104)이 형성된다(도 3b 참조). 에칭으로서, 건식 에칭이 수행되는 것이 바람직하지만, 습식 에칭이 수행될 수도 있다. 에칭되는 층의 재료에 따라 에칭 가스 및 에칭액이 적절하게 선택될 수 있다.

[0065] 다음, 절연층이 반도체 영역(104)을 덮도록 형성되고, 반도체 영역(104)과 중첩하는 영역에 절연층이 선택적으로 제거되어, 소자 분리 절연층들(106)이 형성된다(도 3b 참조). 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 이용하여 절연층이 형성된다. 절연층을 제거하는 방법으로서, CMP 등의 임의의 에칭 처리 및 연마 처리가 채용될 수 있다. 반도체 영역(104)의 형성 후 또는 소자 분리 절연층(106)의 형성 후에 보호층(102)이 제거된다.

[0066] 다음, 반도체 영역(104) 위에 절연층이 형성되고, 절연층 위에 도전 재료를 포함하는 층이 형성된다.

[0067] 절연층이 후에 게이트 절연층으로서 기능하기 때문에, 절연층은 CVD법, 스퍼터링법 등에 의해 형성되는 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 산화 탄탈륨 등을 포함하는 막을 이용한 단층 구조 또는 적층 구조를 갖는 것이 바람직하다. 대안으로서, 절연층은 반도체 영역(104)의 표면이 고밀도 플라즈마 처리 또는 열산화 처리에 의해 산화되거나 질화되는 방식으로 형성될 수 있다. 예를 들어, He, Ar, Kr, 또는 Xe 등의 희가스 및 산소, 산화 질소, 암모니아, 질소, 또는 수소 등의 가스의 혼합 가스를 이용하여 고밀도 플라즈마 처리가 수행될 수 있다. 절연층의 두께는 특히 한하지 않으며, 예를 들어, 절연층은 1 nm 이상 100 nm 이하의 두께를 가질 수 있다.

[0068] 알루미늄, 구리, 티타늄, 탄탈륨, 또는 텅스텐 등의 금속 재료를 이용하여 도전 재료를 포함하는 층이 형성될 수 있다. 도전 재료를 포함하는 층은 도전 재료를 포함하는 다결정 실리콘 등의 반도체 재료를 이용하여 형성될 수 있다. 도전 재료를 포함하는 층을 형성하는 방법은 특별히 제한되지 않으며, 증착법, CVD법, 스퍼터링법, 또는 스핀 코팅법 등의 다양한 성막법이 채용될 수 있다. 이러한 실시예는 도전 재료를 포함하는 층이 금속 재료를 이용하여 형성되는 경우의 일례를 나타낸다.

[0069] 그 후, 절연층 및 도전 재료를 포함하는 층이 선택적으로 에칭되어, 게이트 절연층(108a) 및 게이트 전극(110a)이 형성된다(도 3c 참조).

[0070] 다음, 게이트 전극(110a)을 덮는 절연층(112)이 형성된다(도 3c 참조). 다음, 반도체 영역(104)에 인(P), 비소(As) 등을 첨가함으로써 얇은 접합 깊이를 갖는 불순물 영역들(114)이 형성된다(도 3c 참조). 여기서, 인 또는 비소는 n 채널 트랜지스터를 형성하기 위해 첨가되고, 붕소(B) 또는 알루미늄(Al) 등의 불순물 원소는 p 채널 트랜지스터를 형성하는 경우에 첨가될 수 있다. 불순물 영역들(114)의 형성에 의해, 게이트 절연층(108a) 하부에 반도체 영역(104)에 채널 형성 영역(116)이 형성된다(도 3c 참조). 여기서, 첨가된 불순물의 농도는 적당하게 설정될 수 있으며, 반도체 소자의 크기가 고도로 감소되는 경우 농도를 증가하는 것이 바람직하다. 여기서, 절연층(112)의 형성 후에 불순물 영역들(114)이 형성되는 단계가 채용되지만, 대안으로서 불순물 영역들(114)의 형성 후에 절연층(112)이 형성될 수도 있다.

[0071] 다음, 측벽 절연층들(118)이 형성된다(도 3d 참조). 절연층(112)을 덮도록 절연층이 형성되고, 높은 이방성 에칭에 적용하여, 자기 정합적으로 측벽 절연층들(118)이 형성될 수 있다. 이때, 절연층(112)을 부분적으로 에칭하여 게이트 전극(110a)의 상면 및 불순물 영역들(114)의 상면이 노출되도록 하는 것이 바람직하다.

[0072] 그 후, 게이트 전극(110a), 불순물 영역들(114), 측벽 절연층들(118) 등을 덮도록 절연층이 형성된다. 다음, 불순물 영역들(114)과 접촉하는 영역들에 인(P), 비소(As) 등을 첨가하여, 고농도 불순물 영역들(120)이 형성된다(도 3e 참조). 그 후, 절연층이 제거되고, 게이트 전극(110a), 측벽 절연층들(118), 고농도 불순물 영역들(120) 등을 덮도록 금속층(122)이 형성된다(도 3e 참조). 금속층(122)을 형성하기 위해 진공 증착법, 스퍼터링법, 또는 스핀 코팅법 등의 다양한 성막법들이 채용될 수 있다. 반도체 영역(104)에 포함되는 반도체 재료와 반응하여 저저항 금속 화합물이 되는 금속 재료를 이용하여 금속층(122)을 형성하는 것이 바람직하다. 이러한 금속 재료의 일례로서는 티타늄, 탄탈륨, 텅스텐, 니켈, 코발트, 및 백금이 있다.

[0073] 다음, 금속층(122)이 반도체 재료와 반응하도록 열처리가 수행된다. 이에 의해, 고농도 불순물 영역들(120)과

접촉하는 금속 화합물 영역들(124)이 형성된다(도 3f 참조). 게이트 전극(110a)이 다결정 실리콘 등을 이용하여 형성되는 경우에는, 금속층(122)과 접촉하는 게이트 전극(110a)의 영역에도 금속 화합물 영역이 형성된다.

[0074] 예를 들어, 열처리로서 플래시 램프를 사용하는 조사가 채용될 수 있다. 또 다른 열처리법이 사용될 수도 있지만, 금속 화합물의 형성에서 화학 반응의 제어성을 향상시키기 위해 매우 단시간 동안 열처리가 실현될 수 있는 방법이 사용되는 것이 바람직하다. 금속 화합물 영역들은, 금속 재료와 반도체 재료의 반응에 의해 형성되어, 충분히 높은 전도성을 갖는다. 금속 화합물 영역들의 형성하는 것으로, 전기 저항을 적절히 감소시켜, 소자 특성을 개선할 수 있다. 금속층(122)은 금속 화합물 영역들(124)이 형성된 후에 제거된다.

[0075] 그 후, 상기 단계들에서 형성된 구성요소들을 덮도록 층간 절연층(126) 및 층간 절연층(128)이 형성된다(도 3g 참조). 층간 절연층들(126 및 128)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈륨 등의 무기질 절연 재료를 이용하여 형성될 수 있다. 또한, 폴리이미드, 아크릴 등의 유기 절연 재료를 이용하여 층간 절연층들(126 및 128)이 형성될 수 있다. 여기서는, 층간 절연층(126)과 층간 절연층(128)의 2층 구조가 채용되고 있지만, 층간 절연층의 구조는 이러한 구조에 한정되지 않는다. 층간 절연층(128)의 형성 후에는, 층간 절연층(128)의 표면이 CMP, 에칭 등으로 평탄화되는 것이 바람직하다.

[0076] 그 후, 금속 화합물 영역들(124)에 도달하는 개구들이 층간 절연층들에 형성되고, 개구들에 소스/드레인(130a) 및 소스/드레인 전극(130b)이 형성된다(도 3h 참조). 소스/드레인 전극들(130a 및 130b)은, 예를 들어, PVD법, CVD법 등에 의해 개구들을 포함하는 영역들에 도전층이 형성되고, 도전층의 일부가 에칭, CMP 등에 의해 제거되는 방식으로 형성될 수 있다.

[0077] 도전층의 일부를 제거하여 소스/드레인 전극들(130a 및 130b)을 형성하는 경우에, 표면들이 평탄화되도록 프로세스가 수행되는 것이 바람직하다. 예를 들어, 개구들을 포함하는 영역에 얇은 티타늄 막 또는 얇은 질화 티타늄 막을 형성하고, 텅스텐막이 개구들에 매립되도록 형성되는 경우, 여분의 텅스텐, 티타늄, 질화 티타늄 등이 제거되고, 후속하는 CMP에 의해 표면의 평탄성이 개선될 수 있다. 이와 같이 소스/드레인 전극들(130a 및 130b)을 포함하는 표면을 평탄화하여, 이후의 단계들에서 전극, 배선, 절연층, 반도체층 등이 양호하게 형성될 수 있다.

[0078] 여기서는 금속 화합물 영역들(124)과 접촉하는 소스/드레인 전극들(130a 및 130b)만이 도시되지만, 이 단계에 있어서 게이트 전극(110a) 등과 접촉하는 전극(예를 들어, 도 2a에서 전극(130c))이 형성될 수도 있다. 소스/드레인 전극들(130a 및 130b)로 사용되는 재료들에는 특히 한하지 않으나, 다양한 도전 재료들이 사용될 수 있다. 예를 들어, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 도전 재료가 사용될 수 있다.

[0079] 상기 단계들을 통해서, 반도체 재료를 포함하는 기관(100)을 이용한 트랜지스터(160)가 형성된다. 상기 단계 후에 전극, 배선, 절연층 등이 더 형성될 수도 있다. 배선들이 층간 절연층 및 도전층을 포함하는 적층된 구조의 다층 배선 구조를 갖는 경우, 고도로 집적화된 반도체 장치가 제공될 수 있다.

[0080] <상부 트랜지스터 제작 방법>

[0081] 다음, 도 4의 (A) 내지 (G) 및 도 5의 (A) 내지 (D)를 참조하여 층간 절연층(128) 위에 트랜지스터(162)를 제작하는 단계들을 설명한다. 도 4의 (A) 내지 (G) 및 도 5의 (A) 내지 (D)는 층간 절연층(128) 위에 전극들, 트랜지스터(162) 등을 제작하는 단계들을 나타내며, 따라서 트랜지스터(162) 아래에 위치되는 트랜지스터(160) 등은 생략되어 있다.

[0082] 우선, 층간 절연층(128), 소스/드레인 전극들(130a 및 130b), 및 전극(130c) 위에 절연층(132)이 형성된다(도 4의 (A) 참조). 절연층(132)은 PVD법, CVD법 등에 의해 형성될 수 있다. 절연층(132)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈륨 등의 무기 절연 재료를 사용하여 형성될 수 있다.

[0083] 다음, 절연층(132)에 소스/드레인 전극들(130a 및 130b) 및 전극(130c)에 도달하는 개구들이 형성된다. 이 경우, 이 후에 게이트 전극(136d)이 형성될 영역에 개구가 형성될 수도 있다. 그 후, 개구들에 매립되도록 도전층(134)이 형성된다(도 4의 (B) 참조). 개구들은 마스크를 이용하는 에칭 등의 방법에 의해 형성될 수 있다. 마스크는 포토 마스크를 이용하는 노광 등의 방법에 의하여 형성될 수 있다. 습식 에칭 또는 건식 에칭 중 어느 하나가 에칭으로서 사용될 수 있으며, 미세 가공의 관점에서 건식 에칭이 사용되는 것이 바람직하다. 도전층(134)은 PVD법 또는 CVD법 등의 성막법에 의해 형성될 수 있다. 도전층(134)은 몰리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 도전 재료 또는 이 재료들의 임의의 합금 또는 화

합물(예를 들어, 질화물)을 사용하여 형성될 수 있다.

- [0084] 구체적으로, 개구들을 포함하는 영역에 PVD법에 의해 티타늄 박막이 형성되고, CVD법에 의해 티타늄 질화 박막이 형성된 후에, 개구에 매립되도록 텅스텐 막이 형성되는 방법을 채용할 수 있다. 여기서, PVD법에 의해 형성되는 티타늄 막은 절연층(132)과의 계면에서 산화막을 환원하여, 하부 전극들(여기서, 소스/드레인 전극들(130a 및 130b), 전극(130c) 등)과의 접촉 저항을 감소시키는 기능을 갖는다. 티타늄 막의 형성 후에 형성되는 티타늄 질화막은 도전 재료의 확산을 방지하는 장벽 기능을 갖는다. 티타늄, 질화 티타늄 등의 장벽막의 형성 후에 도금법에 의해 구리막이 형성될 수도 있다.
- [0085] 도전층(134)이 형성된 후에, 도전층(134)의 일부가 에칭, CMP 등에 의해 제거되어, 절연층(132)이 노출되고, 전극들(136a, 136b, 및 136c) 및 게이트 전극(136d)이 형성된다(도 4의 (C) 참조). 전극들(136a, 136b, 및 136c) 및 게이트 전극(136d)이 도전층(134)의 일부를 제거함으로써 형성되는 경우, 표면들이 평탄화되도록 프로세스가 수행되는 것이 바람직하다. 이와 같이 절연층(132), 전극들(136a, 136b, 및 136c) 및 게이트 전극(136d)의 표면들이 평탄화되어, 전극, 배선, 절연층, 반도체층 등이 이후의 단계들에서 양호하게 형성될 수 있다.
- [0086] 다음, 절연층(132), 전극들(136a, 136b, 및 136c) 및 게이트 전극(136d)을 덮도록 게이트 절연층(138)이 형성된다(도 4의 (D) 참조). 게이트 절연층(138)은 CVD법, 스퍼터링법 등에 의해 형성될 수 있다. 게이트 절연층(138)은 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈륨 등을 이용하여 형성되는 것이 바람직하다. 게이트 절연층(138)은 단일층 구조 또는 적층 구조를 가질 수도 있다. 예를 들어, 산화 질화 실리콘으로 이루어지는 게이트 절연층(138)은, 원료 가스로서, 실란(SiH_4), 산소, 및 질소를 이용하여 플라즈마 CVD법에 의해 형성될 수 있다. 게이트 절연층(138)의 두께는 특별히 한정되지 않으며, 예를 들어, 게이트 절연층(138)은 10 nm 이상 500 nm 이하의 두께를 가질 수 있다. 예를 들어, 적층 구조를 채용하는 경우에 있어서, 게이트 절연층(138)은 50 nm 이상 200 nm 이하의 두께를 갖는 제1 게이트 절연층 및 제1 게이트 절연층 위에 5 nm 이상 300nm 이하의 두께를 갖는 제2 게이트 절연층의 적층인 것이 바람직하다.
- [0087] 불순물의 제거에 의해 진성이거나 실질적으로 진성이 된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위 및 계면 전하에 의한 상당한 영향을 받기 쉽고, 따라서 이러한 산화물 반도체가 산화물 반도체층으로 사용되는 경우에, 게이트 절연층과의 계면이 중요하다. 즉, 고순도화된 산화물 반도체층과 접촉하는 게이트 절연층(138)은 고품질화가 요구된다.
- [0088] 예를 들어, 게이트 절연층(138)이 조밀하고 높은 내전압 및 고품질을 가질 수 있기 때문에, 게이트 절연층(138)은 마이크로파(2.45 GHz)를 이용하는 고밀도 플라즈마 CVD법에 의해 형성되는 것이 바람직하다. 고순도화된 산화물 반도체층 및 고품질 게이트 절연층이 밀접하게 접촉하는 경우에, 계면 준위는 감소될 수 있고, 계면 특성이 양호해질 수 있다.
- [0089] 고순도화된 산화물 반도체층이 사용되는 경우에도, 고품질 절연층이 게이트 절연층으로서 형성될 수 있는 한 스퍼터링법 또는 플라즈마 CVD법 등의 또 다른 방법이 채용될 수 있다는 것은 두말할 필요도 없다. 또한, 품질 및 계면 특성이 절연층의 형성 후에 수행되는 열처리로 개선되는 절연층을 이용하는 것이 가능하다. 어느 경우에 있어서도, 게이트 절연층(138)으로서 양호한 막 품질을 갖고, 양호한 계면을 형성하도록 산화물 반도체층으로 계면 준위 밀도를 감소시킬 수 있는 절연층이 게이트 절연층(138)으로서 형성된다.
- [0090] 12시간 동안 2×10^6 V/cm, 85°C에서의 게이트 바이어스-온도 스트레스 테스트(BT 테스트)에 있어서, 불순물이 산화물 반도체에 첨가되면, 불순물과 산화물 반도체의 주성분 사이의 결합이 강전계(B: 바이어스) 및 고온(T: 온도)에 의해 절단되고, 발생된 미결합(dangling bond)이 문턱 전압(V_{th})의 드리프트를 발생시키게 된다.
- [0091] 이에 대하여, 산화물 반도체의 불순물들, 특히 수소 및 물은 최소한으로 감소되고, 전술한 바와 같이 산화물 반도체 및 게이트 절연층 사이의 계면 특성들이 양호하게 되어, BT 테스트에 대하여 안정된 트랜지스터가 얻어질 수 있다.
- [0092] 다음, 게이트 절연층(138) 위에 산화물 반도체층이 형성되고, 마스크를 이용한 에칭 등의 방법에 의해 가공되어, 섬 형상의 산화물 반도체층(140)이 형성된다(도 4의 (E) 참조).
- [0093] 산화물 반도체층으로서, In-Ga-Zn-O 계의 산화물 반도체층, In-Sn-Zn-O 계의 산화물 반도체층, In-Al-Zn-O 계의 산화물 반도체층, Sn-Ga-Zn-O 계의 산화물 반도체층, Al-Ga-Zn-O 계의 산화물 반도체층, Sn-Al-Zn-O 계의 산화

물 반도체층, In-Zn-O 계의 산화물 반도체층, Sn-Zn-O 계의 산화물 반도체층, Al-Zn-O 계의 산화물 반도체층, In-O 계의 산화물 반도체층, Sn-O 계의 산화물 반도체층, 또는 Zn-O 계의 산화물 반도체층을 사용하는 것이 바람직하고, 특히 비정질 산화물 반도체층인 것이 바람직하다. 본 실시예에 있어서, 산화물 반도체층으로서, In-Ga-Zn-O 계의 산화물 반도체 증착을 위한 타겟을 이용하는 스퍼터링법에 의해 비정질 산화물 반도체층이 형성된다. 비정질 산화물 반도체층의 결정화는 비정질 산화물 반도체층에 실리콘을 첨가함으로써 억제될 수 있기 때문에, 예를 들어, 2 wt% 이상 10 wt% 이하의 SiO₂를 포함하는 타겟을 이용하여 산화물 반도체층이 형성될 수도 있다.

[0094] 산화물 반도체층을 스퍼터링법으로 형성하기 위하여 이용되는 타겟으로서, 예를 들어, 산화 아연을 주성분으로 포함하는 금속 산화물 타겟이 이용될 수 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 증착용의 타겟으로서, 예를 들어, (In₂O₃:Ga₂O₃:ZnO의 조성비 = 1:1:1 [mol%] 및 In:Ga:Zn = 1:1:0.5 [atom%])이 사용될 수 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 증착용의 타겟으로서, (In:Ga:Zn의 조성비 = 1:1:1 [atom%] 또는 In:Ga:Zn의 조성비 = 1:1:2 [atom%])이 사용될 수도 있다. 산화물 반도체를 증착하기 위한 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는, 95%(예를 들어, 99.9%) 이상이다. 높은 충전율의 산화물 반도체 증착용의 타겟을 이용하여 고밀도의 산화물 반도체층이 형성된다.

[0095] 산화물 반도체층이 형성되는 분위기는 회귀 가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 회귀 가스(대표적으로 아르곤) 및 산소를 포함하는 혼합 분위기로 형성되는 것이 바람직하다. 구체적으로, 예를 들어, 수소, 물, 수산기, 또는 수산화물 등의 불순물은 농도가 ppm 범위(바람직하게는, ppb 범위)가 되도록 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0096] 산화물 반도체층을 형성하는 때에는, 감압 상태에 유지되는 처리실 내에 기관이 유지되고, 기관 온도는 100℃ 이상 600℃ 이하로 설정되고, 바람직하게는, 200℃ 이상 400℃ 이하로 설정된다. 기관을 가열하면서 산화물 반도체층이 형성되어, 산화물 반도체층의 불순물 농도가 감소될 수 있다. 또한, 스퍼터링으로 인한 손상이 감소된다. 그 후, 처리실 내에 잔류 수분이 제거되고 수소 및 물이 제거된 스퍼터링 가스가 도입되어, 금속 산화물을 타겟으로서 이용하여 산화물 반도체가 형성된다. 처리 실내에 잔존하는 습기를 제거하기 위해 흡착형의 진공 펌프가 사용되는 것이 바람직하다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 승화 펌프가 사용될 수 있다. 배기 수단은 콜드 트랩이 설치된 터보 펌프일 수도 있다. 크라이오 펌프로 배기되는 증착실에 있어서, 예를 들어, 수소 원자 및 물(H₂O) 등의 수소 원자를 포함하는 화합물(및 바람직하게는, 탄소 원자를 포함하는 화합물)이 제거되어, 증착실에 형성되는 산화물 반도체의 불순물 농도가 감소될 수 있다.

[0097] 산화물 반도체층은 이하 조건하에 형성될 수 있다. 예를 들어, 기관과 타겟 사이의 거리는 100 mm, 압력은 0.6 pa, 직류(DC) 전원이 0.5 kW, 분위기가 산소 분위기(산소의 유량 비율은 100%)이다. 막 증착에서 발생된 파우더 물질(입자 또는 먼지라고 함)이 감소될 수 있고, 두께 분포가 균일하기 때문에, 펄스 직류(DC) 전원을 사용하는 것이 바람직하다. 산화물 반도체층의 두께는 2 nm 이상 200 nm 이하, 바람직하게는, 5 nm 이상 30 nm 이하이다. 적절한 두께는 산화물 반도체 재료에 따라 다르며, 사용되는 재료에 따라 두께가 적절하게 설정된다.

[0098] 산화물 반도체층이 스퍼터링 법에 의해 형성되기 전에, 아르곤 가스가 도입되어 플라즈마가 발생하는 역스퍼터링에 의해 게이트 절연층(138)의 표면 위의 먼지가 제거되는 것이 바람직하다. 여기서, 역스퍼터링은 이온들이 스퍼터링 타겟에 충돌하는 일반적인 스퍼터링과는 달리, 이온들이 처리 대상의 표면에 충돌하여 표면이 변형되는 방법이다. 처리 대상의 표면에 이온들을 충돌시키는 방법의 일례로서는, 고주파 전압이 아르곤 분위기 내의 표면에 인가되어 플라즈마가 기관 근처에 발생하는 방법이다. 질소, 헬륨, 산소 등의 분위기가 아르곤 분위기 대신에 사용될 수도 있다.

[0099] 산화물 반도체층에 대한 에칭 방법으로서, 건식 에칭 또는 습식 에칭이 채용될 수도 있다. 건식 에칭 및 습식 에칭이 조합하여 사용될 수 있다는 것은 두말할 필요도 없다. 산화물 반도체층이 소망한 형상으로 에칭될 수 있도록 재료에 따라 에칭 조건들(예를 들면, 에칭 가스 또는 에칭액, 에칭 시간, 및 온도)이 적절하게 설정된다.

[0100] 건식 에칭을 위해 사용되는 에칭 가스의 일례로서는, 염소를 포함하는 가스(염소(Cl₂), 염화 붕소(BCl₃), 염화 실리콘(SiCl₄), 또는 사염화탄소(CCl₄) 등의 염소계 가스)가 있다. 또한, 불소를 포함하는 가스(불화 탄소(CF₄), 불화 유황(SF₆), 불화 질소(NF₃), 트리 플루오르 메탄(CHF₃) 등의 불소계 가스), 브롬화수소(HBr), 산소(O₂), 헬륨(He), 또는 아르곤(Ar) 등의 회귀 가스가 첨가된 임의의 가스 등이 사용될 수도 있다.

[0101] 건식 에칭법으로서, 평행판 RIE(reactive ion etching)법 또는 ICP(inductively coupled plasma) 에칭법이 사

용될 수 있다. 소망 형상으로 산화물 반도체층을 에칭하기 위해, 에칭 조건들(예를 들어, 코일형의 전극에 인가된 전력의 양, 기관측 위의 전극에 인가된 전력의 양, 및 기관측 위에 전극 온도)이 적절하게 설정된다.

[0102] 습식 에칭에 사용되는 에칭액으로서, 인산, 아세트산, 및 질산의 혼합액, 암모니아 과산화물 혼합물(31 wt%의 과산화 수소수: 28 wt%의 암모니아 용액 : 물 = 5:2:2) 등이 사용될 수 있다. IT007N(칸토 화학 주식회사 생산) 등의 에칭액이 사용될 수도 있다.

[0103] 그 후, 산화물 반도체층 위에서 제1 열처리가 수행되는 것이 바람직하다. 산화물 반도체층은 제1 열처리로 탈수되거나 탈수소화될 수 있다. 제1 열처리의 온도는 300℃ 이상 750℃ 이하이고, 400℃ 이상 기관의 변형점 미만인 것이 바람직하다. 예를 들어, 기관이 저항 가열 소자 등이 사용되는 전기로에 도입되어, 산화물 반도체층(140)이 질소 분위기에서 한 시간 동안 450℃의 열처리를 거친다. 산화물 반도체층(140)은 물 및 수소의 재혼입이 예방될 수 있도록 열처리 동안 공기에 노출되지 않는다.

[0104] 열처리 장치는 전기로에 한하지 않으며, 가열된 가스 등의 매체로부터의 열복사 또는 열전도에 의해 피처리물을 가열하는 장치일 수도 있다. 예를 들어, GRTA(gas rapid thermal annealing) 장치 또는 LRTA(lamp rapid thermal annealing) 장치 등의 RTA(rapid thermal annealing) 장치가 사용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 방출되는 광의 복사(전자파)에 의해 처리되도록 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 이용하는 열처리를 수행하기 위한 장치이다. 가스로서는, 열처리에 의해 피처리물과 반응하지 않는 불활성 가스, 예를 들어, 질소, 또는 아르곤 등의 희귀 가스가 사용된다.

[0105] 예를 들어, 제1 열처리로서, GRTA 처리가 이하와 같이 수행될 수 있다. 기관은 650℃ 내지 700℃의 고온에서 열처리된 불활성 가스 내에 투입되어, 몇 분간 가열되고, 불활성 가스에서 꺼낸다. GRTA 처리는 단시간 동안 고온 열처리를 가능하게 한다. 또한, GRTA 처리는 단기간 동안 열처리이기 때문에 온도가 기관의 변형점을 초과할 때에도 채용될 수 있다.

[0106] 제1 열처리는 주요 성분으로서 질소 또는 희귀 가스(예를 들어, 헬륨, 네온, 또는 아르곤)를 포함하고, 물, 수소 등을 포함하지 않는 분위기 중에서 수행되는 것이 바람직하다. 예를 들어, 질소 또는 열처리 기기로 도입된 헬륨, 네온, 또는 아르곤 등의 희귀 가스의 순도는 6N(99.9999 %) 이상이고, 7N(99.99999 %) 이상이 바람직하다(즉, 불순물 농도는 1 ppm 이하이고, 0.1 ppm 이하인 것이 바람직하다).

[0107] 제1 열처리의 조건 또는 산화물 반도체층의 재료에 따라서, 산화물 반도체층이 결정화되어, 미결정 또는 다결정이 되기도 한다. 예를 들어, 산화물 반도체층은 90 % 이상 또는 80 % 이상의 결정화율을 갖는 미결정 산화물 반도체층이 되기도 한다. 또한, 제1 열처리의 조건 또는 산화물 반도체층의 재료에 따라서, 산화물 반도체층은 결정 성분을 포함하지 않는 비정질 산화물 반도체층이 되기도 한다.

[0108] 또한, 산화물 반도체층에 있어서, 미결정(입자 크기가 1 nm 이상 20 nm 이하이고, 통상, 2 nm 이상 4 nm 이하)은 비정질 산화물 반도체(예를 들어, 산화물 반도체층의 표면)에 혼합되기도 한다.

[0109] 비정질 반도체 내에 미결정을 정렬함으로써 산화물 반도체층의 전기 특성들이 변화될 수 있다. 예를 들어, In-Ga-Zn-O 계의 산화물 반도체 증착용 타겟을 이용하여 산화물 반도체층이 형성되는 경우, 전기적 이방성을 갖는 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정립이 정렬되는 미결정 부분의 형성에 의해 산화물 반도체층의 전기 특성이 변화될 수 있다.

[0110] 구체적으로, 예를 들어, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 c축이 산화물 반도체층의 표면에 수직이 되도록 결정 입자들이 배향되어, 산화물 반도체층의 표면에 평행한 방향의 도전성이 향상될 수 있고, 산화물 반도체층의 표면에 수직인 방향의 절연성이 향상될 수 있다. 또한, 이러한 미결정 부분은 산화물 반도체층 중으로의 물 또는 수소 등의 불순물의 침입을 억제하는 기능을 갖는다.

[0111] 미정질 부분을 포함하는 산화물 반도체층은 GRTA 처리에 의한 산화물 반도체층의 표면을 가열함으로써 형성될 수 있다. 또한, Zn의 양이 In 또는 Ga 보다 작은 스퍼터링 타겟을 이용함으로써 산화물 반도체층이 보다 바람직하게 형성될 수 있다.

[0112] 산화물 반도체층(140)을 위한 제1 열처리는 섬 형상의 산화물 반도체층(140)으로 가공되지 않은 산화물 반도체층 위에 수행될 수 있다. 이러한 경우, 제1 열처리 후에, 기관이 가열 장치 밖으로 추출되어, 포토리소그래피 공정이 수행된다.

[0113] 상기 열처리는 산화물 반도체층(140)에 대한 탈수화 또는 탈수소화 반응의 효과로 인하여 탈수화 처리, 탈수소

화 처리 등으로 지칭될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는, 예를 들어, 산화물 반도체층이 형성된 후에, 산화물 반도체층(140) 위에 소스 전극 및 드레인 전극이 적층된 후에, 또는 소스 및 드레인 전극들 위에 보호 절연층이 형성된 후에 수행될 수 있다. 이러한 탈수화 처리 또는 탈수소화 처리는 한번에 수행되거나 여러 번 수행될 수도 있다.

[0114] 다음, 소스/드레인 전극(142a) 및 소스/드레인 전극(142b)이 산화물 반도체층(140)과 접촉하여 형성된다(도 4의 (F) 참조). 소스/드레인 전극들(142a 및 142b)은 산화물 반도체층(140)을 덮도록 도전층이 형성된 후 선택적으로 에칭되는 방식으로 형성될 수 있다.

[0115] 도전층은 스퍼터링법 등의 PVD법 또는 플라즈마 CVD법 등의 CVD법에 의해 형성될 수 있다. 도전층의 재료로서, 알루미늄, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 또는 텅스텐으로부터 선택된 원소, 또는 이러한 원소들 중 임의의 것을 성분으로서 포함하는 합금 등이 사용될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 또는 도륨으로부터 선택되는 하나 이상의 재료들이 사용될 수도 있다. 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 또는 스칸듐으로부터 선택되는 하나 이상의 소자들과 결합된 알루미늄이 사용될 수도 있다. 도전층은 단층 구조 또는 2개 이상의 층을 포함하는 적층 구조를 가질 수 있다. 예를 들어, 도전층은 실리콘을 포함하는 알루미늄 막의 단층 구조, 티타늄 막이 알루미늄 막 위에 적층된 2층 구조, 또는 티타늄 막, 알루미늄 막, 및 티타늄 막이 이 순서대로 적층된 3층 구조를 가질 수 있다.

[0116] 여기서, 에칭에 사용되는 마스크를 형성 시의 노광에는, 자외선, KrF 레이저 광, 또는 ArF 레이저 광이 사용되는 것이 바람직하다.

[0117] 트랜지스터의 채널 길이(L)는 소스/드레인 전극(142a)의 하부 에지 부분 및 소스/드레인 전극(142b)의 하부 에지 부분 사이의 거리에 의해서 결정된다. 채널 길이(L)가 25nm 미만인 경우의 노광에 있어서, 파장이 수 nm 내지 수백 nm로서 매우 짧은 극자외선으로 마스크를 형성하기 위한 노광이 수행된다. 극자외선에 의한 노광은, 해상도가 높고, 초점 심도가 크다. 이로 인하여, 이후에 형성되는 트랜지스터의 채널 길이(L)는 10 nm 내지 1000 nm의 범위일 수 있으며, 회로가 고속으로 동작할 수 있다. 또한, 오프 상태 전류는 매우 낮고, 이는 소비 전력의 증가를 방지한다.

[0118] 산화물 반도체층(140)이 도전층의 에칭에서 제거되지 않도록 도전층 및 산화물 반도체층(140)의 재료들 및 에칭 조건들이 적절하게 조정된다. 일부의 경우, 산화물 반도체층(140)은 에칭 공정에서 부분적으로 에칭되므로, 재료 및 에칭 조건들에 따라 홈 부분(오픈부)을 갖는다.

[0119] 산화물 반도체층(140)과 소스/드레인 전극(142a) 사이 및 산화물 반도체층(140)과 소스/드레인 전극(142b) 사이에 산화물 도전층이 형성될 수도 있다. 산화물 도전층과, 소스/드레인 전극들(142a 및 142b)을 형성하기 위한 금속층은 연속적으로 형성될 수 있다. 산화물 도전층은 소스 영역 및 드레인 영역으로서 작용할 수 있다. 이러한 산화물 도전층의 배치는 소스 영역 및 드레인 영역의 저항을 감소시켜, 트랜지스터를 고속으로 동작시킬 수 있다.

[0120] 사용되는 마스크들의 수와 공정 수를 감소시키기 위해, 복수의 강도를 갖도록 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 형성한 레지스트 마스크를 이용하여 에칭 단계가 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께를 갖고(계단 형상을 가짐), 또한 애싱에 의해 형상으로 변화될 수 있으므로, 상이한 패턴으로의 처리를 위한 복수의 에칭 단계들에서 레지스트 마스크가 사용될 수 있다. 즉, 다계조 마스크를 이용함으로써, 적어도 두 종류 이상의 상이한 패턴들에 대응하는 레지스트 마스크가 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있으며, 대응하는 포토리소그래피 단계의 수도 감소될 수 있으므로, 공정이 간략화될 수 있다.

[0121] 플라즈마 처리는 상기 공정 후에 N_2O , N_2 , 또는 Ar 등의 가스를 이용하여 수행되는 것이 바람직하다. 이러한 플라즈마 처리는 산화물 반도체층의 노출된 표면 위에 부착되는 물 등을 제거한다. 플라즈마 처리는 산소 및 아르곤의 혼합된 가스를 이용하여 수행될 수도 있다.

[0122] 다음, 공기에 노출시키지 않고, 산화물 반도체층(140)의 일부와 접촉하여 보호 절연층(144)이 형성된다(도 4의 (G) 참조).

[0123] 보호 절연층(144)은 스퍼터링법 등의 방법에 의해 물 및 수소 등의 불순물이 보호 절연층(144)에 혼합되는 것으로부터 방지되도록 적절하게 형성될 수 있다. 보호 절연층(144)은 적어도 1 nm의 두께를 갖는다. 보호 절연층(144)은 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성될 수 있다. 보호

절연층(144)은 단층 구조 또는 적층 구조를 가질 수 있다. 보호 절연층(144)을 형성할 때 기판 온도는 실온 이상 및 300℃ 이하인 것이 바람직하다. 보호 절연층(144)을 형성하는 분위기는 희귀 가스(대표적으로, 아르곤) 분위기, 산소 분위기, 또는 희귀 가스(대표적으로, 아르곤)와 산소를 포함하는 혼합 분위기인 것이 바람직하다.

- [0124] 수소가 보호 절연층(144)에 포함되면, 수소가 산화물 반도체 층에 투입되거나, 산화물 반도체층 내의 산소를 추출하여, 백채널(backchannel) 측에서 산화물 반도체층의 저항이 감소될 수도 있으며, 기생 채널이 형성될 수도 있다. 따라서, 산화물 절연층(144)이 수소를 가능한 적게 포함하도록 보호 절연층(144)을 형성할 때 수소를 사용하지 않는 것이 중요하다.
- [0125] 또한, 처리 실내에 잔류하는 수분을 제거하면서, 산화물 반도체층(140) 및 보호 절연층(144)에 수소, 수산기, 또는 습기가 포함되지 않도록 보호 절연층(144)을 형성하는 것이 바람직하다.
- [0126] 처리실 내에 잔존하는 수분을 제거하기 위해 흡착형 진공 펌프가 사용되는 것이 바람직하다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 승화 펌프가 사용되는 것이 바람직하다. 배기 수단으로서는 콜드 트랩이 구비된 터보 펌프일 수도 있다. 크라이오펌프로 배기되는 증착실에 있어서, 수소 원자, 물(H₂O) 등의 수소 원자를 포함하는 화합물이 제거되어, 예를 들어, 증착실에 형성된 보호 절연층(144)의 불순물 농도가 감소될 수 있다.
- [0127] 보호 절연층(144)을 형성하는 데 사용되는 스퍼터링 가스로서, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 ppm 농도 범위(바람직하게, ppb 범위)가 되도록 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0128] 다음, 불활성 가스 분위기 또는 산소 가스 분위기(200℃ 이상 400℃ 이하, 예를 들어, 250℃ 이상 350℃ 이하)에서 제2 열처리가 수행되는 것이 바람직하다. 예를 들어, 제2 열처리는 질소 분위기에서 한 시간 동안 250℃에서 수행된다. 제2 열처리는 트랜지스터의 전기 특성의 편차를 경감시킬 수 있다.
- [0129] 또한, 공기 중에서 1시간 내지 30시간 동안 100℃ 내지 200℃에서 열처리가 수행될 수도 있다. 이러한 열처리는 일정한 가열 온도에서 수행될 수도 있으며, 대안으로서, 가열 온도가 실온에서 100℃ 내지 200℃의 온도까지 상승된 후, 실온으로 감소될 수 있으며, 가열 온도에서의 이러한 변화가 여러 번 반복적으로 행해질 수도 있다. 이러한 열처리는 보호 절연층이 형성되기 전에 감소된 압력하에 수행될 수도 있다. 열처리 시간은 감소된 압력하에 단축될 수 있다. 이러한 열처리는, 예를 들어, 제2 열처리 대신 수행되거나, 제2 열처리 전후에 수행될 수도 있다.
- [0130] 다음, 층간 절연층(146)이 보호 절연층(144) 위에 형성된다(도 5의 (A) 참조). 층간 절연층(146)은 PVD법, CVD법 등에 의해 형성될 수 있다. 층간 절연층(146)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈륨 등의 무기 절연 재료를 이용하여 형성될 수 있다. 층간 절연층(146)의 형성 후에, 층간 절연층(146)의 표면이 CMP, 에칭 등으로 평탄화되는 것이 바람직하다.
- [0131] 다음, 전극들(136a, 136b, 및 136c) 및 소스/드레인 전극들(142a 및 142b)에 도달하는 개구들이 층간 절연층(146), 보호 절연층(144), 및 게이트 절연층(138)에 형성된다. 그 후, 개구들에 매립되도록 도전층(148)이 형성된다(도 5의 (B) 참조). 마스크를 이용한 에칭 등의 방법에 의해 개구들이 형성될 수 있다. 포토마스크를 이용한 노광 등의 방법에 의해 마스크가 형성될 수 있다. 에칭으로서는 습식 에칭 또는 건식 에칭 어느 것이나 사용될 수 있으며, 미세 가공의 관점에서 건식 에칭이 사용되는 것이 바람직하다. 도전층(148)은 PVD법 또는 CVD법 등의 성막법에 의해 형성될 수 있다. 도전층(148)은, 예를 들어, 폴리브덴, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 도전 재료 또는 이러한 물질들 중 임의의 것의 화합물(예를 들어, 질화물)이나 합금을 이용하여 형성될 수 있다.
- [0132] 구체적으로, 예를 들어, 티타늄 박막이 PVD법에 의해 개구들을 포함하는 영역에 형성되고, 티타늄 질화물 박막이 CVD법에 의해 형성된 후, 텅스텐 막이 개구들에 매립되도록 형성되는 방법을 채용할 수 있다. 여기서, PVD법에 의해 형성된 티타늄 막은 층간 절연층(146)과의 계면에서 산화막을 환원시켜, 하부 전극들(여기서, 전극들(136a, 136b, 및 136c) 및 소스/드레인 전극들(142a 및 142b))과의 접촉 저항을 감소시키는 기능을 갖는다. 티타늄 막의 형성 후에 형성되는 티타늄 질화물 막은 도전 재료의 확산을 억제하는 장벽 기능을 갖는다. 티타늄, 질화 티타늄 등의 장벽막의 형성 후에 도금법에 의해 구리막이 형성될 수도 있다.
- [0133] 도전층(148)이 형성된 후에, 도전층(148)의 일부가 에칭, CMP 등에 의해 제거되어, 층간 절연층(146)이 노출되고, 전극들(150a, 150b, 150c, 150d, 및 150e)이 형성된다(도 5의 (C) 참조). 도전층(148)의 일부를 제거하여 전극들(150a, 150b, 150c, 150d, 및 150e)이 형성되는 경우, 표면이 평탄화되도록 공정이 수행되는 것이 바람직

하다. 이와 같이 층간 절연층(146) 및 전극들(150a, 150b, 150c, 150d, 및 150e)의 표면이 평탄화되어, 전극, 배선, 절연층, 반도체층 등이 이후의 단계에서 양호하게 형성될 수 있다.

- [0134] 그 후, 절연층(152)이 형성되고, 전극들(150a, 150b, 150c, 150d, 및 150e)에 도달하는 개구들이 절연층(152)에 형성된다. 도전층이 개구들에 매립되도록 형성된 후에, 도전층의 일부가 에칭, CMP 등에 의해 제거된다. 따라서, 절연층(152)이 노출되고, 전극들(154a, 154b, 154c, 및 154d)이 형성된다(도 5의 (D) 참조). 이러한 공정은 전극(150a) 등을 형성하는 단계와 유사하고, 따라서 상세한 설명은 생략한다.
- [0135] 트랜지스터(162)가 상기 방법에 의해 형성되는 경우, 산화물 반도체층(140)의 수소 농도는 $5 \times 10^{19}/\text{cm}^3$ 이하이고 트랜지스터(162)의 오프 상태 전류는 1×10^{-13} A 이하이다. 상술한 바와 같이 수소 농도의 충분한 조감에 의해 고순도화된 산화물 반도체층(140)의 적용에 의해 양호한 특성을 갖는 트랜지스터(162)가 얻어질 수 있다. 또한, 양호한 특성을 갖고, 하부에 산화물 반도체 이외의 재료를 이용하여 형성된 트랜지스터(160)를 포함하며, 상부에 산화물 반도체를 이용하여 형성된 트랜지스터(162)를 포함하는 반도체 장치를 제작할 수 있다.
- [0136] 탄화 실리콘(예를 들어, 4H-SiC)은 산화물 반도체와 비교될 수 있는 반도체 재료이다. 산화물 반도체 및 4H-SiC는 몇몇 공통점을 갖는다. 하나의 일례는 캐리어 밀도이다. 실온에서의 페르미-디랙 분포를 이용하면, 산화물 반도체 내의 소수 캐리어의 밀도는 대략 $1 \times 10^{-7}/\text{cm}^3$ 으로 추정되는데, 이는 4H-SiC의 $6.7 \times 10^{-11}/\text{cm}^3$ 만큼 매우 낮은 것이다. 산화물 반도체의 소수 캐리어 밀도를 실리콘의 진성 캐리어 밀도와 비교하면(대략, $1.4 \times 10^{10}/\text{cm}^3$), 산화물 반도체의 소수 캐리어 밀도가 상당히 낮은 것을 쉽게 알 수 있다.
- [0137] 또한, 산화물 반도체의 에너지 밴드갭은 3.0 eV 내지 3.5 eV이고, 4H-SiC의 에너지 밴드갭은 3.26 eV으로서, 산화물 반도체 및 탄화 실리콘 모두가 넓은 밴드갭 반도체들인 것을 의미한다.
- [0138] 이에 대하여, 산화물 반도체 및 탄화 실리콘 사이에는 주요한 차이점이 있으며, 즉, 프로세스 온도이다. 탄화 실리콘을 이용하는 반도체 프로세서에 있어서 1500℃ 내지 2000℃에서 활성화 열처리가 필요하여, 탄화 실리콘 이외에 반도체 재료를 이용하여 형성되는 탄화 실리콘과 반도체 소자의 적층 형성이 어렵다. 이것은 반도체 기판, 반도체 소자 등이 이러한 고온에 의해 손상되기 때문이다. 반면, 산화물 반도체는 300℃ 내지 500℃(유리 전이 온도 이하, 최대 약 700℃)의 열처리로 형성될 수 있으므로, 집적 회로를 또 다른 반도체 재료를 이용하여 형성한 후에 산화물 반도체를 이용하여 반도체 소자가 형성될 수 있다.
- [0139] 산화물 반도체는 유리 기판 등의 내열성이 낮은 기판을 이용할 수 있다는 점에서 탄화 실리콘에 비해 이점을 갖는다. 또한, 고온에서의 가열 온도가 필요하지 않기 때문에, 탄화 실리콘과 비교하여 에너지 비용이 충분히 감소될 수 있는 점에서 산화물 반도체는 이점을 갖는다.
- [0140] 상태 밀도(DOS: Density of State) 등의 산화물 반도체의 특성에 관하여 상당한 연구가 행해져 왔으나, 본 연구는 DOS 자체를 충분히 감소시키는 사상을 포함하지 않는다. 본 명세서에 개시되는 본 발명의 일 실시예에 따르면, 산화물 반도체로부터 DOS에 영향을 미칠 수 있는 물 및 수소를 제거하여 고순도화된 산화물 반도체가 제작된다. 이는 DOS 자체를 충분히 감소시키는 사상에 근거한다. 따라서, 양호한 제품들이 제작될 수 있다.
- [0141] 또한, 산소 결핍에 의해 발생하는 금속 미결합에 대하여 산소를 공급하는 방식으로, 산소 결핍으로 인한 DOS가 감소되도록 하여, 더 고순도화된(i형) 산화물 반도체를 실현할 수 있다. 예를 들어, 채널 형성 영역과 밀접하게 접촉하여 과도한 양의 산소를 포함하는 산화막이 형성되고, 산소가 산화막으로부터 공급되어, 산소 결핍으로 인한 DOS가 감소될 수 있다.
- [0142] 산화물 반도체의 결함은, 과도한 수소로 인해 전도 대역 아래의 0.1 eV 내지 0.2 eV의 얇은 준위, 산소의 부족으로 인한 깊은 준위 등에 기인되는 것이라고 한다. 이러한 결함을 제거하기 위해서는, 수소를 많이 감소시키고 산소는 충분히 공급하는 기술 사상이 맞다고 할 것이다.
- [0143] 산화물 반도체는 일반적으로 n형 반도체로 간주되지만, 본 명세서에 개시되는 본 발명의 일 실시예에 따르면, 불순물들, 특히, 물 및 수소를 제거함으로써 i형 반도체가 실현된다. 이점에 있어서, 본 명세서에 개시되는 본 발명의 일 실시예는 불순물로 첨가된 실리콘 등의 i형 반도체와 다르기 때문에, 신규한 기술 사상을 포함한다고 할 것이다.
- [0144] 본 실시예에서는 트랜지스터(162)의 기판으로서, 바텀-게이트 구조를 나타내지만, 본 발명의 일 실시예는 이에 한하지 않는다. 예를 들어, 트랜지스터(162)는 탑-게이트(top-gate) 구조를 가질 수 있다. 대안으로서, 트랜지스터(162)는 채널 형성 영역의 상하에 게이트 절연층이 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트 구조

를 가질 수 있다.

[0145] <산화물 반도체를 포함하는 트랜지스터의 전도 메커니즘>

[0146] 도 24, 도 25a 및 도 25b, 도 26a 및 도 26b, 및 도 27을 참조하여 산화물 반도체를 포함하는 트랜지스터의 전도 기구를 설명한다. 이하 설명은 단지 고찰한 것으로서, 본 발명의 유효성을 부정하는 것은 아니다.

[0147] 도 24는 산화물 반도체를 포함하는 듀얼 게이트 트랜지스터(박막 트랜지스터)의 단면도이다. 게이트 전극층(GE1) 위에 그 사이에 게이트 절연층(GI1)을 통해 산화물 반도체층(OS)이 제공되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 형성된다. 또한, 산화물 반도체층(OS), 소스 전극(S), 및 드레인 전극(D)을 덮도록 게이트 절연층(GI2)이 제공된다. 산화물 반도체층(OS) 위에 그 사이에 게이트 절연층(GI2)을 통해 게이트 전극(GE2)이 제공된다.

[0148] 도 25a 및 도 25b는 도 24의 A-A' 단면의 에너지 밴드도(개략도)이다. 도 25a는 소스와 드레인 사이의 전위차가 0(소스 및 드레인은 동전위, $V_D = 0$ V를 가짐)인 경우를 나타낸다. 도 25b는 드레인의 전위가 소스의 전위보다 높은($V_D > 0$) 경우를 나타낸다.

[0149] 도 26a 및 도 26b는 도 24에 B-B' 단면의 에너지 밴드도(개략도)이다. 도 26a는 양의 전위($+V_G$)가 게이트(G1)에 인가되는 상태, 즉, 캐리어들(전자들)이 소스 및 드레인 사이에 흐르는 온 상태를 나타낸다. 도 26b는 음의 전위($-V_G$)가 게이트(G1)에 인가되는 상태, 즉, 오프 상태(소수 캐리어들은 흐르지 않음)를 나타낸다.

[0150] 도 27은 진공 준위, 금속의 일함수(Ψ_M), 및 산화물 반도체의 전자 친화도(χ) 사이의 관계를 나타낸다.

[0151] 종래의 산화물 반도체는 n형 반도체이다. 페르미 준위(E_F)는 밴드갭의 중앙의 진성 페르미 준위(E_i)로부터 떨어져 전도대 부근에 위치된다. 산화물 반도체에서 수소의 일부는 도너의 역할을 하며, 이는 산화물 반도체가 n형 반도체가 되도록 하는 요소 중 하나이다.

[0152] 이와 대하여, 본 명세서에 개시되는 본 발명의 일 실시예에 따른 산화물 반도체는 이하 방식으로 얻어지는 진성(i형) 또는 실질적으로 진성의 산화물 반도체이다: n형 반도체가 되도록 하는 요소인 수소가 고순도화를 위해 산화물 반도체로부터 제거되어, 산화물 반도체가 주성분 이외의 원소(즉, 불순물 원소)를 가능한 적게 포함한다. 즉, 본 명세서에 개시되는 본 발명의 일 실시예에 따른 산화물 반도체는, 불순물 원소를 첨가하는 것이 아니라, 수소 및 물 등의 불순물들을 가능한 많이 제거함으로써 얻어지는 고순도화된 i형(진성) 반도체 또는 실질적으로 진성의 반도체이다. 따라서, 페르미 준위(E_F)는 진성 페르미 준위(E_i)와 비교될 수 있다.

[0153] 산화물 반도체의 전자 친화도(χ)는 밴드갭(E_g)이 3.15 eV인 경우 4.3 eV라고 한다. 소스 전극과 드레인 전극에 포함되는 티타늄(Ti)의 일함수(Ψ_M)는 산화물 반도체의 전자 친화도(χ)와 실질적으로 동일하다. 이러한 경우, 금속 및 산화물 반도체 사이의 계면에 전자에 대한 쇼트키 장벽이 형성되지 않는다.

[0154] 다시 말해서, 금속의 일함수(Ψ_M)가 산화물 반도체의 전자 친화도(χ)와 동일하고, 금속 및 산화물 반도체가 서로 접하는 경우, 도 25a에 도시되는 에너지 밴드도(개략도)가 얻어진다.

[0155] 도 25b에 있어서, 검은점(●)은 전자를 나타낸다. 양의 전위가 드레인에 인가되는 경우, 전자는 장벽(h)을 넘어, 산화물 반도체에 주입되고, 드레인을 향하여 흐른다. 장벽(h)의 높이는 게이트 전압 및 드레인 전압에 따라 변한다. 양의 드레인 전압이 인가되는 경우, 장벽의 높이는 전압이 인가되지 않는 도 25a의 장벽의 높이보다 작고, 즉, 밴드갭(E_g)의 1/2보다 작다.

[0156] 이때, 도 26a에 도시되는 바와 같이, 전자는 게이트 절연층과 고순도화된 산화물 반도체와의 계면 근처(산화물 반도체의 에너지적으로 안정한 최저부)로 이동한다.

[0157] 도 26b에 도시되는 바와 같이, 음의 전위가 게이트 전극(G1)에 인가되는 경우, 소수 캐리어인 정공은 실질적으로 존재하지 않고, 그 결과 전류 값이 실질적으로 0에 가깝다.

[0158] 이와 같이, 산화물 반도체층은 가능한 적게 주성분 외에 원자(즉, 불순물 원자)를 포함하도록 고순도화 함으로써 진성(i형 반도체) 또는 실질적으로 진성이 된다. 따라서, 산화물 반도체 및 게이트 절연층 사이의 계면 특성이 현저하다. 이로 인해, 게이트 절연층에는 산화물 반도체와 양호한 계면을 형성할 수 있는 것이 요구된다. 구체적으로, 예를 들어, 다음과 같은 절연층, 즉, VHF대 내지 마이크로파대의 범위의 전원 주파수로 발생하는

고밀도 플라즈마를 이용한 CVD법으로 형성된 절연층 또는 스퍼터링법에 의해 형성된 절연층을 이용하는 것이 바람직하다.

- [0159] 산화물 반도체를 고순도화하면서, 산화물 반도체와 게이트 절연층 사이의 계면을 양호하게 하는 것에 의해, 예를 들어, 트랜지스터가 $1 \times 10^4 \mu\text{m}$ 의 채널 폭(W) 및 $3 \mu\text{m}$ 의 채널 길이(L)를 갖는 경우, 상온에서 $1 \times 10^{-13} \text{ A}$ 이하의 오프 상태 전류, 0.1 V/dec인 S 값(subthreshold swing)(100 nm 두께의 게이트 절연층을 가짐)을 실현할 수 있다.
- [0160] 산화물 반도체는 가능한 적게 주성분 이외의 원소(즉, 불순물 원소)를 포함하도록 전술한 바와 같이 고순도화되어, 박막 트랜지스터가 양호하게 동작할 수 있다.
- [0161] <변형예>
- [0162] 도 6, 도 7의 (A)와 (B) 및, 도 8의 (A)와 (B), 및 도 9의 (A)와 (B)는 반도체 장치의 구조의 변형예를 나타낸다. 이하, 변형예로서, 각각 트랜지스터(162)가 전술한 것과 다른 구조를 갖는 반도체 장치를 설명한다. 즉, 트랜지스터(160)의 구조는 상기와 동일하다.
- [0163] 도 6은 산화물 반도체층(140) 아래에 게이트 전극(136d)이 위치되고, 소스/드레인 전극(142a 및 142b)이 산화물 반도체층(140)의 하면에 접촉하는 트랜지스터(162)를 포함하는 반도체 장치의 일례를 나타낸다. 평면 구조는 단면에 따라 적절하게 변경할 수 있으므로, 여기에서는 단면만을 도시하고 있다.
- [0164] 도 6의 구조와 도 2a의 구조 사이의 큰 차이점은 소스/드레인 전극들(142a 및 142b)과 산화물 반도체층(140)이 접촉되는 위치에 있다. 즉, 도 2a의 구조에서, 산화물 반도체층(140)의 상면은 소스/드레인 전극들(142a 및 142b)과 접하는 반면, 도 6의 구조에서 산화물 반도체층(140)의 하면은 소스/드레인 전극들(142a 및 142b)과 접한다. 또한, 접촉 위치의 차이점은 이외의 전극, 절연층 등의 상이한 배치를 야기한다. 각 구성 요소의 세부 사항은 도 2a 및 도 2b와 동일하다.
- [0165] 구체적으로, 도 6에 나타나는 반도체 장치는 층간 절연층(128) 위에 제공되는 게이트 전극(136d), 게이트 전극(136d) 위에 제공되는 게이트 절연층(138), 게이트 절연층(138) 위에 제공되는 소스/드레인 전극들(142a 및 142b), 및 소스/드레인 전극들(142a 및 142b)의 상면과 접하는 산화물 반도체층(140)을 포함한다.
- [0166] 여기서, 게이트 전극(136d)은 층간 절연층(128) 위에 형성되는 절연층(132)에 매립되도록 제공된다. 게이트 전극(136d)과 마찬가지로, 전극(136a), 전극(136b), 및 전극(136c)은 각각 소스/드레인 전극(130a), 소스/드레인 전극(130b), 및 소스/드레인 전극(130c)과 접하여 형성된다.
- [0167] 트랜지스터(162) 위에 산화물 반도체층(140)의 일부와 접하도록 보호 절연층(144)이 제공된다. 층간 절연층(146)이 보호 절연층(144) 위에 제공된다. 보호 절연층(144) 및 층간 절연층(146)에는 소스/드레인 전극(142a) 및 소스/드레인 전극(142b)에 도달하는 개구들이 형성된다. 전극(150d) 및 전극(150e)은 각각 개구들을 통하여 소스/드레인 전극(142a) 및 소스/드레인 전극(142b)과 접하여 형성된다. 전극들(150d 및 150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144), 및 층간 절연층(146)에 제공되는 개구들을 통하여 각각 전극들(136a, 136b, 및 136c)과 접하여 전극들(150a, 150b, 및 150c)이 형성된다.
- [0168] 층간 절연층(146) 위에 절연층(152)이 제공된다. 절연층(152)에 매립되도록 전극들(154a, 154b, 154c, 및 154d)이 제공된다. 전극(154a)은 전극(150a)과 접하고 있다. 전극(154b)은 전극(150b)과 접하고 있다. 전극(154c)은 전극(150c) 및 전극(150d)과 접하고 있다. 전극(154d)은 전극(150e)과 접하고 있다.
- [0169] 도 7의 (A)와 (B)는 각각 산화물 반도체층(140) 위에 게이트 전극(136d)이 배치되는 반도체 장치의 구조의 일례를 나타낸다. 도 7의 (A)는 소스/드레인 전극들(142a 및 142b)이 산화물 반도체층(140)의 하면과 접하고 있는 구조의 일례를 나타낸다. 도 7의 (B)는 소스/드레인 전극들(142a 및 142b)이 산화물 반도체층(140)의 상면과 접하고 있는 구조의 일례를 나타낸다.
- [0170] 도 7의 (A)와 (B)의 구조 및 도 2a 및 도 6의 구조 사이에 큰 차이점은 산화물 반도체층(140) 위에 게이트 전극(136d)이 위치된다는 것이다. 또한, 도 7의 (A)의 구조 및 도 7의 (B)의 구조 사이에 큰 차이점은, 소스/드레인 전극들(142a 및 142b)이 산화물 반도체층(140)의 하면 또는 상면에 접하여 있다는 것이다. 또한, 이러한 차이점들에 의해 그 외의 전극, 절연층 등이 상이하게 배치된다. 각 구성요소의 세부사항들은 도 2a 및 도 2b 등의 구조와 동일하다.
- [0171] 구체적으로, 도 7의 (A)에 도시된 반도체 장치는 층간 절연층(128) 위에 제공되는 소스/드레인 전극들(142a 및

142b), 소스/드레인 전극들(142a 및 142b)의 상면과 접하는 산화물 반도체층(140), 및 산화물 반도체층(140) 위에 제공되는 게이트 절연층(138), 및 산화물 반도체층(140)과 중첩하는 영역의 게이트 절연층(138) 위의 게이트 전극(136d)을 포함한다.

- [0172] 도 7의 (B)의 반도체 장치는 층간 절연층(128) 위에 제공되는 산화물 반도체층(140), 산화물 반도체층(140)의 상면과 접하도록 제공되는 소스/드레인 전극들(142a 및 142b), 산화물 반도체층(140) 및 소스/드레인 전극들(142a 및 142b) 위에 제공되는 게이트 절연층(138), 및 산화물 반도체층(140)과 중첩하는 영역의 절연층(138) 위의 게이트 전극(136d)을 포함한다.
- [0173] 도 7의 (A)와 (B)의 구조에 있어서, 구성 요소(예를 들어, 전극(150a) 또는 전극(154a))는 도 2a 및 도 2b 등의 구조로부터 생략되는 경우가 있다. 이러한 경우, 제조 공정의 간략화 등의 부수적인 효과가 얻어질 수 있다. 도 2a 및 도 2b 등의 구조에서 불필요한 구성 요소가 생략될 수 있는 것은 물론이다.
- [0174] 도 8의 (A)와 (B)는 각각 소자의 크기가 비교적 크고 게이트 전극(136d)이 산화물 반도체층(140) 아래에 배치되는 경우의 일례를 나타낸다. 이러한 경우, 표면의 평탄성 및 커버리지에 대한 요구는 비교적 완화되므로, 절연층에 매립되도록 배선, 전극 등을 형성할 필요가 없다. 예를 들어, 도전층의 형성 후에 패터닝함으로써 게이트 전극(136d) 등이 형성될 수 있다. 여기에 도시되어 있지는 않지만, 마찬가지로의 방식으로 트랜지스터(160)가 형성될 수 있다.
- [0175] 도 8의 (A)의 구조 및 도 8의 (B)의 구조 사이의 큰 차이점은 소스/드레인 전극들(142a 및 142b)이 산화물 반도체층(140)의 하면 또는 상면과 접하고 있다는 것이다. 또한, 이러한 차이점에 의해, 그 외의 전극, 절연층 등이 상이하게 배치된다. 각 구성 요소의 세부 사항은 도 2a 및 도 2b 등의 구조와 동일하다.
- [0176] 구체적으로, 도 8의 (A)의 반도체 장치는 층간 절연층(128) 위에 제공되는 게이트 전극들(136d), 게이트 전극(136d) 위에 제공되는 게이트 절연층(138), 게이트 절연층(138) 위에 제공되는 소스/드레인 전극들(142a 및 142b), 및 소스/드레인 전극들(142a 및 142b)의 상면과 접하는 산화물 반도체층(140)을 포함한다.
- [0177] 도 8의 (B)의 반도체 장치는 층간 절연층(128) 위에 제공되는 게이트 전극(136d), 게이트 전극(136d) 위에 제공되는 게이트 절연층(138), 게이트 전극(136d)과 중첩하는 게이트 절연층(138) 위에 제공되는 산화물 반도체층(140), 및 산화물 반도체층(140)의 상면과 접촉하도록 제공되는 소스/드레인 전극들(142a 및 142b)을 포함한다.
- [0178] 또한, 도 8의 (A)와 (B)의 구조에 있어서, 도 2a 및 도 2b 등의 구조로부터 구성 요소가 생략되기도 한다. 이러한 경우에도, 제조 공정의 간략화 등의 부수적 효과가 얻어질 수 있다.
- [0179] 도 9의 (A)와 (B) 각각은 소자의 크기가 비교적 크고 게이트 전극(136d)이 산화물 반도체층(140) 위에 위치되는 경우의 일례를 나타낸다. 이러한 경우에도, 표면의 평탄성 및 커버리지에 대한 요구는 비교적 완화되어, 배선, 전극 등을 절연층 내에 매립되도록 형성할 필요가 없다. 예를 들어, 도전층의 형성 후에 패터닝함으로써 게이트 전극(136d) 등을 형성할 수 있다. 여기에 도시되어 있지는 않지만, 마찬가지로의 방식으로 트랜지스터(160)가 형성될 수 있다.
- [0180] 도 9의 (A)의 구조 및 도 9의 (B)의 구조 사이에 큰 차이점은 소스/드레인 전극들(142a 및 142b)이 산화물 반도체층(140)의 하면 또는 상면과 접하고 있다는 것이다. 이러한 차이점에 의해, 그 외의 전극, 절연층 등이 상이하게 배치된다. 각 구성요소의 세부사항들은 도 2a 및 도 2b 등의 구조와 동일하다.
- [0181] 구체적으로, 도 9의 (A)의 반도체 장치는 층간 절연층(128) 위에 제공되는 소스/드레인 전극들(142a 및 142b), 소스/드레인 전극들(142a 및 142b)의 상면과 접하는 산화물 반도체층(140), 소스/드레인 전극들(142a 및 142b) 및 산화물 반도체층(140) 위에 제공되는 게이트 절연층(138), 및 산화물 반도체층(140)과 중첩하는 영역의 게이트 절연층(138) 위의 게이트 전극(136d)을 포함한다.
- [0182] 도 9의 (B)의 반도체 장치는 층간 절연층(128) 위에 제공되는 산화물 반도체층(140), 산화물 반도체층(140)의 상면과 접하도록 제공되는 소스/드레인 전극들(142a 및 142b), 소스/드레인 전극들(142a 및 142b) 및 산화물 반도체층(140) 위에 제공되는 게이트 절연층(138), 및 산화물 반도체층(140)과 중첩하는 영역에서 게이트 절연층(138) 위에 제공되는 게이트 전극(136d)을 포함한다.
- [0183] 도 9의 (A)와 (B)의 구조에 있어서도, 도 2a 및 도 2b 등의 구조로부터 구성 요소가 생략되는 경우가 있다. 이러한 경우에 있어서도, 제조 공정의 간략화 등의 부수적인 효과가 얻어질 수 있다.
- [0184] 전술한 바와 같이, 본 명세서에서 개시되는 본 발명의 일 실시예에 따라서 신규한 구조를 갖는 반도체 장치가

실현될 수 있다. 본 실시예에 있어서, 각각 트랜지스터(160) 및 트랜지스터(162)를 적층하여 반도체 장치가 형성되는 예들을 기재하고 있지만, 반도체 장치의 구조는 이러한 구조에 한하지 않는다. 또한, 본 실시예에서는 각각 트랜지스터(160)의 채널 길이 방향이 트랜지스터(162)의 채널 길이 방향에 수직인 예들을 나타내었지만, 트랜지스터들(160 및 162) 사이의 위치 관계는 이러한 예로 한정되지 않는다. 또한, 트랜지스터(160) 및 트랜지스터(162)가 서로 중첩되도록 제공될 수도 있다.

[0185] 본 실시예에 있어서, 간략화를 위해 최소 기억 단위(1 비트)의 반도체 장치에 대하여 설명하고 있지만, 반도체 장치의 구조는 이에 한하지 않는다. 적절하게 복수의 반도체 장치들을 접속함으로써 보다 고도의 반도체 장치가 형성될 수 있다. 예를 들어, 복수의 전술한 반도체 장치들을 이용하여 NAND형 또는 NOR형 반도체 장치가 형성될 수 있다. 배선 구성은 도 1에 도시된 것으로 한정되지 않고 적절하게 변경될 수 있다.

[0186] 본 실시예에 따른 반도체 장치는 트랜지스터(162)가 낮은 오프 상태 전류이기 때문에 매우 장시간 동안 데이터를 기억할 수 있다. 즉, DRAM 등에 필요한 리프레쉬 동작이 필요치 않아, 전력 소비가 억제될 수 있다. 또한, 본 실시예에 따른 반도체 장치는 실질적으로 불휘발성 반도체 장치로서 사용될 수 있다.

[0187] 트랜지스터(162)의 동작을 스위칭하는 것으로 데이터의 기입 등이 수행되기 때문에, 고전압이 필요하지 않고, 소자의 열화가 문제되지 않는다. 또한, 트랜지스터의 온 및 오프에 따라 데이터가 기입 및 소거되므로, 고속 동작이 쉽게 실현될 수 있다. 또한, 플래시 메모리 등에 필요한 데이터를 소거하는 동작이 필요 없다는 점에서 유리하다.

[0188] 산화물 반도체 이외에 재료를 포함하는 트랜지스터는 충분히 고속으로 동작하기 때문에, 트랜지스터를 사용함으로써 기억된 데이터가 고속으로 판독될 수 있다.

[0189] 본 실시예에서 나타난 구조 및 방법들은 기타의 실시예들에 나타난 임의의 구조 및 방법들과 적절하게 조합될 수 있다.

[0190] (제2 실시예)

[0191] 본 실시예에 있어서는, 본 발명의 일 실시예에 따른 반도체 장치의 회로 구성 및 기억 소자의 동작을 설명한다.

[0192] 도 10은 반도체 장치에 포함되는 기억소자(이하, 메모리 셀이라고도 함)의 회로도의 일례를 나타낸다. 도 10에 도시된 메모리 셀(200)은 제1 배선(SL(소스 선)), 제2 배선(BL(비트선)), 제3 배선(S1(제1 신호 선)), 제4 배선(S2(제2 신호 선)), 제5 배선(WL(워드선)), 트랜지스터(201)(제1 트랜지스터), 트랜지스터(202)(제2 트랜지스터), 및 트랜지스터(203)(제3 트랜지스터)를 포함한다. 트랜지스터들(201 및 203)은 산화물 반도체 이외의 재료를 사용하여 형성된다. 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.

[0193] 트랜지스터(201)의 게이트 전극과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 하나는 서로 전기적으로 접속된다. 제1 배선과 트랜지스터(201)의 소스 전극은 서로 전기적으로 접속된다. 트랜지스터(201)의 드레인 전극과 트랜지스터(203)의 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 트랜지스터(203)의 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 트랜지스터(202)의 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 트랜지스터(203)의 게이트 전극은 서로 전기적으로 접속된다.

[0194] 다음, 회로의 동작을 구체적으로 설명한다.

[0195] 데이터가 메모리 셀(200)로 기입될 때, 제1 배선, 제5 배선, 및 제2 배선은 0V로 설정되고, 제4 배선은 2V로 설정된다. 제3 배선은 데이터 "1"을 기입하기 위해 2V로 설정되고, 데이터 "0"을 기입하기 위해 0V로 설정된다. 이때, 트랜지스터(203)가 턴-오프, 트랜지스터(202)가 턴-온 된다. 기입의 종료에 있어서, 제3 배선의 전위가 변화되기 전에, 제4 배선이 0V로 설정되어 트랜지스터(202)가 턴-오프된다.

[0196] 그 결과, 트랜지스터(201)의 게이트 전극에 접속되는 노드(이하, 노드 A라고 함)의 전위는 데이터 "1"의 기입 후에 약 2V로 설정되고, 데이터 "0"의 기입 후에 약 0V로 설정된다. 노드 A에는 제3 배선의 전위에 대응하는 전하는 기억되고, 트랜지스터(202)의 오프 상태 전류가 매우 낮거나, 실질적으로 0이기 때문에, 트랜지스터(201)의 게이트 전극의 전위는 장시간 동안 유지된다. 도 11은 기입 동작의 타이밍 차트의 일례를 나타낸다.

[0197] 다음, 메모리 셀로부터 데이터가 판독될 때, 제1 배선, 제4 배선, 및 제3 배선은 0V로 설정되고, 제5 배선은 2V로 설정되고, 제2 배선에 접속되는 판독 회로는 동작 상태로 설정된다. 이때, 트랜지스터(203)는 턴-온되고 트랜지스터(202)는 턴-오프된다.

- [0198] 데이터 "0"이 기입되었을 때 트랜지스터(201)는 턴-오프되고, 즉, 노드 A는 약 0V로 설정되어, 제2 배선과 제1 배선 간의 저항은 높게 된다. 반면, 트랜지스터(201)는 데이터 "1"이 기입되었을 때 온되고, 즉, 노드 A가 약 2V로 설정되어, 제2 배선과 제1 배선 간의 저항은 낮게 된다. 판독 회로는 메모리 셀의 저항 상태의 차이로부터 데이터 "0" 또는 데이터 "1"을 판독할 수 있다. 기입 시 제2 배선은 0V로 설정되고, 다르게는, 플로팅 상태일 수 있으며, 또는 0V보다 높은 전위를 갖도록 대전될 수도 있다. 판독 시 제3 배선은 0V로 설정되고, 다르게는, 플로팅 상태일 수 있으며, 또는 0V보다 높은 전위를 갖도록 대전될 수도 있다.
- [0199] 데이터 "1" 및 데이터 "0"은 편의상 정의한 것으로서, 반전될 수도 있다. 또한, 상기 동작 전압들은 하나의 일레이다. 동작 전압들은 트랜지스터(201)가 데이터 "0"의 경우에 턴-오프되고 데이터 "1"의 경우에 턴-온되며, 기입시 트랜지스터(202)가 턴-온되고 기입을 제외한 기간 동안 턴-오프되며, 트랜지스터(203)는 판독 시 턴-온되도록 설정된다. 특히, 주변 논리 회로의 전원 전위(VDD)가 2V 대신에 사용될 수도 있다.
- [0200] 도 12는 본 발명의 일 실시예에 따른 $(m \times n)$ 비트의 기억 용량을 갖는 반도체 장치의 블록 회로도이다.
- [0201] 본 발명의 일 실시예에 따른 반도체 장치는 m개의 제4 배선들, m개의 제5 배선들, n 개의 제2 배선들, n개의 제3 배선들, 복수의 메모리 셀(200(1,1) 내지 200(m,n))이 m행 n열의 행렬로 배치되는(m 및 n은 각각 자연수) 메모리 셀 어레이(201), 및 제2 배선들 및 제3 배선들을 구동하는 회로(211), 제4 배선들 및 제5 배선들을 구동하는 회로(213), 및 판독 회로(212) 등의 주변 회로들을 포함한다. 또 다른 주변 회로로서, 리프레쉬 회로 등이 제공될 수도 있다.
- [0202] 메모리 셀(200(i,j))은 메모리 셀들의 전형적인 일례로 여겨진다. 여기서, 메모리 셀(200(i,j))(i는 1 내지 m의 정수, j는 1 내지 n의 정수)은 제2 배선((BL)(j)), 제3 배선((S1)(j)), 제5 배선((WL)(i)), 제4 배선((S2)(i)), 및 제1 배선에 접속된다. 제1 배선 전위(V_s)는 제1 배선에 공급된다. 제2 배선들(BL(1) 내지 BL(n)) 및 제3 배선들(S1(1) 내지 S1(n))은 제2 배선들 및 제3 배선들을 구동하는 회로(211) 및 판독 회로(212)에 접속된다. 제5 배선들(WL(1) 내지 WL(m)) 및 제4 배선들(S2(1) 내지 S2(m))은 제4 배선들 및 제5 배선들을 구동하는 회로(213)에 접속된다.
- [0203] 도 12에 도시된 반도체 장치의 동작을 설명한다. 본 구조에 있어서, 데이터가 행마다 기입되고 판독된다.
- [0204] i번째 행의 메모리 셀들(200(i,1) 내지 200(i,n))에 데이터가 기입되는 경우, 제1 배선 전위(V_s)는 0V로 설정되고, 제5 배선(WL(i)) 및 제2 배선들(BL(1) 내지 BL(n))은 0V로 설정되고, 제4 배선(S2(i))은 2V로 설정된다. 이때, 트랜지스터(202)가 턴-온된다. 제3 배선들(S1(1) 내지 S1(n))에 있어서, 데이터 "1"이 기입되는 열은 2V로 설정되고, 데이터 "0"이 기입되는 열은 0V로 설정된다. 기입의 종료에 있어서, 제3 배선들(S1(1) 내지 S1(n))의 전위가 변화하기 전에, 제4 배선들(S2(i))은 0V로 설정되어 트랜지스터(202)가 턴-오프된다는 점에 유의한다. 또한, 비선택의 제5 배선 및 비선택의 제4 배선은 0V로 설정된다.
- [0205] 그 결과, 데이터 "1"이 기입되는 메모리 셀에서 트랜지스터(201)의 게이트 전극에 접속되는 노드(노드 A라고 함)의 전위는 약 2V로 설정되고, 데이터 "0"이 기입되는 메모리 셀에서 노드 A의 전위는 약 0V로 설정된다. 비선택 메모리 셀에서 노드 A의 전위는 변하지 않는다.
- [0206] i번째 행의 메모리 셀들(200(i,1) 내지 200(i,n))로부터 데이터가 판독되는 경우, 제1 배선 전위(V_s)는 0V로 설정되고, 제5 배선(WL(i))은 2V로 설정되고, 제4 배선(S2(i)) 및 제3 배선들(S1(1) 내지 S1(n))은 0V로 설정되고, 제2 배선들(BL(1) 내지 BL(n))에 접속되는 판독 회로는 동작 상태로 설정된다. 예를 들어, 판독 회로는 메모리 셀의 저항 상태의 차이로부터 데이터 "0" 또는 데이터 "1"을 판독할 수 있다. 비선택의 제5 배선 및 비선택의 제4 배선은 0V로 설정되어 있다는 점에 유의한다. 기입 시의 제2 배선은 0V로 설정되고, 다르게는, 플로팅 상태이거나 또는 0V보다 높은 전위를 갖도록 대전될 수도 있다는 점에 유의한다. 판독 시의 제3 배선은 0V로 설정되고, 다르게는, 플로팅 상태이거나, 또는 0V보다 높은 전위를 갖도록 대전될 수도 있다.
- [0207] 데이터 "1" 및 데이터 "0"은 편의상 정의되는 것으로, 반전될 수도 있다. 또한, 상기 동작 전압들은 하나의 일레이다. 동작 전압은, 트랜지스터(201)가 데이터 "0"의 경우에 턴-오프되고, 데이터 "1"의 경우에 턴-온되며, 트랜지스터(202)가 기입 시 턴-온되고, 기입을 제외한 기간 동안 턴-오프되며, 판독 시 트랜지스터(203)가 턴-온되도록, 설정된다. 특히, 주변 논리 회로의 전원 전위(VDD)가 2V 대신에 사용될 수도 있다.
- [0208] 다음, 본 발명의 일 실시예에 따른 회로 구성 및 기억 소자의 동작의 또 다른 일례를 설명한다.
- [0209] 도 13은 반도체 장치에 포함되는 메모리 셀 회로의 일례를 나타낸다. 도 13에 도시되는 메모리 셀(220)은 제1 배선(SL), 제2 배선(BL), 제3 배선(S1), 제4 배선(S2), 제5 배선(WL), 트랜지스터(201)(제1 트랜지스터), 트랜

지스터(202)(제2 트랜지스터), 및 트랜지스터(203)(제3 트랜지스터)를 포함한다. 트랜지스터들(201 및 203)은 산화물 반도체 이외의 재료를 이용하여 형성된다. 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.

- [0210] 도 13의 메모리 셀(220)의 회로에 있어서, 제3 배선 및 제4 배선의 방향은 도 10의 메모리 셀(200)의 회로에서의 방향과는 상이하다. 즉, 도 13의 메모리 셀(220)의 회로에 있어서, 제3 배선은 제5 배선의 방향(행 방향)에 위치되고, 제4 배선은 제2 배선의 방향(열 방향)에 위치된다.
- [0211] 트랜지스터(201)의 게이트 전극과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 하나는 서로 전기적으로 접속된다. 제1 배선과 트랜지스터(201)의 소스 전극은 서로 전기적으로 접속된다. 트랜지스터(201)의 드레인 전극과 트랜지스터(203)의 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 트랜지스터(203)의 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 트랜지스터(202)의 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 트랜지스터(203)의 게이트 전극은 서로 전기적으로 접속된다.
- [0212] 도 13의 메모리 셀(220)의 회로 동작은 도 10의 메모리 셀(200)의 회로 동작과 유사하므로, 상세한 설명은 생략한다.
- [0213] 도 14는 본 발명의 일 실시예에 따른 $(m \times n)$ 비트의 기억 용량을 갖는 반도체 장치의 블록 회로도이다.
- [0214] 본 발명의 일 실시예에 따른 반도체 장치는, m 개의 제3 배선들, m 개의 제5 배선들, n 개의 제2 배선들, n 개의 제4 배선들, 복수의 메모리 셀(220(1,1) 내지 220(m,n))이 m 행 n 열의 행렬로 배치되는(m 및 n 은 각각 자연수) 메모리 셀 어레이(230), 및 제2 배선들 및 제4 배선들을 구동하는 회로(231), 제3 배선들 및 제5 배선들을 구동하는 회로(233), 및 판독 회로(232) 등의 주변 회로들을 포함한다. 또 다른 주변 회로로서, 리프레쉬 회로 등이 제공될 수도 있다.
- [0215] 도 14의 반도체 장치에 있어서, 제3 배선 및 제4 배선의 방향은 도 12의 반도체 장치의 방향과 다르다. 즉, 도 14의 반도체 장치에 있어서, 제3 배선은 제5 배선의 방향(행 방향)으로 배치되고, 제4 배선은 제2 배선의 방향(열 방향)으로 위치된다.
- [0216] 메모리 셀(220(i,j))은 메모리 셀들의 전형적인 일례로서 간주된다. 여기서, 메모리 셀(220(i,j))(i 는 1 내지 m 의 정수, j 는 1 내지 n 의 정수)은 제2 배선(BL(j)), 제4 배선(S2(j)), 제5 배선(WL(i)), 제3 배선(S1(i)), 및 제1 배선에 접속된다. 제1 배선 전위(V_s)는 제1 배선에 공급된다. 제2 배선들(BL(1) 내지 BL(n)) 및 제4 배선들(S2(1) 내지 S2(n))은 제2 배선들 및 제4 배선들을 구동하는 회로(231) 및 판독 회로(232)에 접속된다. 제5 배선들(WL(1) 내지 WL(m)) 및 제3 배선들(S1(1) 내지 S1(m))은 제3 배선들 및 제5 배선들을 구동하는 회로(233)에 접속된다.
- [0217] 도 14에 도시되는 반도체 장치의 동작을 설명한다. 본 구조에 있어서, 데이터는 열마다 기입되고 행마다 판독된다.
- [0218] 데이터가 j 번째 열의 메모리 셀들(220(1, j) 내지 220(m,j))에 기입되는 경우, 제1 배선 전위(V_s)는 0V로 설정되고, 제5 배선(WL(1) 내지 WL(m)) 및 제2 배선들(BL(j))은 0V로 설정되고, 제4 배선(S2(j))은 2V로 설정된다. 제3 배선들(S1(1) 내지 S1(m)) 중에서, 데이터 "1"이 기입되는 행은 2V로 설정되고, 데이터 "0"이 기입되는 행은 0V로 설정된다. 기입의 종료에 있어서, 제3 배선들(S1(1) 내지 S1(m))의 전위들이 변화되기 전에, 제4 배선들(S2(j))이 0V로 설정되어 트랜지스터(202)가 턴-오프된다는 점에 유의한다. 또한, 비선택의 제2 배선 및 비선택의 제4 배선은 0V로 설정된다.
- [0219] 그 결과, 데이터 "1"이 기입되는 메모리 셀의 트랜지스터(201)의 게이트 전극에 접속되는 노드(노드 A라고 함)의 전위는 약 2V로 설정되고, 데이터 "0"이 기입되는 메모리 셀의 노드 A의 전위는 약 0V로 설정된다. 비선택 메모리 셀의 노드 A의 전위는 변하지 않는다.
- [0220] i 번째 행의 메모리 셀들(200($i,1$) 내지 200(i,n))로부터 데이터가 판독되는 경우, 제1 배선은 0V로 설정되고, 제5 배선(WL(i))은 2V로 설정되고, 제4 배선(S2(1) 내지 S2(n)) 및 제3 배선들(S1(i))은 0V로 설정되고, 제2 배선들(BL(1) 내지 BL(n))에 접속되는 판독 회로는 동작 상태로 설정된다. 예를 들어, 판독 회로는 메모리 셀의 저항 상태의 차이로부터 데이터 "0" 또는 데이터 "1"을 판독할 수 있다. 비선택의 제5 배선 및 비선택의 제3 배선은 0V로 설정되어 있다는 점에 유의한다. 기입 시의 제2 배선은 0V로 설정되고, 다르게는, 플로팅 상태일 수 있으며, 또는 0V보다 높은 전위를 갖도록 대전될 수도 있다는 점에 유의한다. 판독 시의 제3 배선은 0V로 설정되고, 다르게는, 플로팅 상태일 수 있으며, 또는 0V보다 높은 전위를 갖도록 대전될 수도 있다.

- [0221] 데이터 "1" 및 데이터 "0"은 편의상 정의된 것으로서, 반전될 수도 있다. 또한, 상기 동작 전압들은 하나의 일레이다. 동작 전압들은 트랜지스터(201)가 데이터 "0"의 경우에 턴-오프되고, 데이터 "1"의 경우에 턴-온되며, 트랜지스터(202)는 기입 시 턴-온되고, 기입을 제외한 기간 동안 턴-오프되며, 트랜지스터(203)는 판독 시 턴-온되도록 설정된다. 특히, 2V 대신에 주변 논리 회로의 전원 전위(VDD)가 사용될 수도 있다.
- [0222] 산화물 반도체를 포함하는 트랜지스터의 오프 상태 전류는 매우 낮기 때문에, 트랜지스터를 사용함으로써 기억된 데이터가 매우 장시간 동안 유지될 수 있다. 즉, 리프레쉬 동작이 불필요하거나, 리프레쉬 동작의 빈도가 매우 낮으므로, 전력 소비가 충분히 감소될 수 있다. 또한, 기억된 데이터는 전력이 공급되지 않더라도 장시간 동안 유지될 수 있다.
- [0223] 또한, 데이터를 기입하기 위해 고전압이 필요하지 않고, 소자의 열화가 문제되지 않는다. 또한, 트랜지스터의 온 상태 및 오프 상태에 따라 데이터가 기입되므로, 고속 동작이 쉽게 실현될 수 있다. 또한, 플래시 메모리 등에 필요한 데이터를 소거하는 동작이 필요치 않는다.
- [0224] 산화물 반도체 이외에 재료를 포함하는 트랜지스터는 충분히 고속으로 동작하기 때문에, 트랜지스터를 사용함으로써 기억된 데이터가 고속에서 판독될 수 있다.
- [0225] (제3 실시예)
- [0226] 본 실시예에 있어서는, 제2 실시예와 상이한 회로 구성 및 기억 소자의 동작의 일례를 설명한다.
- [0227] 도 15는 반도체 장치에 포함되는 메모리 셀의 회로도의 일례를 나타낸다. 도 15에 도시되는 메모리 셀(240)은 제1 배선(SL), 제2 배선(BL), 제3 배선(S1), 제4 배선(S2), 제5 배선(WL), 트랜지스터(201)(제1 트랜지스터), 트랜지스터(202)(제2 트랜지스터), 및 용량 소자(204)를 포함한다. 트랜지스터(201)는 산화물 반도체 이외의 재료를 사용하여 형성된다. 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.
- [0228] 트랜지스터(201)의 게이트 전극과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 하나와 용량 소자(204)의 전극들 중 하나는 서로 전기적으로 접속된다. 제1 배선과 트랜지스터(201)의 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 트랜지스터(201)의 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 트랜지스터(202)의 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 용량 소자(204)의 전극 중 다른 하나는 서로 전기적으로 접속된다.
- [0229] 다음, 회로의 동작을 구체적으로 설명한다.
- [0230] 데이터가 메모리 셀(240)에 기입되는 경우, 제1 배선, 제5 배선, 및 제2 배선은 0V로 설정되고, 제4 배선은 2V로 설정된다. 제3 배선은 데이터 "1"을 기입하기 위해 2V로 설정되고, 데이터 "0"을 기입하기 위해 0V로 설정된다. 이때, 트랜지스터(202)가 턴-온된다. 기입의 종료에 있어서, 제3 배선의 전위가 변화하기 전에, 제4 배선이 0V로 설정되어 트랜지스터(202)가 턴-오프된다는 점에 유의한다.
- [0231] 그 결과, 데이터 "1"의 기입 후에 트랜지스터(201)의 게이트 전극에 접속되는 노드(노드 A라고 함)의 전위가 약 2V로 설정되고, 데이터 "0"의 기입 후에는 약 0V로 설정된다.
- [0232] 데이터가 메모리 셀(240)로부터 판독되는 경우, 제1 배선, 제4 배선, 및 제3 배선은 0V로 설정되고, 제5 배선은 2V로 설정되고, 제2 배선에 접속되는 판독 회로는 동작 상태로 설정된다. 이때, 트랜지스터(202)는 턴-오프된다.
- [0233] 제5 배선이 2V로 설정되는 경우의 트랜지스터(201)의 상태를 설명한다. 트랜지스터(201)의 상태를 판정하는 노드 A의 전위는 제5 배선과 노드 A 간의 용량(C1) 및 트랜지스터(201)의 게이트와 소스와 드레인 간의 용량(C2)에 의존한다.
- [0234] 도 16은 제5 배선의 전위와 노드 A의 전위 사이의 관계를 나타낸다. 여기서, 일례로서, 트랜지스터(201)가 오프될 때 $C1/C2 \gg 1$ 가 충족되고, 트랜지스터(201)가 온일 때 $C1/C2 = 1$ 가 충족된다. 트랜지스터(201)의 문턱 전압은 2.5V이다. 도 16에 도시된 그래프에서와 같이 제5 배선이 2V로 설정되는 조건 하에서는, 데이터 "0"이 기입되는 경우에 노드 A가 약 2V로 설정되고, 트랜지스터(201)는 오프된다. 반면, 데이터 "1"이 기입되는 경우에 노드 A는 약 3.25V로 설정되고, 트랜지스터(201)는 온 된다. 메모리 셀은 트랜지스터(201)가 온 될 때 낮은 저항을 갖고, 트랜지스터(201)가 오프될 때 높은 저항을 갖는다. 따라서, 판독 회로는 메모리 셀의 저항 상태의 차이로부터 데이터 "0" 또는 데이터 "1"을 판독할 수 있다. 데이터가 판독되지 않을 때, 즉, 제5 배선의 전

위가 0V일 때, 노드 A는 데이터 "0"이 기입된 경우에 약 0V로 설정되고, 데이터 "1"이 기입된 경우에 약 2V로 설정되고, 트랜지스터(201)는 양쪽 모두에 있어서 오프라는 점에 유의한다.

- [0235] 판독 시의 제3 배선은 0V로 설정되고, 다르게는, 플로팅 상태이거나, 0V보다 높은 전위를 갖도록 대전될 수 있다. 데이터 "1" 및 데이터 "0"은 편의상 정의되는 것으로서, 반전될 수도 있다.
- [0236] 전술한 동작 전압들은 하나의 일례이다. 기입 시의 제3 배선의 전위는, 기입 후에 제5 배선의 전위가 0V로 설정되는 경우 트랜지스터(201)가 오프되고 기입 후 트랜지스터(202)가 턴-오프되는 한, 데이터 "0" 및 데이터 "1"의 전위들로부터 선택될 수 있다. 판독 시의 제5 배선의 전위는 트랜지스터(201)가 데이터 "0"이 기입되는 경우 턴-오프되고, 데이터 "1"이 기입되는 경우 턴-온되도록 선택될 수 있다. 또한, 트랜지스터(201)의 상기 문턱 전압은 일례이다. 트랜지스터(201)의 상기 상태가 변화되지 않는 한 트랜지스터(201)는 임의의 문턱 전압을 가질 수 있다.
- [0237] 본 발명의 일 실시예에 따라 도 17에 도시된 반도체 장치는, m개의 제4 배선들, m개의 제5 배선들, n개의 제2 배선들, n개의 제3 배선들, 복수의 메모리 셀(240(1,1) 내지 240(m,n))이 m행 n열의 행렬로 배치되는(m 및 n은 각각 자연수) 메모리 셀 어레이(250), 및 제2 배선들 및 제3 배선들을 구동하는 회로(211), 제4 배선들 및 제5 배선들을 구동하는 회로(213), 및 판독 회로(212) 등의 주변 회로들을 포함한다. 또 다른 주변 회로로서, 리프레쉬 회로 등이 제공될 수도 있다.
- [0238] 메모리 셀(240(i,j))은 메모리 셀들의 전형적인 일례로서 간주된다. 여기서, 메모리 셀(240(i,j))(i는 1 내지 m의 정수, j는 1 내지 n의 정수)은 제2 배선(BL(j)), 제3 배선(S1(j)), 제5 배선(WL(i)), 제4 배선(S2(i)), 및 제1 배선에 접속된다. 제1 배선 전위(Vs)는 제1 배선에 공급된다. 제2 배선들(BL(1) 내지 BL(n)) 및 제3 배선들(S1(1) 내지 S1(n))은 제2 배선들 및 제3 배선들을 구동하는 회로(211) 및 판독 회로(212)에 접속된다. 제5 배선들(WL(1) 내지 WL(m)) 및 제4 배선들(S2(1) 내지 S2(m))은 제4 배선들 및 제5 배선들을 구동하는 회로(213)에 접속된다.
- [0239] 도 17에 도시된 반도체 장치의 동작을 설명한다. 본 구조에 있어서, 데이터는 행마다 기입되고 판독된다.
- [0240] 데이터가 i번째 행의 메모리 셀들(240(i,1) 내지 240(i,n))에 기입되는 경우, 제1 배선 전위(Vs)는 0V로 설정되고, 제5 배선(WL(i)) 및 제2 배선들(BL(1) 내지 BL(n))은 0V로 설정되고, 제4 배선(S2(i))은 2V로 설정된다. 이때, 트랜지스터(202)가 턴-온된다. 제3 배선들(S1(1) 내지 S1(n)) 중에서, 데이터 "1"이 기입되는 열은 2V로 설정되고, 데이터 "0"이 기입되는 열은 0V로 설정된다. 기입의 종료에 있어서, 제3 배선들(S1(1) 내지 S1(n))의 전위들이 변화되기 전에, 제4 배선(S2(i))은 0V로 설정되어 트랜지스터(202)가 턴-오프된다는 점에 유의한다. 또한, 비선택의 제5 배선 및 비선택의 제4 배선은 0V로 설정된다.
- [0241] 그 결과, 데이터 "1"이 기입되는 메모리 셀의 트랜지스터(201)의 게이트 전극에 접속되는 노드(노드 A라고 함)의 전위는 약 2V로 설정되고, 데이터 "0"이 기입된 후 노드 A의 전위는 약 0V로 설정된다. 비선택 메모리 셀의 노드 A의 전위는 변하지 않는다.
- [0242] 데이터가 i번째 행의 메모리 셀들(240(i,1) 내지 240(i,n))로부터 판독될 때, 제1 배선 전위(Vs)는 0V로 설정되고, 제5 배선(WL(i))은 2V로 설정되고, 제4 배선(S2(i)) 및 제3 배선들(S1(1) 내지 S1(n))은 0V로 설정되고, 제2 배선들(BL(1) 내지 BL(n))에 접속되는 판독 회로는 동작 상태로 설정된다. 이때, 트랜지스터(202)가 턴-오프된다. 비선택의 제5 배선 및 비선택의 제4 배선은 0V로 설정되어 있다는 점에 유의한다.
- [0243] 판독 시의 트랜지스터(201)의 상태를 설명한다. 전술한 바와 같이, 트랜지스터(201)가 오프될 때 $C1/C2 \gg 1$ 가 충족되고, 트랜지스터(201)가 온 될 때 $C1/C2 = 1$ 가 충족된다고 가정하면, 제5 배선의 전위와 노드 A의 전위 사이의 관계가 도 16에 의해 도시되어 있다. 트랜지스터(201)의 문턱 전압은 2.5V이다. 비선택 메모리 셀에 있어서, 제5 배선의 전위는 0V로 설정된다. 따라서, 데이터 "0"을 갖는 메모리 셀의 노드 A는 약 0V로 설정되고, 데이터 "1"을 갖는 메모리 셀의 노드 A는 약 2V로 설정되고, 트랜지스터(201)는 양쪽 모두에 있어서 오프된다. i번째 행의 메모리 셀에 있어서, 제5 배선의 전위는 2V로 설정된다. 따라서, 데이터 "0"을 갖는 메모리 셀의 노드 A는 약 2V로 설정되고, 트랜지스터(201)는 오프되는 반면, 데이터 "1"을 갖는 메모리 셀의 노드 A는 약 3.25V로 설정되고, 트랜지스터(201)는 온된다. 메모리 셀은 트랜지스터(201)가 온 될 때 낮은 저항을 갖고, 트랜지스터(201)가 오프될 때 높은 저항을 갖는다. 그 결과, i번째 행의 메모리 셀들 중에서 데이터 "0"을 갖는 메모리 셀만이 낮은 저항을 갖는다. 판독 회로는 제2 배선에 접속되는 부하 저항의 차이에 따라 데이터 "0" 또는 데이터 "1"을 판독할 수 있다.
- [0244] 판독 시의 제3 배선은 0V로 설정되고, 다르게는, 플로팅 상태이거나, 0V보다 높은 전위를 갖도록 대전될 수 있

다. 데이터 "1" 및 데이터 "0"은 편의상 정의된 것으로서, 반전될 수도 있다.

- [0245] 전술한 동작 전압들은 하나의 일레이다. 기입 시의 제3 배선의 전위는, 제5 배선의 전위가 0V로 설정되는 경우에 트랜지스터(201)가 오프이고 기입 후 트랜지스터(202)가 턴오프되는 한, 데이터 "0" 및 데이터 "1"의 전위들로부터 선택될 수 있다. 판독 시의 제5 배선의 전위는, 트랜지스터(201)가 데이터 "0"이 기입되는 경우 턴-오프되고, 데이터 "1"이 기입되는 경우 턴-온되도록, 선택될 수 있다. 또한, 트랜지스터(201)의 상기 문턱 전압은 일레이다. 트랜지스터(201)는 트랜지스터(201)의 상기 상태가 변하지 않는 한 임의의 문턱 전압을 가질 수 있다.
- [0246] 산화물 반도체를 포함하는 트랜지스터의 오프 상태 전류는 매우 낮기 때문에, 트랜지스터를 이용함으로써 기억된 데이터가 매우 장시간 동안 유지될 수 있다. 즉, 리프레쉬 동작이 불필요하거나, 리프레쉬 동작의 빈도가 매우 낮기 때문에, 전력 소비가 충분히 감소될 수 있다. 또한, 전력이 공급되지 않더라도 기억된 데이터가 장시간 동안 유지될 수 있다.
- [0247] 또한, 데이터를 기입하기 위해 고전압이 필요하지 않고, 소자의 열화가 문제되지 않는다. 또한, 트랜지스터의 온 상태 및 오프 상태에 따라 데이터가 기입되므로, 고속 동작이 쉽게 실현될 수 있다. 또한, 플래시 메모리 등에 필요한 데이터를 소거하는 동작이 필요 없다.
- [0248] 산화물 반도체 이외에 재료를 포함하는 트랜지스터는 충분히 고속으로 동작할 수 있기 때문에, 트랜지스터를 이용함으로써 기억된 데이터가 고속으로 판독될 수 있다.
- [0249] 다음, 본 발명의 일 실시예에 따른 회로 구성 및 기억 소자의 동작의 또 다른 일례를 설명한다.
- [0250] 도 18은 반도체 장치에 포함되는 메모리 셀 회로의 일례를 나타낸다. 도 18에 도시된 메모리 셀(260)은 제1 배선(SL), 제2 배선(BL), 제3 배선(S1), 제4 배선(S2), 제5 배선(WL), 트랜지스터(201), 트랜지스터(202), 및 용량 소자(204)를 포함한다. 트랜지스터(201)는 산화물 반도체 이외의 재료를 이용하여 형성된다. 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.
- [0251] 도 18의 메모리 셀(260)의 회로에 있어서, 제3 배선 및 제4 배선의 방향은 도 15의 메모리 셀(240)의 회로에 방향과 다르다. 즉, 도 18의 메모리 셀(260)의 회로에 있어서, 제3 배선은 제5 배선의 방향(행 방향)에 배치되고, 제4 배선은 제2 배선의 방향(열 방향)에 배치된다.
- [0252] 트랜지스터(201)의 게이트 전극, 트랜지스터(202)의 소스 전극과 드레인 전극 중 하나, 및 용량 소자(204)의 하나의 전극은 서로 전기적으로 접속된다. 제1 배선과 트랜지스터(201)의 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 트랜지스터(201)의 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 트랜지스터(202)의 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 용량 소자(204)의 다른 전극은 서로 전기적으로 접속된다.
- [0253] 도 18의 메모리 셀(260)의 회로 동작은 도 15의 메모리 셀(240)의 회로 동작과 유사하므로, 상세한 설명은 생략한다.
- [0254] 도 19는 본 발명의 일 실시예에 따른 $(m \times n)$ 비트의 기억 용량을 갖는 반도체 장치의 블록 회로도이다.
- [0255] 본 발명의 일 실시예에 따른 반도체 장치는 m 개의 제3 배선들, m 개의 제5 배선들, n 개의 제2 배선들, n 개의 제4 배선들, 복수의 메모리 셀($260(1,1)$ 내지 $260(m,n)$)이 m 행 n 열의 행렬로 배치되는(m 및 n 은 각각 자연수) 메모리 셀 어레이(270), 및 제2 배선들 및 제4 배선들을 구동하는 회로(231), 제3 배선들 및 제5 배선들을 구동하는 회로(233), 및 판독 회로(232) 등의 주변 회로들을 포함한다. 또 다른 주변 회로로서, 리프레쉬 회로 등이 제공될 수도 있다.
- [0256] 도 19의 반도체 장치에 있어서, 제3 배선 및 제4 배선의 방향은 도 17의 반도체 장치의 방향과 다르다. 즉, 도 19의 반도체 장치에 있어서, 제3 배선은 제5 배선의 방향(행 방향)으로 배치되고, 제4 배선은 제2 배선의 방향(열 방향)으로 배치된다.
- [0257] 메모리 셀($260(i,j)$)은 메모리 셀들의 전형적인 일례로서 간주된다. 여기서, 메모리 셀($260(i,j)$)(i 는 1 내지 m 의 정수, j 는 1 내지 n 의 정수)은 제2 배선($BL(j)$), 제4 배선($S2(j)$), 제5 배선($WL(i)$), 제3 배선($S1(i)$), 및 제1 배선에 접속된다. 제1 배선 전위(V_s)는 제1 배선에 공급된다. 제2 배선들($BL(1)$ 내지 $BL(n)$) 및 제4 배선들($S2(1)$ 내지 $S2(n)$)은 제2 배선들 및 제4 배선들을 구동하는 회로(231) 및 판독 회로(232)에 접속된다. 제5

배선들(WL(1) 내지 WL(m)) 및 제3 배선들(S1(1) 내지 S1(m))은 제3 배선들 및 제5 배선들을 구동하는 회로(233)에 접속된다.

- [0258] 도 19의 반도체 장치의 동작은 도 17의 반도체 장치의 동작과 유사하므로, 상세한 설명은 생략한다.
- [0259] 산화물 반도체를 포함하는 트랜지스터의 오프 상태 전류는 매우 낮기 때문에, 트랜지스터를 이용함으로써 기억된 데이터가 매우 장시간 동안 유지될 수 있다. 즉, 리프레쉬 동작이 불필요하거나, 리프레쉬 동작의 빈도가 매우 낮기 때문에, 전력 소비가 충분히 감소될 수 있다. 또한, 전력이 공급되지 않을 때에도 기억된 데이터가 장시간 동안 유지될 수 있다.
- [0260] 데이터를 기입하기 위해 고전압이 필요하지 않고, 소자의 열화가 문제되지 않는다. 또한, 트랜지스터의 온 상태 및 오프 상태에 따라 데이터가 기입되므로, 고속 동작이 쉽게 실현될 수 있다. 또한, 플래시 메모리 등에 필요한 데이터를 소거하는 동작이 필요없다.
- [0261] 산화물 반도체 이외에 재료를 포함하는 트랜지스터는 충분히 고속으로 동작할 수 있기 때문에, 트랜지스터를 이용함으로써 기억된 데이터가 고속으로 판독될 수 있다.
- [0262] (제4 실시예)
- [0263] 본 실시예에 있어서, 제2 실시예 및 제3 실시예와 다른 회로 구성 및 기억 소자의 동작의 일례를 설명한다.
- [0264] 도 20a 및 도 20b 각각은 반도체 장치에 포함되는 메모리 셀의 회로도의 일례를 나타낸다. 도 20a에 도시된 메모리 셀(280a) 및 도 20b에 도시된 메모리 셀(280b)에 있어서, 각각 도 10의 메모리 셀(200) 및 도 13의 메모리 셀(220)의 트랜지스터와 비교하여, 직렬 접속된 제1 트랜지스터 및 제3 트랜지스터는 서로 대체된다.
- [0265] 도 20a의 메모리 셀(280a)에 있어서, 트랜지스터(201)의 게이트 전극 및 트랜지스터(202)의 소스 전극과 드레인 전극 중 하나는 서로 전기적으로 접속된다. 제1 배선과 트랜지스터(203)의 소스 전극은 서로 전기적으로 접속된다. 트랜지스터(203)의 드레인 전극과 트랜지스터(201)의 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 트랜지스터(201)의 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 트랜지스터(202)의 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 트랜지스터(203)의 게이트 전극은 서로 전기적으로 접속된다.
- [0266] 도 20b의 메모리 셀(280b)에 있어서, 제3 배선 및 제4 배선의 방향은 도 20a에 메모리 셀 회로의 방향과 다르다. 즉, 도 20b에 메모리 셀 회로에 있어서, 제4 배선은 제2 배선의 방향(열 방향)에 위치되고 제3 배선은 제5 배선의 방향(행 방향)에 위치된다.
- [0267] 도 20a의 메모리 셀(280a) 및 도 20b의 메모리 셀(280b)의 회로 동작들은 도 10의 메모리 셀(200) 및 도 13의 메모리 셀(220)과 각각 동일하므로, 상세한 설명은 생략한다.
- [0268] (제5 실시예)
- [0269] 본 실시예에 있어서, 제2 실시예 내지 제4 실시예와 상이한 회로 구성 및 기억 소자의 동작의 일례를 설명한다.
- [0270] 도 21은 반도체 장치에 포함되는 메모리 셀의 회로도의 일례를 나타낸다. 도 21의 메모리 셀(290)의 회로는 도 10의 메모리 셀(200)과 비교하여 노드 A와 제1 배선 사이에 용량 소자를 더 포함한다.
- [0271] 도 21에 도시된 메모리 셀(290)은 제1 배선(SL), 제2 배선(BL), 제3 배선(S1), 제4 배선(S2), 제5 배선(WL), 트랜지스터(201), 트랜지스터(202), 트랜지스터(203), 및 용량 소자(205)를 포함한다. 트랜지스터들(201 및 203)은 산화물 반도체 이외의 재료를 이용하여 형성된다. 트랜지스터(202)는 산화물 반도체를 이용하여 형성된다.
- [0272] 트랜지스터(201)의 게이트 전극과, 트랜지스터(202)의 소스 전극 및 드레인 전극 중 하나, 및 용량 소자(205)의 전극들 중 하나는 서로 전기적으로 접속된다. 제1 배선과, 트랜지스터(201)의 소스 전극과, 용량 소자(205)의 다른 하나의 전극은 서로 전기적으로 접속된다. 트랜지스터(201)의 드레인 전극과 트랜지스터(203)의 소스 전극은 서로 전기적으로 접속된다. 제2 배선과 트랜지스터(203)의 드레인 전극은 서로 전기적으로 접속된다. 제3 배선과 트랜지스터(202)의 소스 전극 및 드레인 전극 중 다른 하나는 서로 전기적으로 접속된다. 제4 배선과 트랜지스터(202)의 게이트 전극은 서로 전기적으로 접속된다. 제5 배선과 트랜지스터(203)의 게이트 전극은 서로 전기적으로 접속된다.
- [0273] 도 21에 메모리 셀 회로의 동작은 도 10에 메모리 셀 회로의 동작과 유사하므로, 상세한 설명은 생략한다. 메

모리 셀이 용량 소자(205)를 포함하는 경우, 데이터 유지 특성이 개선된다.

- [0274] (제6 실시예)
- [0275] 본 발명의 일 실시예에 따른 반도체 장치에 포함되는 판독 회로의 일례를 도 22를 참조하여 설명한다.
- [0276] 도 22에 도시된 판독 회로는 트랜지스터(206) 및 차동 증폭기(207)를 포함한다.
- [0277] 판독 시의 단자 A는 데이터를 판독하는 메모리 셀에 접속되는 제2 배선에 접속된다. 또한, 바이어스 전압(Vbias)이 트랜지스터(206)의 게이트 전극에 인가되고, 소정의 전류가 트랜지스터(206)를 통하여 흐른다.
- [0278] 메모리 셀은 기억된 데이터 "1" 또는 데이터 "0"에 따라 상이한 저항을 갖는다. 구체적으로, 선택된 메모리 셀의 트랜지스터(201)가 온될 때, 메모리 셀은 낮은 저항을 갖는 반면, 선택된 메모리 셀의 트랜지스터(201)가 오프될 때, 메모리 셀은 높은 저항을 갖는다.
- [0279] 메모리 셀이 높은 저항을 갖는 경우, 단자 A의 전위는 참조 전위(Vref)보다 높고, 데이터 "1"이 차동 증폭기의 출력으로부터 출력된다. 한편, 메모리 셀이 낮은 저항을 갖는 경우, 단자 A의 전위는 참조 전위(Vref)보다 낮고, 데이터 "0"이 차동 증폭기의 출력으로부터 출력된다.
- [0280] 이와 같이, 판독 회로는 메모리 셀로부터 데이터를 판독할 수 있다. 본 실시예의 판독 회로는 일례이며, 공지의 회로가 사용될 수도 있다는 점에 유의한다. 예를 들어, 판독 회로가 프리차지 회로를 포함할 수도 있다. 참조 전위(Vref) 대신에 참조용의 제2 배선이 사용될 수도 있다. 차동 증폭기 대신에 래치 감지 증폭기를 사용해도 된다.
- [0281] (제7 실시예)
- [0282] 본 실시예에서는, 상기 실시예들에 따른 반도체 장치 중 임의의 것을 포함하는 전자 기기들의 일례를 도 23a 내지 도 23f를 참조하여 설명한다. 상기 실시예에 따른 반도체 장치는 전력이 공급되지 않을 때에도 데이터를 유지할 수 있다. 또한, 기입 또는 소거로 인한 열화가 발생하지 않는다. 또한, 반도체 장치는 고속으로 동작할 수 있다. 이로 인해, 반도체 장치를 이용함으로써 신규한 구조를 갖는 전자 기기가 제공될 수 있다. 상기 실시예에 따른 반도체 장치들은 회로 보드 등에 집적 및 실장되어, 전자 기기 내에 배치되어 있다.
- [0283] 도 23a는 상기 실시예에 따른 반도체 장치를 포함하는 노트북 퍼스널 컴퓨터를 나타낸다. 노트북 퍼스널 컴퓨터는 본체(301), 하우징(302), 표시부(303), 키보드(304) 등을 포함한다. 본 발명의 일 실시예에 따른 반도체 장치는 노트북 퍼스널 컴퓨터에 적용되어, 노트북 퍼스널 컴퓨터는 전력이 공급되지 않아도 데이터를 유지할 수 있다. 또한, 기입 또는 소거로 인한 열화가 발생하지 않는다. 또한, 노트북 퍼스널 컴퓨터는 고속으로 동작할 수 있다. 이로 인해, 노트북 퍼스널 컴퓨터에 대한 본 발명의 일 실시예에 따른 반도체 장치를 적용하는 것이 바람직하다.
- [0284] 도 23b는 상기 실시예에 따른 반도체 장치를 포함하는 PDA(personal digital assistant)를 나타낸다. 본체(311)에는 표시부(313), 외부 인터페이스(315), 조작 버튼(314) 등이 제공된다. 액세서리인 스타일러스(312)가 PDA를 조작하도록 사용된다. 본 발명의 일 실시예에 따른 반도체 장치가 PDA에 적용되어, PDA는 전력이 공급되지 않을 때에도 데이터를 유지할 수 있다. 또한, 기입 또는 소거로 인한 열화가 발생하지 않는다. 또한, PDA는 고속으로 동작할 수 있다. 이로 인해, PDA에 대하여 본 발명의 일 실시예에 따른 반도체 장치를 적용하는 것이 바람직하다.
- [0285] 도 23c는 상기 실시예에 따른 반도체 장치를 포함하는 전자 페이퍼의 일례로서, 전자 서적 리더(e-book reader; 320)를 나타낸다. 전자 서적 리더(320)는 하우징(321) 및 하우징(323)인 2개의 하우징을 포함한다. 하우징(321) 및 하우징(323)은 힌지(337)로 결합되어, 힌지(337)를 축으로서 전자 서적 리더(320)가 개폐될 수 있다. 이러한 구조에 있어서, 전자 서적 리더(320)는 종이 서적처럼 사용될 수 있다. 본 발명의 일 실시예에 따른 반도체 장치는 전자 페이퍼에 적용되어, 전력이 공급되지 않을 때에도 전자 페이퍼가 데이터를 유지할 수 있다. 또한, 기입 또는 소거로 인한 열화가 발생하지 않는다. 또한, 전자 페이퍼는 고속으로 동작할 수 있다. 이러한 이유 때문에, 전자 페이퍼에 대하여 본 발명의 일 실시예에 따른 반도체 장치를 적용하는 것이 바람직하다.
- [0286] 표시부(325)가 하우징(321)에 통합되고, 표시부(327)가 하우징(323)에 통합된다. 표시부(325) 및 표시부(327)는 1개의 화상 또는 상이한 화상들을 표시할 수 있다. 표시부(325) 및 표시부(327)가 상이한 화상을 표시할 때, 예를 들어, 우측 표시부(도 23c의 표시부(325))는 문장을 표시할 수 있으며, 좌측 표시부(도 23c에서 표시부(327))는 화상을 표시할 수 있다.

- [0287] 도 23c는 하우징(321)에 조작부 등이 제공되는 일례를 나타낸다. 예를 들어, 하우징(321)에는 전력 스위치(331), 조작키(333), 스피커(335) 등이 제공된다. 페이지들은 조작키(333)로 넘길 수 있다. 표시부가 제공되는 하우징의 표면 위에 키보드, 포인팅 디바이스 등이 제공될 수도 있다. 또한, 하우징의 뒷면 또는 측면 위에 외부 접속용 단자(예를 들어, 이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블에 접속될 수 있는 단자), 기록 매체 삽입부 등이 제공될 수도 있다. 또한, 전자 서적 리더(320)는 전자 사전의 기능을 가질 수도 있다.
- [0288] 전자 서적 리더(320)는 무선으로 데이터를 송수신할 수 있다. 무선 통신을 통하여, 소망한 책 데이터 등이 전자책 서버로부터 구매되고 다운로드될 수 있다.
- [0289] 전자 페이퍼는 정보를 표시하는 한 다양한 분야의 장치에 적용될 수 있다. 예를 들어, 전자 서적 리더 이외에도 포스터, 기차 등의 운송 수단의 광고, 신용 카드 등의 각종 카드들의 표시 등에 전자 페이퍼가 사용될 수 있다.
- [0290] 도 23d는 상기 실시예에 따른 반도체 장치를 포함하는 휴대 전화를 나타낸다. 휴대 전화기는 하우징(340) 및 하우징(341)인 2개의 하우징을 포함한다. 하우징(341)에는 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라 렌즈(347), 외부 접속 단자(348) 등이 제공된다. 하우징(340)에는 휴대 전화를 충전하는 태양 전지(349), 외부 기억 슬롯(350) 등이 제공된다. 또한, 안테나는 하우징(341)에 통합된다. 본 발명의 일 실시예에 따른 반도체 장치가 휴대 전화기에 적용되어, 휴대 전화기는 전력이 공급되지 않을 때에도 데이터를 유지할 수 있다. 또한, 기압 또는 소거로 인한 열화가 발생하지 않는다. 또한, 휴대 전화기는 고속으로 동작할 수 있다. 이로 인해, 휴대 전화기에 대하여 본 발명의 일 실시예에 따른 반도체 장치를 적용하는 것이 바람직하다.
- [0291] 표시 패널(342)은 터치 패널 기능을 갖는다. 화상으로서 표시되는 복수의 조작 키(345)가 도 23d의 점선으로 나타내어져 있다. 휴대 전화기는 각 회로에 필요한 전압에 대하여 태양 전지(349)로부터 출력된 전압을 승압하는 승압 회로를 포함한다. 또한, 휴대 전화기는 상기 구조 외에 비접촉 IC 칩, 소형 기록 장치 등을 포함할 수 있다.
- [0292] 표시 패널(342) 위의 표시의 방향은 적용예에 따라 적절하게 변경된다. 또한, 휴대 전화기가 영상 전화기로 사용될 수 있도록 표시 패널(342)과 동일한 표면 위에 카메라 렌즈(347)가 제공된다. 음성 통화뿐만 아니라 영상 통화, 소리의 기록 및 재생 등을 위해 스피커(343) 및 마이크로폰(344)이 사용될 수 있다. 또한, 도 23d에 도시된 바와 같이 전개되고 있는 상태에서, 하우징들(340 및 341)은 하나가 다른 하나에 겹쳐지도록 슬라이딩될 수 있다. 따라서, 휴대 전화를 소지하기에 적절하도록 휴대 전화기의 크기가 감소될 수 있다.
- [0293] 외부 접속 단자(348)가 AC 어댑터 또는 USB 케이블 등의 다양한 케이블에 접속되어, 휴대 전화기가 충전되거나, 데이터 통신을 수행할 수 있다. 또한, 휴대 전화기는 외부 기억 슬롯(350)에 기록 매체를 삽입함으로써 대용량의 데이터를 저장하고 이동시킬 수 있다. 또한, 휴대 전화기는 상기 기능들 이외에 적외선 통신 기능, 텔레비전 수신 기능 등을 가질 수도 있다.
- [0294] 도 23e는 상기 실시예에 따른 반도체 장치를 포함하는 디지털 카메라를 나타낸다. 디지털 카메라는 본체(361), 표시부(A)(367), 집안부(363), 조작 스위치(364), 표시부(B)(365), 배터리(366) 등을 포함한다. 본 발명의 일 실시예에 따른 반도체 장치는 디지털 카메라에 적용되어, 디지털 카메라는 전력이 공급되지 않을 때에도 데이터를 유지할 수 있다. 또한, 기압 또는 소거로 인한 열화가 발생하지 않는다. 또한, 디지털 카메라가 고속으로 동작할 수 있다. 이로 인해, 디지털 카메라에 대하여 본 발명의 일 실시예에 따른 반도체 장치를 적용하는 것이 바람직하다.
- [0295] 도 23f는 상기 실시예에 따른 반도체 장치를 포함하는 텔레비전 세트이다. 텔레비전 세트(370)에 있어서, 표시부(373)가 하우징(371)에 통합된다. 표시부(373) 위에 화상이 표시될 수 있다. 여기서, 하우징(371)은 스탠드(375)에 의해 지지된다.
- [0296] 텔레비전 세트(370)는 하우징(371)의 조작 스위치 또는 별도의 원격 제어기(380)에 의해 조작될 수 있다. 원격 제어기(380)의 조작 키(379)로, 채널 및 볼륨이 제어될 수 있으며, 표시부(373) 위에 표시되는 화상들이 제어될 수 있다. 또한, 원격 제어기(380)는 원격 제어기(380)로부터 출력되는 데이터를 표시하는 표시부(377)를 포함한다. 본 발명의 일 실시예에 따른 반도체 장치는 텔레비전 세트에 적용되어, 텔레비전 세트는 전력이 공급되지 않을 때에도 데이터를 유지할 수 있다. 또한, 기압 또는 소거로 인한 열화가 발생하지 않는다. 또한, 텔레비전 세트는 고속으로 동작할 수 있다. 이로 인해, 텔레비전 세트에 대하여 본 발명의 일 실시예에 따른 반도체

체 장치를 적용하는 것이 바람직하다.

[0297] 텔레비전 세트(370)에는 수신기, 모뎀 등이 제공되는 것이 바람직하다. 일반적인 텔레비전 방송은 수신기로 수신될 수 있다. 또한, 텔레비전 세트가 모뎀을 통해서 유선 또는 무선 통신망에 접속되는 경우, 단방향(송신자로부터 수신자) 또는 양방향(송신자 및 수신자 사이 또는 수신자들 사이) 데이터 통신이 수행될 수 있다.

[0298] 본 실시예에 설명되는 구조들 및 방법들은 그 외의 실시예들에서 설명되는 임의의 구조들 및 방법들과 적절하게 결합될 수 있다.

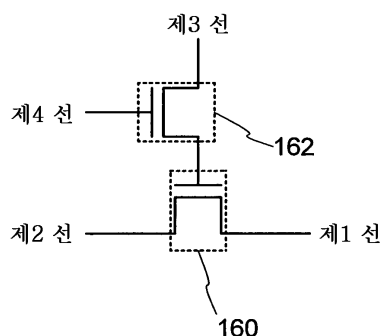
[0299] 본 출원은 2009년 10월 30일 일본 특허청에 제출된 일본 특허출원 제2009-251261호에 기초하며, 본 명세서에서는 그 전체 내용을 참조로서 원용한다.

부호의 설명

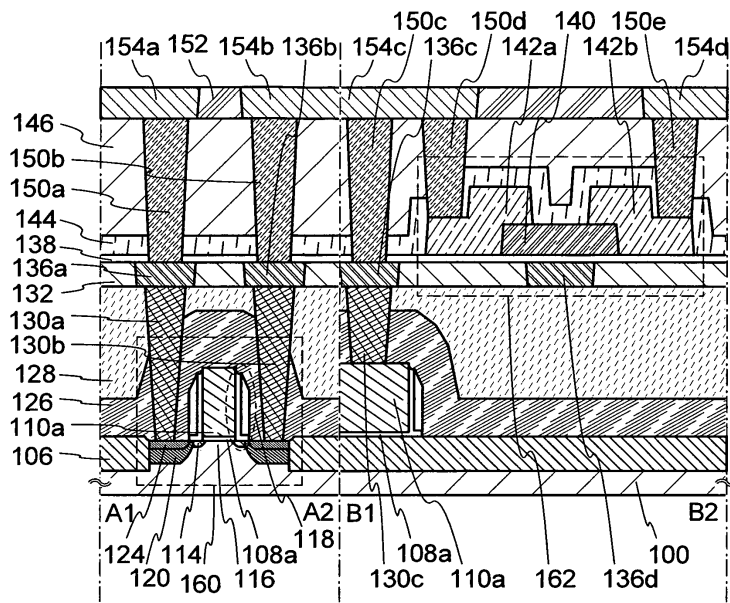
[0300] 100: 기관, 102: 보호층, 104: 반도체 영역, 106: 소자 분리 절연층, 108a: 게이트 절연층, 110a: 게이트 전극, 112: 절연층, 114: 불순물 영역, 116: 채널 형성 영역, 118: 측벽 절연층, 120: 고농도 불순물 영역, 122: 금속층, 124: 금속 화합물 영역, 126: 층간 절연층, 128: 층간 절연층, 130a: 소스/드레인 전극, 130b: 소스/드레인 전극, 130c: 전극, 130d: 전극, 132: 절연층, 134: 도전층, 136a: 전극, 136b: 전극, 136c: 전극, 136d: 게이트 전극, 138: 게이트 절연층, 140: 산화물 반도체층, 142a: 소스/드레인 전극, 142b: 소스/드레인 전극, 144: 보호 절연층, 146: 층간 절연층, 148: 도전층, 150a: 전극, 150b: 전극, 150c: 전극, 150d: 전극, 150e: 전극, 152: 절연층, 154a: 전극, 154b: 전극, 154c: 전극, 154d: 전극, 154e: 전극, 160: 트랜지스터, 162: 트랜지스터, 200: 메모리 셀, 201: 트랜지스터, 202: 트랜지스터, 203: 트랜지스터, 204: 용량 소자, 205: 용량 소자, 206: 트랜지스터, 210: 메모리 셀 어레이, 211: 제2 배선 및 제3 배선의 구동 회로, 212: 관독 회로, 213: 제4 배선 및 제5 배선의 구동 회로, 220: 메모리 셀, 230: 메모리 셀 어레이, 231: 제2 배선 및 제4 배선의 구동 회로, 232: 관독 회로, 233: 제3 배선 및 제5 배선의 구동 회로, 240: 메모리 셀, 250: 메모리 셀 어레이, 260: 메모리 셀, 270: 메모리 셀 어레이, 280a: 메모리 셀, 280b: 메모리 셀, 290: 메모리 셀, 301: 본체, 302: 하우징, 303: 표시부, 304: 키보드, 311: 본체, 312: 스타일러스, 313: 표시부, 314: 조작 버튼, 315: 외부 인터페이스, 320: 전자 서적 리더, 321: 하우징, 323: 하우징, 325: 표시부, 327: 표시부, 331: 전원 스위치, 333: 조작 키, 335: 스피커, 337: 힌지, 340: 하우징, 341: 하우징, 342: 표시 패널, 343: 스피커, 344: 마이크로폰, 345: 조작 키, 346: 포인팅 디바이스, 347: 카메라 렌즈, 348: 외부 접속 단자, 349: 태양 전지, 350: 외부 기억 슬롯, 361: 본체, 363: 접안부, 364: 조작 스위치, 365: 표시부(B), 366: 배터리, 367: 표시부(A), 370: 텔레비전 세트, 371: 하우징, 373: 표시부, 375: 스탠드, 377: 표시부, 379: 조작 키, 380: 원격 제어기

도면

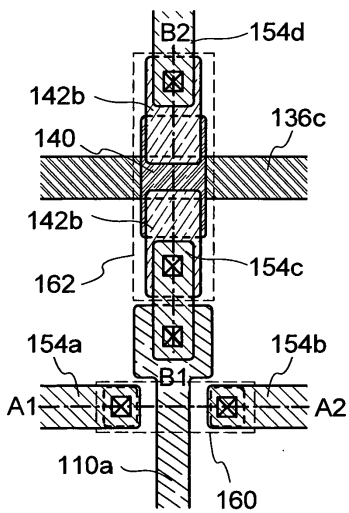
도면1



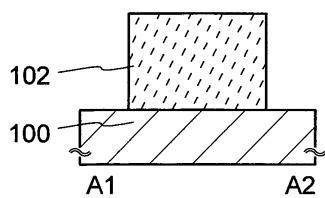
도면2a



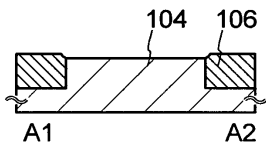
도면2b



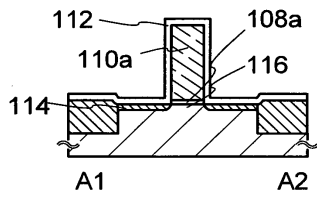
도면3a



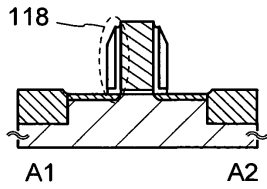
도면3b



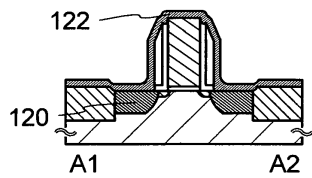
도면3c



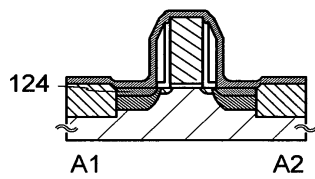
도면3d



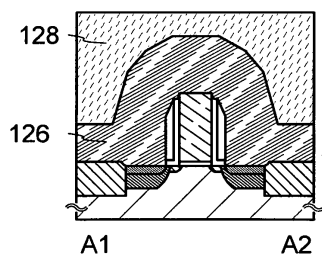
도면3e



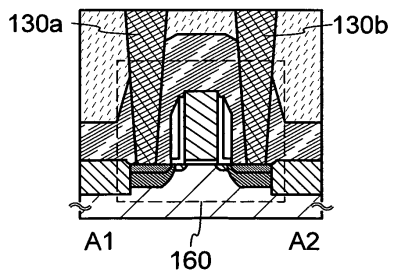
도면3f



도면3g

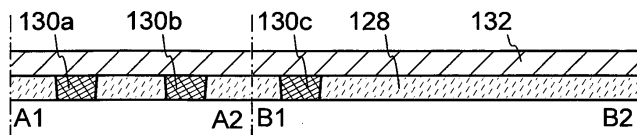


도면3h

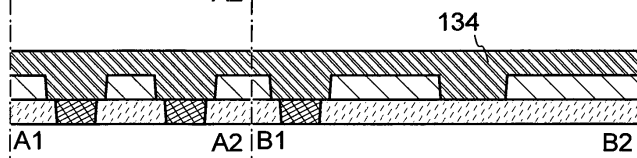


도면4

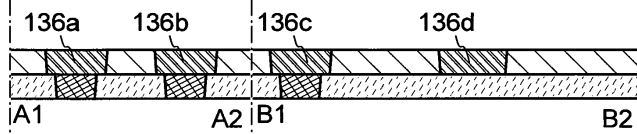
(A)



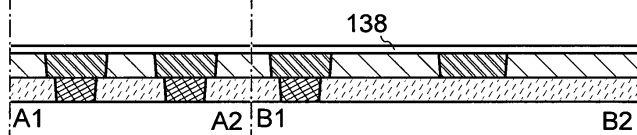
(B)



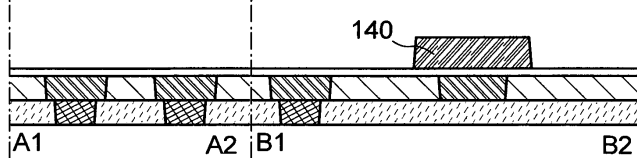
(C)



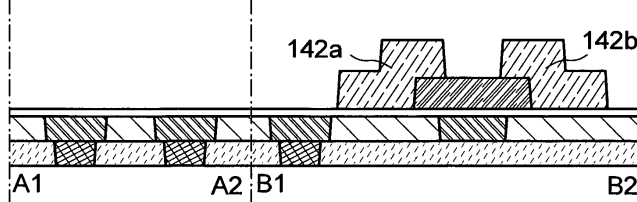
(D)



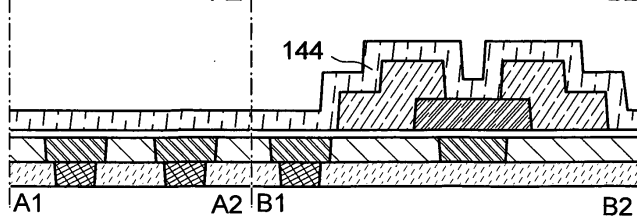
(E)



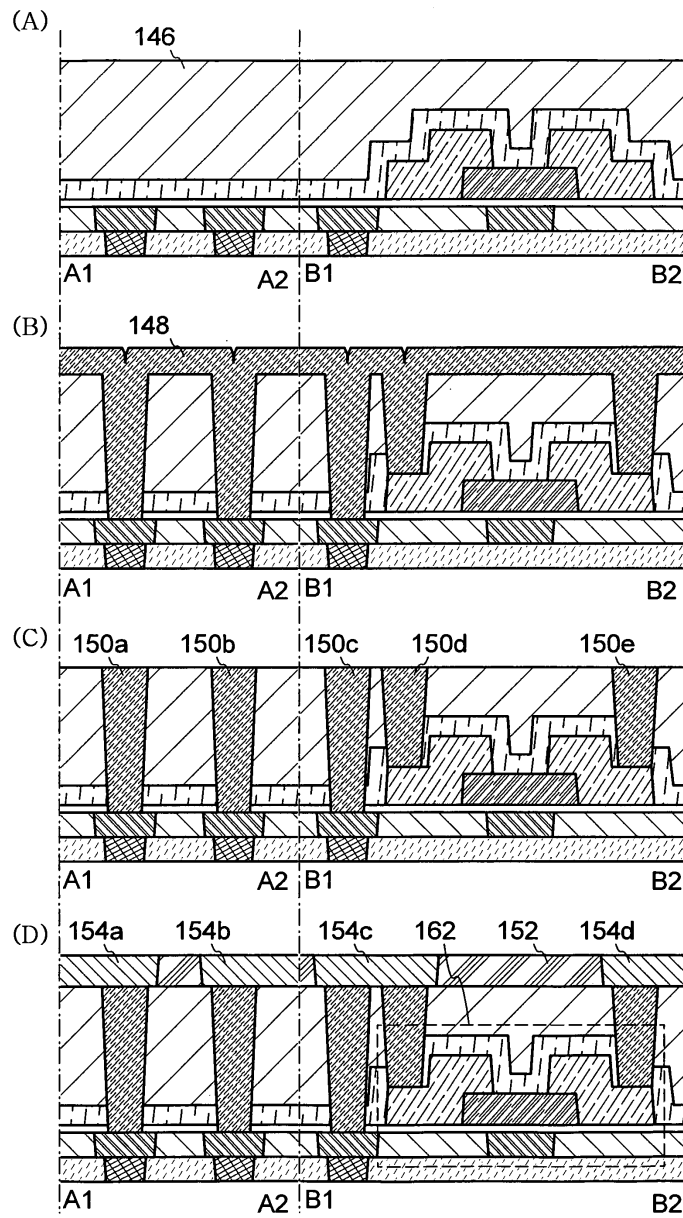
(F)



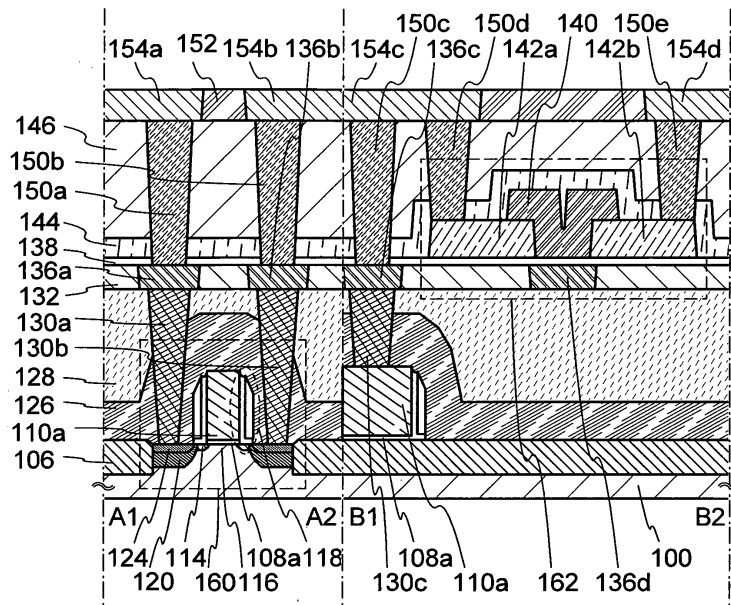
(G)



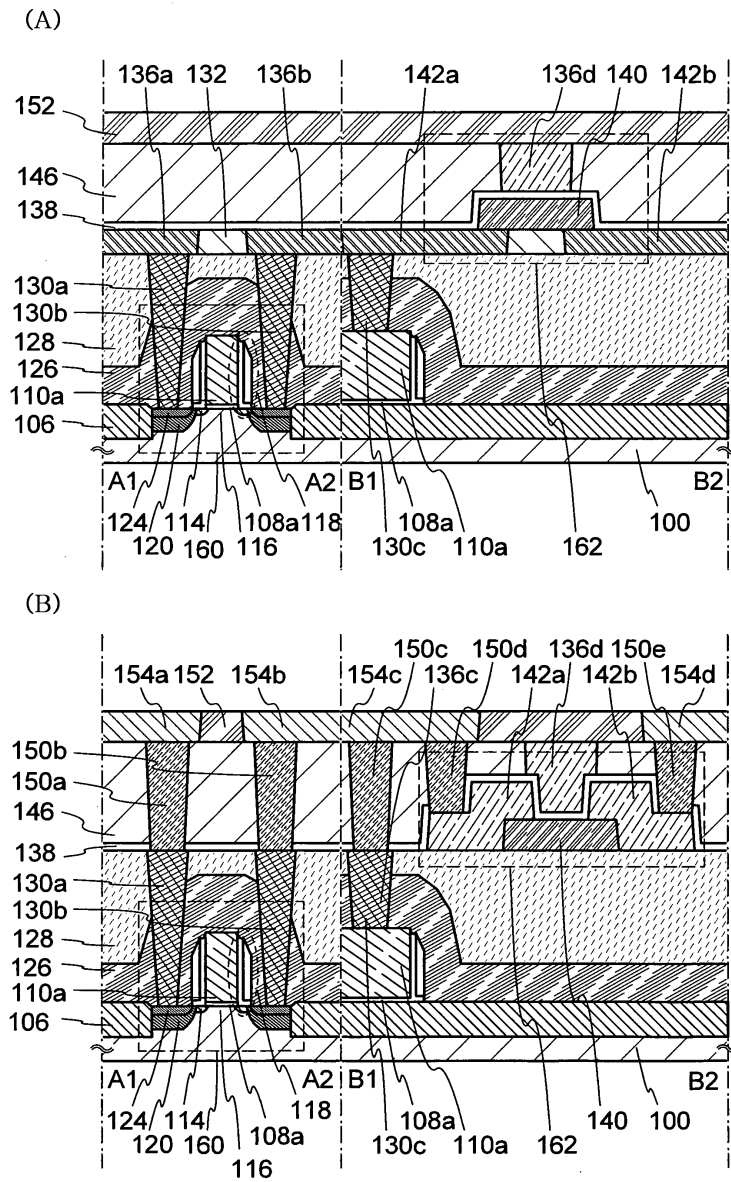
도면5



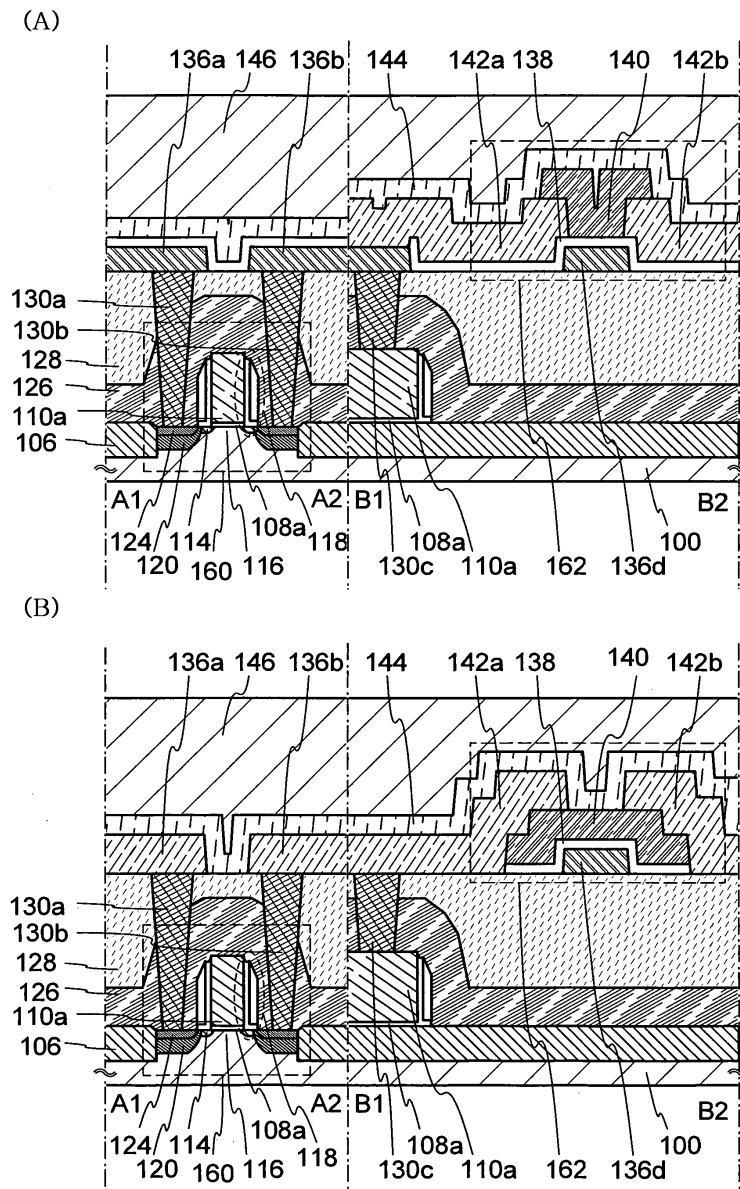
도면6



도면7

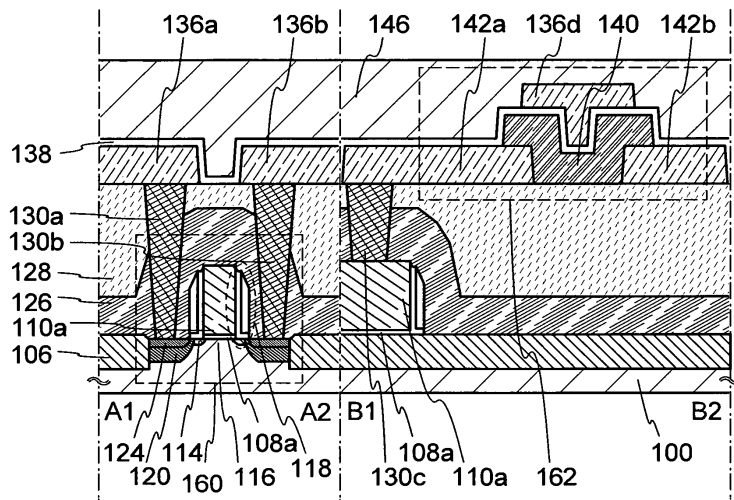


도면8

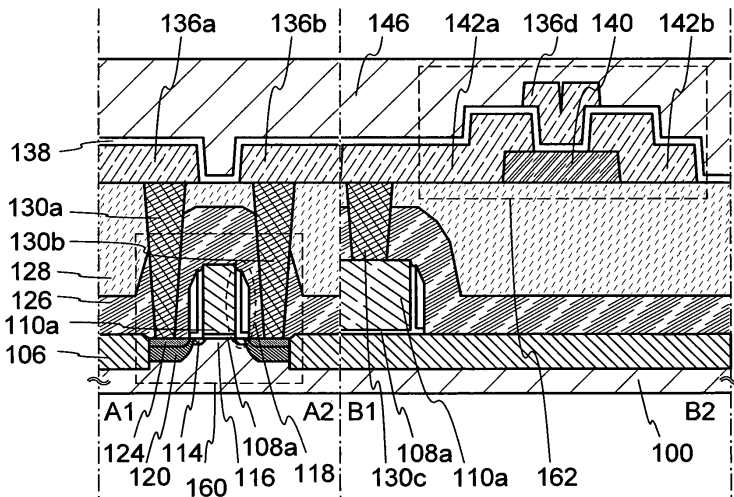


도면9

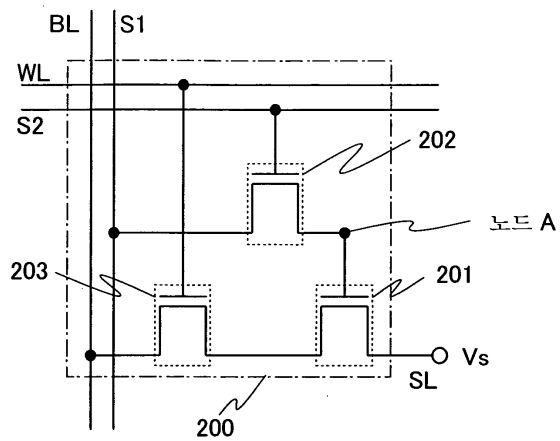
(A)



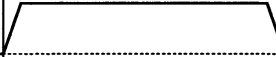
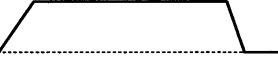
(B)



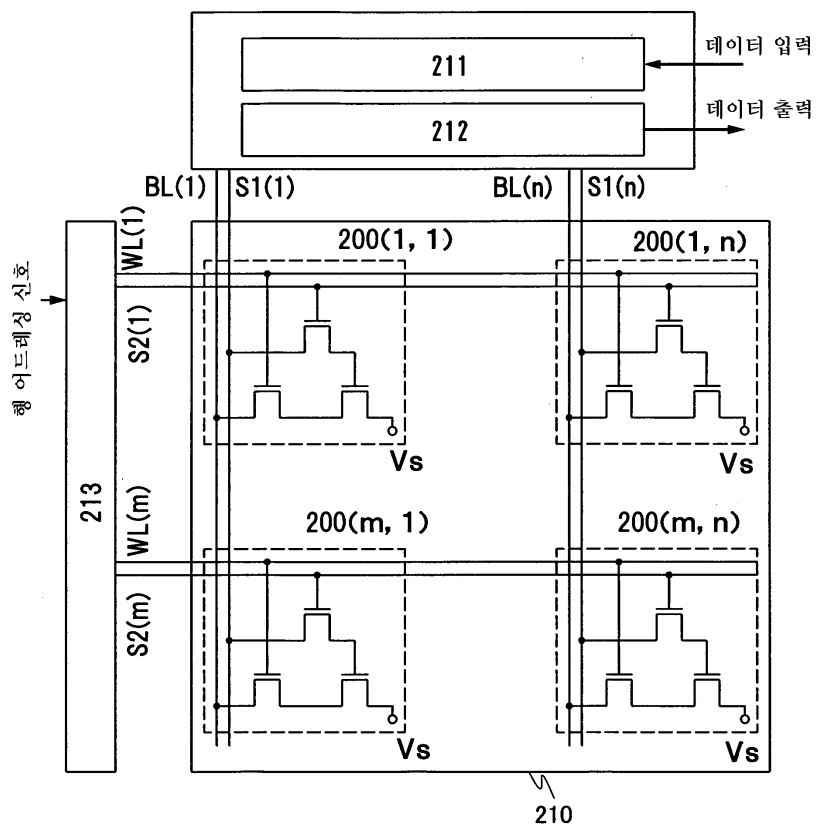
도면10



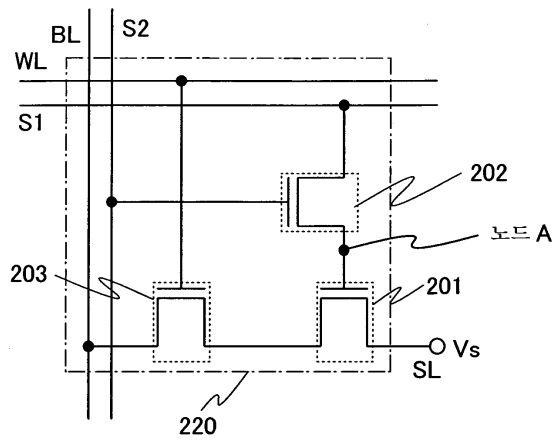
도면11

	데이터 "0" 기입	데이터 "1" 기입
비트선		
워드선		
제1 신호선		
제2 신호선		
소스선		

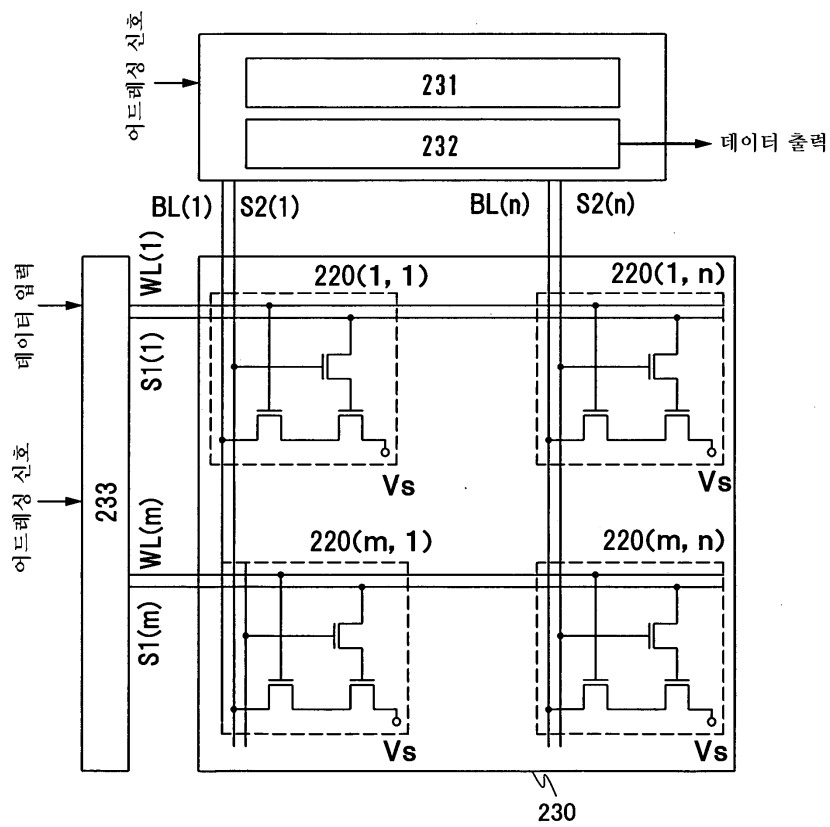
도면12



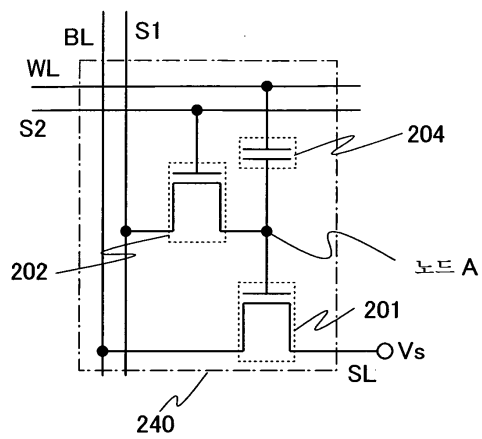
도면13



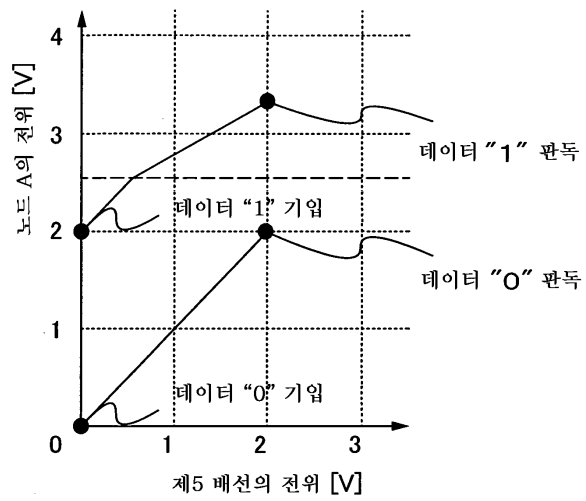
도면14



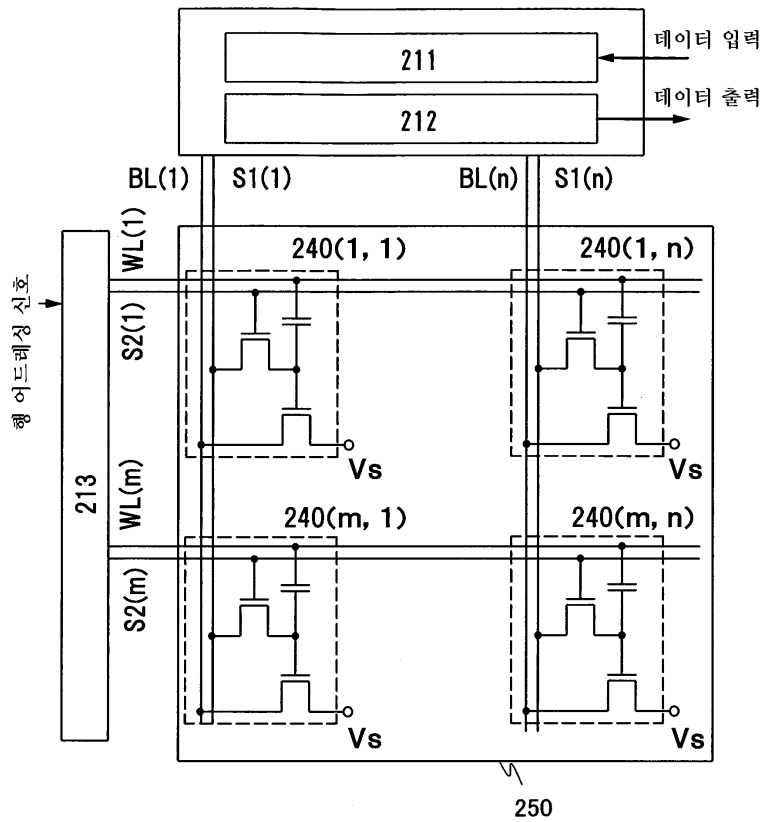
도면15



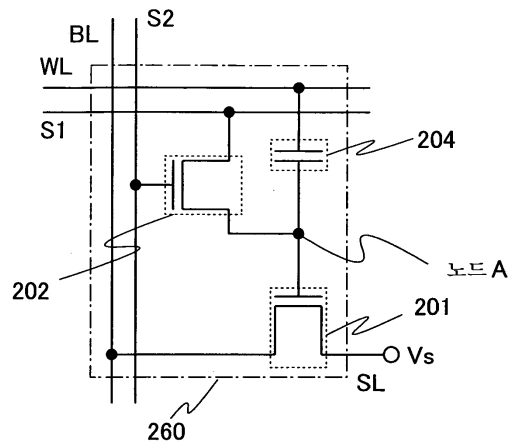
도면16



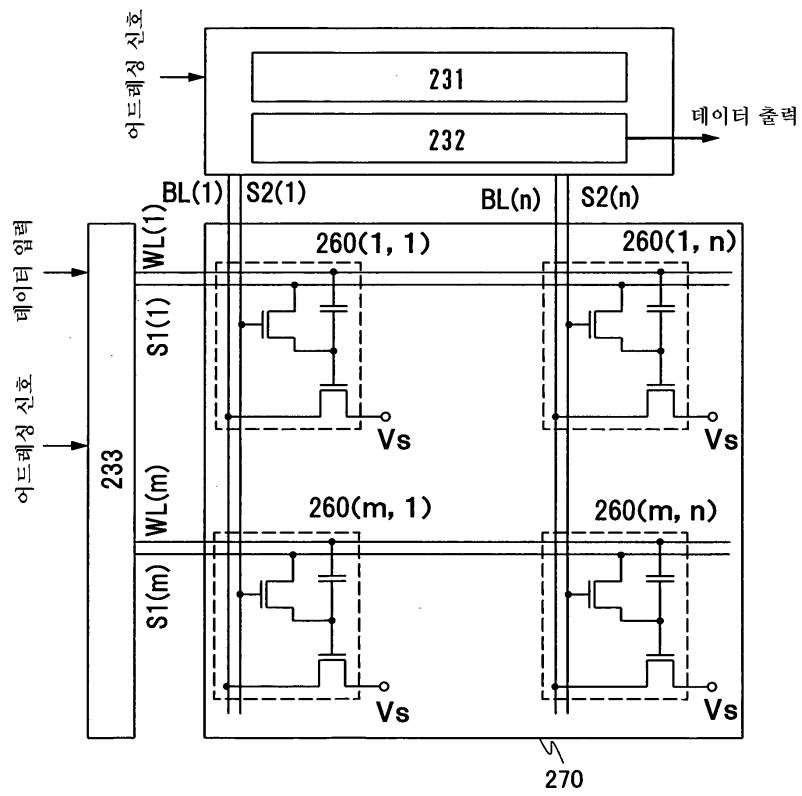
도면17



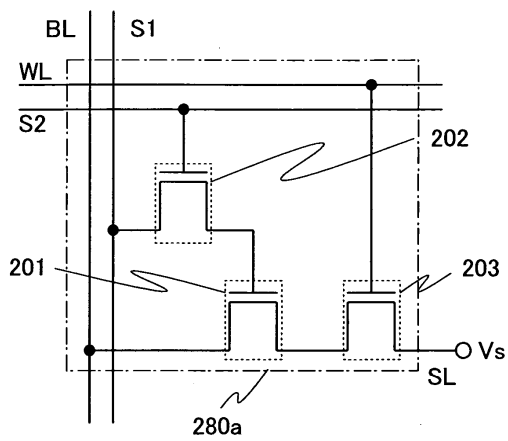
도면18



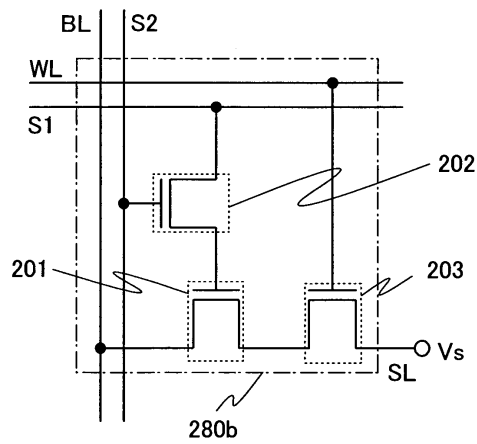
도면19



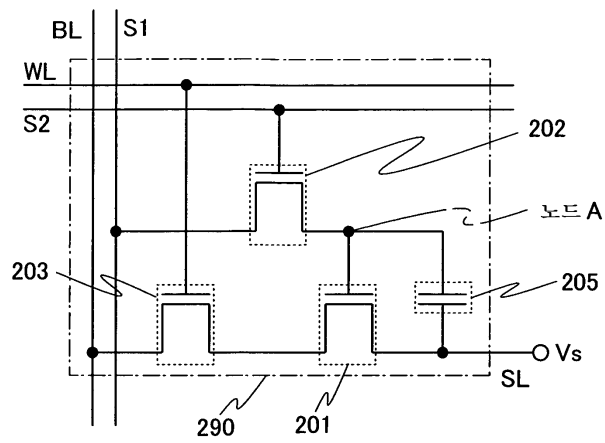
도면20a



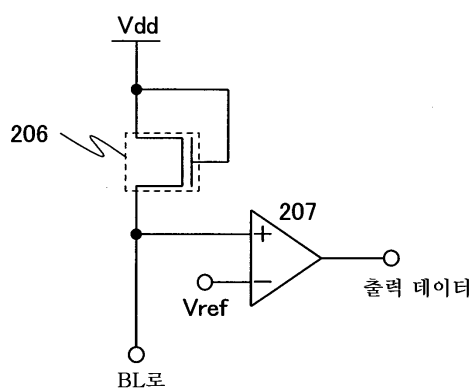
도면20b



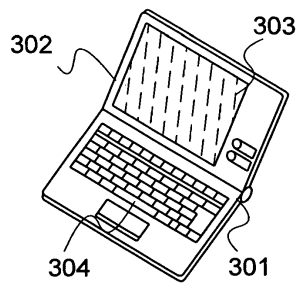
도면21



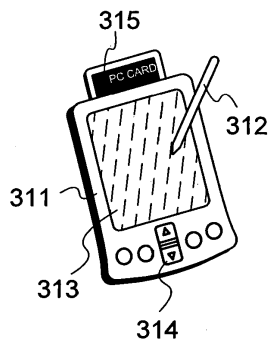
도면22



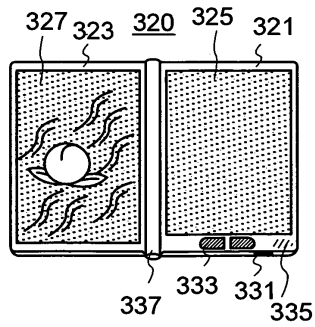
도면23a



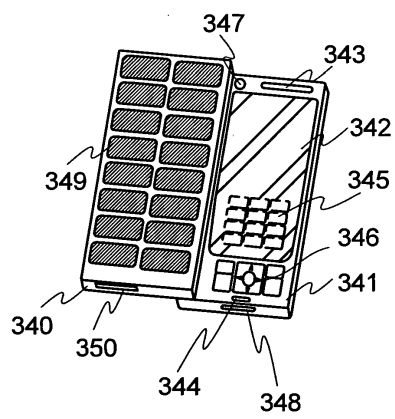
도면23b



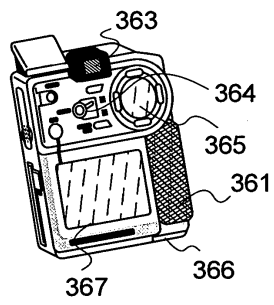
도면23c



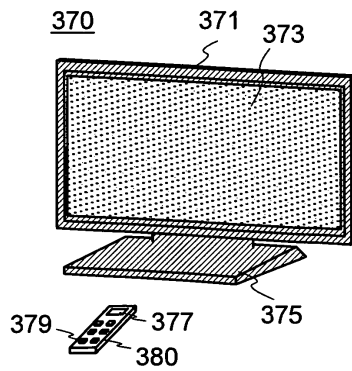
도면23d



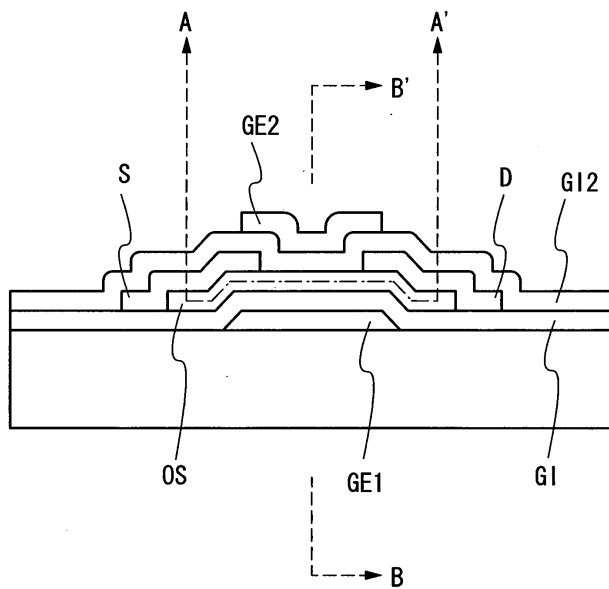
도면23e



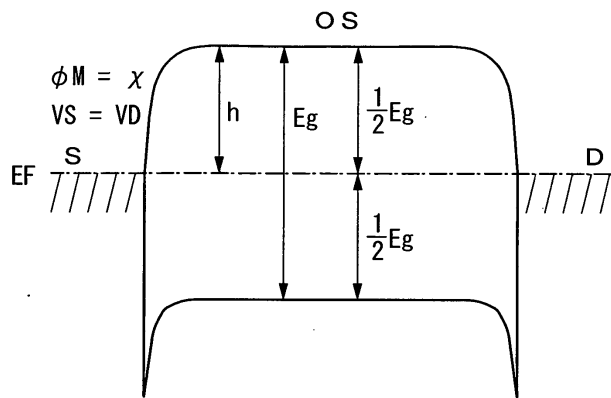
도면23f



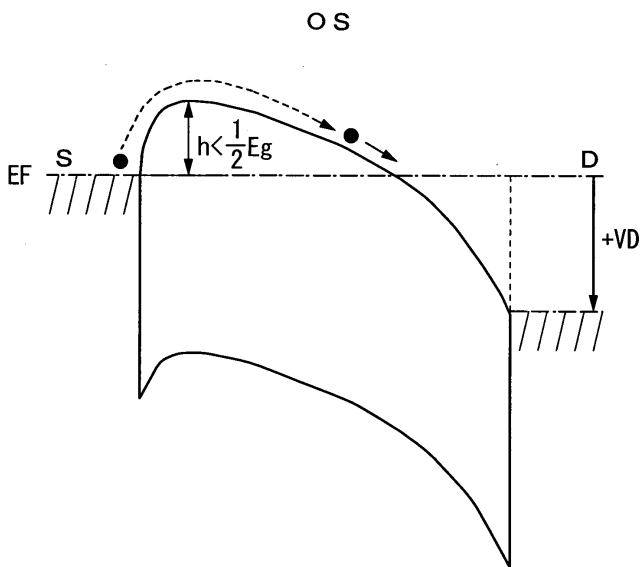
도면24



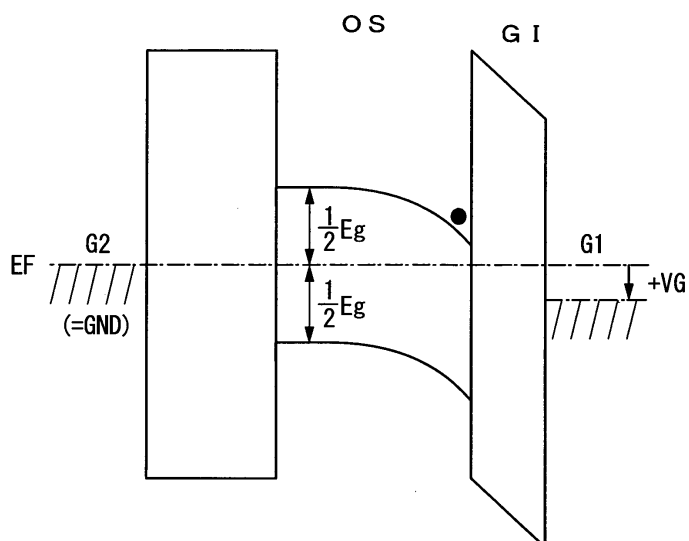
도면25a



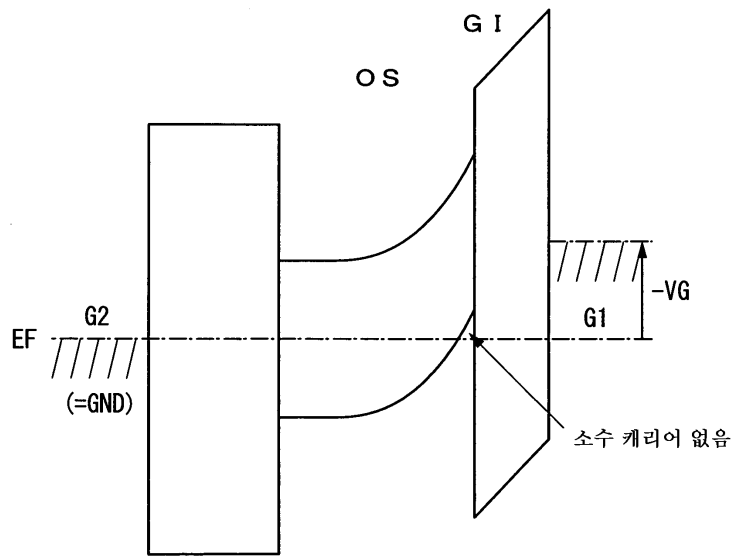
도면25b



도면26a



도면26b



도면27

