

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.³
H05B 1/02

(45) 공고일자 1983년 10월 14일
(11) 공고번호 특 1983-0002127

| | | | |
|-----------|----------------|-----------|----------------|
| (21) 출원번호 | 특 1980-0000406 | (65) 공개번호 | 특 1983-0002484 |
| (22) 출원일자 | 1980년 02월 01일 | (43) 공개일자 | 1983년 05월 28일 |

| | |
|------------|--|
| (30) 우선권주장 | 8360 1979년 02월 01일 미국(US) |
| (71) 출원인 | 제너럴 이렉트릭 컴파니 샘슨 헬프고트 미합중국, 12305, 뉴욕주, 쉐넥터디, 리버로드 1 |

| | |
|----------|---|
| (72) 발명자 | 토마스 로이 폐인 미합중국, 켄터키, 루이스빌레, 쏘렌토 3504 알프레드 린 베이커 미합중국, 콜로라도, 롱몬트, 마운틴 셔만로드 7155 |
| (74) 대리인 | 이병호 |

심사관 : 조의제 (책자공보 제864호)

(54) 전력 제어장치

요약

내용 없음.

대표도

도1

형세서

[발명의 명칭]

전력 제어장치

[도면의 간단한 설명]

제1도는 본 발명을 실시하는 요리 장치의 계통도.

제2a도 내지 제2h도는 동작자가 선택할 수 있는 전력 설정상태의 변화에 대응하는 전력 신호도.

제3도는 본 발명의 제어장치의 기능적인 경통도.

제4도는 본 발명의 실시예를 기초로한 마이크로 처리기의 계통도.

제5도 내지 제11도는 각각 본 발명의 전력은, 주사, 입력 데이터, 입력비교, 전력제어, 전력비교, 및 전력출력 루틴의 유통도.

제12도는 제5도 내지 제11도의 여러 루틴들 사이의 상호관계를 도시한 도면.

제13도는 본 발명의 디지털 논리 실시예에 대한 제3도의 키이보드 및 디지털 발생기 소자를 더욱 상세하게 도시한 계통도.

제14도는 본 발명의 디지털 논리 실시예에 대한 제3도의 메모리 장치 및 테스트장치를 더욱 상세하게 도시한 논리 계통도.

제15도는 본 발명의 디지털 논리 실시예에 대한 영고차 마스터 카운터(master counter)를 더욱 상세하게 도시한 계통도.

제16도는 본 발명의 디지털 논리 실시예의 비교장치를 더욱 상세하게 도시한 논리 계통도.

제17도는 본 발명의 디지털 논리 실시예에 사용된 타이밍 신호를 도시한 기간선도.

제18도 및 제18도는 본 발명의 디지털 논리 실시예에 대한 제3도의 완시동 래치, 완시동 타이머 즉시 온 래치, 즉시 온 타이머, 및 전력 온 래치를 상세히 도시한 논리 계통도.

[발명의 상세한 설명]

본 발명은 전력제어 장치에 관한 것이다.

전기식 요리 장치내의 요리판으로서 유리 세라믹 판을 사용하는 것이 점차 매우 증가되고 있는데, 이같은 매끈한 요리면의 잇점 가운데는 외관상 보기 좋다는 점과 쉽게 깨끗이 닦을 수 있다는 점이 있다. 그러나, 유리 세라믹판의 높은 열 임피던스로 인하여, 이러한 요리판은 피복 가열소자를 사용하는 보통의 요리면 보다 열효율이 작다.

MoSi_2 및 텡그스텐과 같은 재료의 독특한 전기적 및 열적 특성으로 인하여, 이같은 재료로 만들어진 저항성 가열소자는 유리세라믹 요리판으로 사용하기에 알맞다. MoSi_2 및 텡그스텐의 낮은 열용량 특성, 낮은 비열특성 및 높은 정온도 계수의 저항성, 그리고 이같은 재료로 만들어진 가열소자를 이용하여 성취될 수 있는 높은 동작온도는 유리 세라믹제의 요리판을 이용하는 요리장치의 열효율을 개선한다. 그러나, 그의 동일한 동적인 전기적 및 열적 특성은 전력제어상의 문제를 초래하여 그결과 이러한 물질들로 만들어진 가열소자들을 전기식 요리 장치에 사용함에 있어서 비실용적으로 되게 한다.

종래, 전기식 요리 장치의 전력제어는 바이메탈 무한 가열 스위치와 같은 온도 감지형 스위치를 사용하므로 이루어진다. 동작시, 조작자는 소망의 요리온도가 제공되게끔 스위치를 조정한다. 스위치는 가열소자가 선정된 온도에 도달할 때까지 폐쇄된다. 그후, 스위치는 개방되어, 소자온도가 선정된 온도까지 강하할 때까지 개방상태를 유지한다. 이 스위치는 이같은 식으로 온(ON) 및 오프(OFF) 주기를 반복한다. 종래의 피복 가열소자는 비교적 천천히 가열되고 냉각되기 때문에 스위칭 주기는 수초내지 30초 정도로 비교적 길다. 또한, 종래의 피복 가열소자의 저항치는 실온으로부터 동작 온도까지 약간만 변한다. 종래의 가열소자의 저항치는 관심이 집중되는 온도 범위에서 온도에 비교적 무관하기 때문에, 스위치가 폐쇄될 때의 과도적인 전류서어지(SURGE)가 작다. 그러므로, 종래의 전력제어 방식은 만족하게 작용한다.

그러나, MoSi_2 나 텡그스텐으로 만든 저항성 가열소자의 동적인 특성은 종래의 제어기술을 사용하여 가열소자의 제어를 곤란하게 한다. 첫째, 요리 장치에 사용하도록 설계된 미합중국 특허 제 3,912,905 호에 기술된 바와 같은 MoSi_2 가열소자는 실온에서의 2내지 3Ω으로부터 약 1000°C의 동작 온도에서의 25Ω으로 저항치가 변한다.

그러므로, 표준적인 240V의 가정용 교류를 사용한다고 하면 가열소자의 온도가 실온으로부터 동작온도로 변할 때, 부하전류 110암페어의 부하전류는 초기 첨두치로부터 RMS 8.5암페어 정도의 정상 상태의 전류로 변한다. 110암페어의 초기 전류는 극히 단기간의 주기를 제외하고는 가전제품에 허용될 수 있는 것보다 크다. 둘째, 가열소자는 급속하게 냉각된다. 즉, 이 가열소자의 열응답에 대한 최초의 시정수는 600 내지 1000ms정도이다. 이 소자는 급속히 냉각되고 이와 동시에 저항치가 낮아지기 때문에, 정상상태의 동작에서도, 소자의 저항치가 전력 인가 기간의 사이에 전력인가 중의 과대한 전류를 야기하는 레벨 까지 낮아지기 때문에 과대한 전류 서어지가 발생한다. 그러므로, 이같은 과대전류 서어지를 피하기 위해서는, 소자의 가열 기간중의 과대 전류의 지속 기간이 제한되게끔 짧은 온 시간을 사용하고 온 시간 사이의 기간에 소자의 냉각을 제한 하는것에 의해 정상 상태중에 저항치가 강하되지 않게끔 오프 시간을 사용할 수 있는 매우 신속한 스위칭 능력이 요구 된다.

물론, 종래에 사용한 무한 가열 스위치의 비교적 느린 기계적인 스위칭은 매 전력 인가 기간의 과대전류를 방지하기에 필요한 신속한 스위칭을 제공하지 못한다. 이와 마찬가지로, 요리 장치에서 보통의 가열소자에 대해 사용하기 위한 종래의 전자식 제어도 비교적 긴 온 및 오프 기간을 사용하도록 설계되어 있다.

동작자가 선택한 전력 설정상태의 입력에 따라 가열소자의 충격 계수를 변화시키는 바와 같이 MoSi_2 형 가열소자에 사용하는 제어장치는 전력 온 시간 사이의 최대 휴지시간을 가열소자의 열 시정수 한개분 보다 실질적으로 작게 되게끔 제한하는 것에 의해, 정상상태의 전류 서어지의 문제를 해결한다.

이같은 충격계수 제어방식은 온 시간 사이에 가열소자가 냉각되는 것을 방지할 수 있을 정도로 제어주기를 충분히 짧게하면 만족하게 작용한다. 그러나 상술한 제어시스템의 제어주기는 요리 온도의 제한된 범위만을 허용한다. 하지만 보다 낮은 온도를 선택할 수 있도록 요리 온도의 범위를 확장하기 위해서는 상술한 제어 시스템에서 사용한 것보다 더 긴 제어 주기가 필요하다. 이 필요성은 특히, 전력설정 상태가 낮을 때 온 시간이 출력 전력에 대해 직선관계에 있는 종래의 저항성 가열소자 보다 출력전력을 온 시간에 대해 상당히 크게하는 가열소자 출력전력과 온 시간 사이의 비직선관계 때문에 MoSi_2 형 가열소자의 경우에 더욱 중대하다.

상기에 언급한 바와같은 제어 주기는 회로 차단기가 트리거 되게끔 가정용 임계를 정상전류 서어지가 초과하지 않게 하면서 서정수 1개 또는 2개까지 확대될 수 있지만, 오프 시간의 지속시간이 시정수 몇개분에 접근할 때에는, 그 결과로서 발생하는 반복적인 전류 서어지가 회로부품 특히, 고체 스위칭 장치의 신뢰성을 현저히 감소 시킨다. 예를들어 제어 주기를 64개의 반사이클(약 1/2초) 확대한 경우 50% 충격 계수와 같은 출력전력 충격 계수 범위의 비교적 높은 단부에서도, 즉, 32개의 연속하는 전력 오프 사이클 이 32개의 전력은 반사이클을 뒤따르는 상황에서도 오프 시간은 대략 250ms 이다. 이 오프 시간은 각각의 연속적인 도전성 반사이클의 초기에 소자에 흐르는 전류가 긴 기간에 걸쳐서 회로 부품의 신뢰성을 감소시킬 정도로 크게되는 점까지 소자들을 냉각시키게 한다. 물론, 충격 계수가 낮아져도 이같은 문제는 더욱 심각하게 된다. 따라서, 그의 충격 계수 제어 방식은 광범위한 전력 설정상태가 바람직한 경우에는 MoSi_2 형 가열소자에 일어나는 정상 상태의 전류 서어지의 문제에 대해 만족 할만한 해결책이 못된다.

따라서, 본 발명의 주목적은 실온에서의 전력인가시에(보통의 가정용의 최대치 보다 큰)비교적 큰 전류를 흘리는 가열소자에 사용하기 위한 전력제어 장치를 제공하는 것이다.

본 발명의 다른 목적은 MoSi_2 텡스텐, 또는 유사재료로 만든 저항 가열소자에 사용하는 전력 제어장치로서, 정상상태 동작에서 반복적인 과대 전류 서어지를 방지하는 식으로 전자적으로 전력을 제어하는 제어

장치를 제공하는 것이다.

본 발명의 또 다른 목적은 낮은쪽의 전력 설정 상태에서 전력 온 시간 사이의 휴지기간을 허용될 수 있는 한계내로 줄이는 것에 의해, 정상상태 동작중의 반복적인 과대전류 서어지를 방지하고, 각각의 전력 설정 상태에서 각각의 전력 펄스 사이의 휴지 시간을 최소화 하는 것에 의해, 정상 상태의 전류 서어지를 최소화 하는 상기에 언급한 형태의 가열소자에 대한 전력인가를 제어하기 위한 전력 제어장치를 제공하는 것이다.

본 발명의 또 다른 목적은 만족 할만한 요리 온도의 범위를 포함하는 출력 전력 범위가 제공되며, 출력 전력과 전력 온 시간 사이의 비선형 관계를 특징으로 하는 상기에 언급한 형태의 가열소자에 대한 전력 인가를 제어하기 위한 전력 제어 장치를 제공하는 것이다.

본 발명의 또 다른 목적은 과도적인 초기 가열기간 동안, 실효 전류를 제한할 수 있을 정도로 지속시간이 충분히 짧고, 그 간격이 충분히 크나, 소자를 신속하게 가열할 수 있을 정도로 지속 시간이 충분히 길고, 그 간격이 충분히 작은 짧은 전력 버스트를 반복적으로 인가하는 것에 의해 가열 소자내의 대 전류를 제한하도록 작용하는 전력 제어 장치를 제경하는 것이다.

본 발명의 또 다른 목적은 초기의 전류 과부하가 방지되며, 선택된 전력 셋팅에 무관하고 제1의 선정된 시간이 경과된 후에 정상상태 루틴으로 복귀하는 과도적인 순간 완시동 제어 루틴에 따라서, 제1의 선정된 시간에 걸쳐 가열소자에 대한 전력을 제어하는 것에 의해서 오프 전력 설정상태로 부터 임의의 한개의 전력 설정 상태로의 동작자에 의한 전력 설정상태 변동에 응답하는 상기에 언급한 형태인 하나 또는 다수의 가열소자를 갖고 있는 전기식 요리 장치용의 전력 제어 장치를 제공하는 것이다.

이들 목적들은 본 발명에 있어서, 전기식요리 장치에 대한 하나 또는 다수 가열 소자의 출력 전력이 다수의 개별 전력 레벨 설정상태로부터 동작자에 의해 선택된 전력 설정상태에 대응하는 요리 온도를 제공하도록 전자적으로 전력 제어 장치를 제공하는 것에 의해 이루어진다. 가열소자 자체는 MoSi₂나 텡그스텐으로 만들어진 가열소자의 급속한 열적 및 전기적 응답에 의해 특성화되어 유리 세라믹이나 다른 유사한 요리 지지표면과 관련해서 사용되는 것이 바람직하다. 가열소자는 교류 전력신호의 반싸이클로 구성되는 전력펄스에 의해 활성화 된다. 전자식의 스위칭은 전력 펄스 반복비를 제어하도록 사용한다. 제어 논리 회로는 동작자에 의해 선택될 수 있는 각각의 전력설정 상태에 대해 전력펄스들 사이의 오프 시간을 최소화하는 일의적인 전력 펄스 반복비를 제공한다. 동작자가 선택할수 있는 전력 펄스 반복비의 범위는 요리 온도의 소망의 범위를 포함한다.

선택된 전력 설정상태를 나타내는 디지털 제어신호는 메모리 내에 축적된다. 정상 상태의 동작중, 특정의 전력 펄스 반복비는 기억된 제어 신호에 대한 제어 논리의 응답에 의해 결정된다.

본 발명에서는 정상 상태의 동작 모우드외에 완시동 및 즉시 온 이라 불리우는 두 개의 부수적인 동작모우드가 이용된다.

완시동 모우드는 전력 설정 상태가 오프 전력 설정상태로 부터 다른 전력 설정상태로 변할 때마다 시작된다.

완시동 모우드에서 동작할때, 전력펄스 반복비는 실제의 전력 설정상태에 관련된 펄스 반복비 대신에 예정의 전력 펄스 반복비를 이용하는 것에 의해서 동작자에 의해 선택되어 메모리에 기억된 실제의 전력 설정상태가 무관하게 제어된 이같은 완시동 펄스 반복비는 가열소자의 저항치가 실온에서의 비교적 낮은 값으로 부터 동작온도에서의 비교적 높은 값으로 변할때 전력 회로의 통전 용량을 초과하지 않고 저온의 가열소자에 인가될 전류를 비교적 높게하나, 과대하게 높아지지 않는다. 예정 시간이 경과한 후, 제어장치는 완시동 동작모우드를 끝내고, 즉시 온 동작 모우드를 시작한다.

즉시 온 동작 모우드의 목적은 가열소자가 오프설정 상태로 부터 다른 전력 설정상태로 스위치 움을 발광 상태의 가열 소자의 형태로 동작자에게 즉시 가시적으로 표시되게 하는 것이다. 즉시 온 모우드에서, 최대 전력 설정상태(또는 다른 적당히 높은 설정상태)과 관련된 반복비는 완시동 모우드에 종료직후 가열소자가 즉시 밝게 발광하도록 예정의 기간중에 실제의 전력 설정상태 대신에 이용된다. 이 동작 모우드의 지속 기간은 유리 세라믹 표면의 열응답속도에 의해 제한된다. 즉시 온 모우드는 최저의 전력 설정상태가 선택될 때의 과열이 피해지게끔 요리 표면의 온도가 최저의 가능한 요리 온도를 넘기전에 끝난다. 예정의 시간이 인스탄트 온모우드 중에 경과된 후, 제어 장치는 즉시 온 모우드를 끝내고, 선택된 작동 전력 작동전력 설정상태로 바뀌므로, 정상상태 동작이 시작된다. 즉시 온 모우드 중에 전력 설정상태가 한층 낮은 전력 설정상태로 변할때 즉시 온 동작 모우드를 조기에 종료하기 위한 장치도 설치된다.

본 발명의 양호한 실시예에서, 주문대로 프로그램된 마이크로프로 세서는 제어 논리회로를 제공한다. 그러나, 제어논리 회로가 개별의 디지털 논리회로의 사용에 의해 구성되는 다른 실시예도 가능하다.

본 발명은 일반적으로 저항성 가열소자의 출력 전력을 제어하는 것을 대상으로 한것으로 특히 MoSi₂, 텡그스텐 또는 유사한 동적인 열적 및 전기적인 성질을 가진 기타의 가열 소자의 전력 출력을 개방 루프식으로 제어하는 것에 의해 유리세라믹 요리판이나 가열판의 요리 열도를 제어하는 제어 장치를 대상으로 한 것이다.

본 발명에 따르면, 요리 온도는 다수의 개별의 전력 설정상태로 부터 동작자에 의해 선택된 적력 설정상태에 따라서, 가열소자에 인가되는 전력펄스의 펄스 반복비를 제어하는 것에 의해 제어된다. 요리 열도의 유용한 범위를 포함하는 개별의 전력 설정상태의 범위가 이용된다. 각각의 설정상태에는 특정의 전력 펄스반복비 및 그에 따른 열 출력이 연관된다.

본 발명의 제어 장치는 세개의 동작모우드, 즉, 정상상태 모우드, 완시동, 및 즉시 온 모우드로 동작한다. 완시동 모우드는 가열소자 전력 회로의 통전 능력이 과도적으로 과부하되는 것을 방지하도록 실온 또는 실온에 가까운 온도에 있는 가열소자를 최초에 활성화시킬 때 사용된다.

이미 언급한 바와 같이, MoSi₂나 텡그스텐으로 만든 가열소자의 전항치는 동작온도에서 보다 실온에서 1/10의 크기로서 실온에서는 약 2.5Ω 고, 동작온도에서는 약 25Ω이다. 그러므로, 초기 돌입전류에 의한 과부하를 방지하기 위해서, 예정의 전력 필스 반복비가 이 모우드로의 동작시 실제의 전력 설정상태와 무관하게 이용된다. 이 분야에 숙련된 기술자들에 잘 알려진 바와 같이, 매우 짧은 지속기간의 비교적 큰 첨두 전류는 휴즈를 끊거나, 회로 부품을 손상시키거나 와이어를 태우지 않고 사용될 수 있다.

그러므로, 전류 과부하 문제는 필스의 지속 기간을 제한하고, 필스간의 시간간격을 적당히 하는 것에 의해 극복된다. 그러나, 가열소자의 저항치가 비교적 작아 그 결과, 큰 첨두전류가 흐르게 되는 기간을 최단화하기 위해, 가열소자를 신속히 동작 온도에 되돌리는 것도 바람직하다. 전력 필스의 일정한 시간간격을 가열 소자가 한층 빨리 동작 온도에 오게 한다. 따라서 이같은 상반하는 관점의 최적한 절충을 제공하는 필스반복비가 이용된다. 만족스러운 절충을 제공하는 완시동 필스 반복비는 경험에 의하여 결정되고 있는데, 이후에 더욱 상세하게 기술하겠다.

상술한 설명으로부터 명백한 바와 같이, 저온(실온)의 가열소자가 활성화될 때마다 완시동모우드를 이용하는 것이 바람직하다. 온도 감지기를 사용하면 장치가 불필요하게 복잡하게 하므로, 저온 가열 소자를 식별하는 어떤 방법이 필요하다. MoSi₂나 텡그스텐으로 만든 가열 소자는 매우 급속하게 가열되고 냉각된다. 실제 문제에서, 오프 전력 설정상태가 동작자에 의해 선택될 때, 가열소자는 매우 급속히 냉각되므로 동작자가 다른 설정상태가 선택하기 전에 실온으로 냉각된다. 그러므로, 오프 전력 설정상태가 존재하면, 가열소자가 실온에 있다는 만족한 표시를 얻을 수 있다. 따라서, 완시동 모우드는 본 발명의 제어장치가 오프설정 상태로 부터 다른 전력 설정상태로의 변화가 검출될 때마다 실시된다.

즉시 온 모우드는 가열 소자가 전전력에서 활성화될 때 거의 동시에 발광하는 MoSi₂나 텡그스텐으로 만들 어졌다는 사실을 이용한다. 즉시 온 모우드에서, 최대 전력 필스 반복비는 요리 표면을 통하여 동작가가 눈으로 볼수 있을 정도로 가열소자가 충분한 강도를 갖고서 발광하도록 실제의 전력 설정상태에 대응하는 필스 반복비 대신에 일시적으로 이용된다. 이 모우드는 가열소자가 온으로 된 것을 동작자에게 표시하도록 완시동 모우드 직후에 이용된다.

가열소자 자체는 사용된 최저의 전력 설정 상태에서도 볼 수 있게 발광하지만, 보통 사용하는 유리 세라믹 요리 표면의 광학적인 성질은 낮은 쪽의 전력설정상태시, 가시방사를 편광 또는 감쇄시키는 식으로 작용하므로, 낮은쪽의 설정상태에서는, 요리면을 통한 발광이 용이하게 동작자에게 인지되지 않는다.

실제로, 완시동 모우드의 지속 기간은 매우 짧기 때문에 동작자에 의한 전력 설정상태의 선택과 발광사이의 지연은 거의 눈에 보이지 않는다. 가열소자는 오프로부터 다른 전력 설정상태의 전력설정 상태의 변화 직후에 발광하여 동작자가 볼 수 있게 한다. 임의의 지속시간의 예정기간후, 이 모우드는 자동적으로 끝난다. 이 기간의 지속기간은 가열소자에 대한 전전력의 연장된 인가가 동작자에 의해 선택된 전력 설정상태에 대응하는 온도를 초과한 온도까지 응답이 비교적 느린 유리 세라믹 요리표면의 온도를 증가시키는 명확한 한계에만 제약을 받는다.

전력 설정상태가 이 동작 모우드에 할당된 시간의 만료전에 한층 낮은 설정상태로 동작자에 의해 변하는 경우, 즉시 온 동작 모우드를 즉각 끝내는 장치도 설치된다.

정상상태 모우드는 즉시 온 모우드에 이어진다. 정상상태 모우드동안, 동작자에 의해 선택된 실제의 전력 설정상태가 관련된 반복비가 이용된다. 이 장치는 오프로부터 다른 전력 설정상태로의 전력 설정상태 변화에 이어지는 단기간을 제외하고는 항상 정상 상태 모우드로 동작한다. 하나의 비오프 설정상태로 부터 다른 비오프 설정상태로의 전력 설정상태의 변화는 새롭게 선택된 전력 설정상태에 대응하는 반복비를 변화시켜, 이 반복비에 대한 일시적인 대체 사용이 이행되지 않게 한다.

이하 도면을 참조하여 본 발명을 더욱 상세하게 기술하겠다.

제1도는 본 발명에 따라 제어되는 장치를 도시한 것이다. MoSi₂나 텡그스텐으로 양호하게 구성된 저항성 가열소자(1)는 트라이액(3)과 전류 제한회로 차단기(6)를 통하여 표준적인 240V, 60Hz의 교류원(2)에 결합된다. 트라이액(3)은 그의 게이트 단자(3(3))에 인가된 정전압이나 부전압에 의해 트리거될 때, 그의 주단자(3(1)) 및 (3(2)) 양단의 전압극과는 무관하게, 어떤 방향으로 전류를 도전시킬 수 있는 통상의 다이리스터이다.

회로 차단기(6)는 과전류로 부터 배선을 보호하는 보통 형태로 되어있다. 이러한 장치에서 차단기(6)는 전류가 일정기간에 걸쳐 정격치를 값을 넘을 때 회로를 개방시키나, 회로 차단기를 트리거하는데 필요한 전류보다 적은 전류를 제한할 정도로 지속기간이 충분히 작고 충분한 간격을 두고 있는 한층 큰 첨두치를 가진 전류 필스에는 응답하지 않는다. 제어장치(4)는 키이보드(5)를 통하여 동작자에 의해 선택되는 전력설정상태 선택에 따라서 게이트(3(3))에 게이트 필스가 인가되는 비를 제어하는 것에 의해 가열소자(1)에 인가되는 전력을 제어한다.

본 발명의 개념을 설명하는 예로 이후에 기술한 실시예에서, 가열소자에 인가되는 전력필스는 240V, 60Hz의 교류 전력 신호의 반싸이클에 상당한다. 그러나 상이한 주파수를 전압 레벨의 전력신호도 이와 마찬가지로 사용될 수 있다.

[표 1]

| 전력설정상태 | 전력펄스반복비 | 출력전력 (%) | 제어신호 코드 | 전력설정상태 | 전력펄스반복비 | 출력전력 (%) | 제어신호 코드 |
|--------|---------|-------------|------------|--------|---------|-------------|------------|
| 1(n=6) | 1/64 | 5 | 0001 | 2(n=5) | 1/32 | 9 | 0010 |
| 3(n=4) | 1/16 | 15 | 0011 | 4(n=3) | 1/8 | 24 | 0100 |
| 5(n=2) | 1/4 | 37 | 0101 | 6(n=1) | 1/2 | 62 | 0110 |
| 7(n=0) | 1/1 | 100 | 0111 | 오프 | - | - | 1000 |
| 온 | - | - | 1001 | | | | |

이미 설명한 바와같이, 다수의 전력설정상태에는 특정의 전력 펄스 반복비가 일의적으로 관련된다. 양호한 실시예에서, 오프 및 온 전력 설정상태를 포함한 9개의 전력 설정상태가 제공된다. 표 1은 각각의 전력 설정상태에 관련된 전전력 및 펄스 반복비를 백분율로 표시한 가열 소자의 출력 전력을 도시한 것이다.

제2도에서, 파형 A내지 G는 각각의 전력 설정상태 1내지 7에 대해 가열소자(1)에 인가되는 전압을 각각 나타낸다. 파형 H는 전력원의 전압을 나타낸다. 이후에 전력펄스로 참조될, 트라이액이 통전되는 전력신호의 반사이클들은 실선으로 도시된다. 트라이액이 통전되지 않는 전력신호의 반사이클은 점선으로 도시되어 있다. 제2도의 파형 I는 영교차 펄스를 나타내는데, 영교차 펄스들 사이의 시간은 제어기간으로 불리어진다.

각각의 전력 펄스들간의 기간은 각각의 펄스들 사이에 동일한 오프 시간이 제공된다는 사실에 의해서 각각의 전력 설정상태에 대해 최소로 된다는 것을 제2도로부터 알수있다. 이것은 제어 기간이 일정하고 온 시간의 소망이 백분율로 적당한 수의 오프펄스에 이어 적당한 수의 전력펄스를 인가하는 것에 의해 달성되며, 제어기간내의 펄스수와 연속적인 전력은 펄스의 비가 충격계수로되는 충격계수 제어 방식과는 다르다.

이미 언급한 바와같이, 충격계수 제어방식을 이용할시 제어 기간이 증가하므로, 낮은 충격계수에서의 오프시간은 최종적인 낮은 저항치가 회로 부품의 안정도를 위협할 정도의 과대한 전류를 흐르게 하는 점까지 소자가 냉각될수 있게끔 길게된다. 반복비 제어방식은 대략 동일한 출력전력 레벨을 제공하는 한편 각각의 전력 펄스 사이의 오프 시간을 균일하게 분배하는 것에 의해 정상상태 전류 서어지를 최소화한다. 이 형태에서, 두 전력 펄스를 사이의 최대 오프 시간은 최소화한다.

이 때문에 가열소자 냉각 및 그에 따른 펄스들간의 소자저항치 저하가 최소화되어 최종적인 결과로서 모든 전력 설정상태에서 정상상태 전류의 서어치가 최소로 억제되는 유수한 효과가 얻어진다. 그러므로, 펄스반복비 제어방식을 사용하면, 충격계수와 반복비가 동일한 최대(100%) 및 최소 전력 설정상태의 경우를 제외하고는, 상응하는 출력 전력 레벨에서는 정상상태의 전류서어지가 충격계수 제어방식의 경우보다 감소한다.

표 1과 제2도에 도시한 바와같이, 펄스 반복비는 1/64 펄스 반복비 즉, 전력 설정상태 1에 대해 64개의 전력신호 반사이클당 1개의 전력펄스인 오프이외의 최저의 전력상태로부터 1/1펄스 반복비, 즉, 전력설정상태 7에 대해 매 반사이클당 1개의 전력펄스인 최대 전력 설정상태로 변한다. 일예로서, 전력설정상태 3을 선택하면, 가열소자(1)에 1/16의 펄스반복비에 대응하는 제2도의 전압신호 C가 인가된다.

각종의 반복비를 이용할때, 제어장치(4)는 각 전력신호의 반사이클, 즉, 제어기간에 다음 제어 기간동안 전력 펄스를 가열소자에 인가해야 할지를 결정한다. 전력 펄스를 인가하기 위한 결정은 다른 제어 기간의 시작점에서 트라이액(3)의 게이트(3(3))에 트리거 펄스를 인가하는 것에 의해 이행된다. 이 결정의 다음의 제어기간동안 전력 펄스를 인가하지 않는다는 것일때 트라이액(3)은 트리거되지 않으므로 이 제어 기간동안 비도전 상태로 된다.

트라이액(3)의 스위칭은 트라이액의 신뢰성을 증가시키고, 스위칭 과도현상으로 인한 전자간섭을 최소로 하기 위해서 전력 신호의 영교차와 동기된다.

본 발명에 따르면, 제어 장치 4는 다음의 기능을 해야한다. 즉, 새로운 전력 설정상태의 입력에 대해 키이보드를 주사하고, 새로운 전력 설정상태의 선택을 식별하여 기억하며, 안전상태, 완시동, 또는 즉시 온의 세 동작 모우드 중에서 실시할 모우드를 결정하고, 적당한 비로 트라이액 트리거 펄스를 발생시켜야 한다. 제3도의 기능적인 계통도는 이들 기능을 행하도록 본 발명에 의해 제공된 제어 장치를 도시한 것이다.

제어 장치의 동작은 전력 신호를 감시하고 전력 신호의 각각의 영교차 검출로 영교차 펄스를 발생하는 영교차 검출기(10)에 의해 발생된 영교차 펄스에 의해 전력 신호의 영교차 동기화된다. 이 펄스들은 제2도의 I로 도시되어 있다. 도시한 바와 같이, 제어 기간은 영교차 펄스의 선단부들 사이의 기간이다. 제어 논리는 트라이액 트리거 결정이 다음 제어 구간에 수행되게되는 동안 각각의 제어 기간을 통해 완전히 일순환 된다. 검출기(10)에 의해 발생한 영교차 펄스는 제어기간을 개시한다.

각각의 제어기간이 시작될때, 키이보드(5)는 새로운 전력 설정상태의 선택중에 주사된다. 주사 과정동안, 각각의 키이보드(5)는 개별적으로 주시된다. 특수 키이의 작동이 검출될때, 그 키이에 관련된 전력 설정상태에 대응하는 디지털 제어신호는 신호 발생기(20)에 의해 발생되고 메모리(18)에 전송된다.

메모리(18)는 제어신호 데이터의 기억을 위해서 일시적인 기억위치 KB(도시하지 않음)와 영구적인 기억

위치 PM(도시하지 않음)을 포함한다. 발생기(20)로 부터의 새로운 디지털 제어신호는 일시적 기억 위치 KB에 초기에 기억된다. 테스트 장치(30)가 후술될 방식으로 신호를 검사한후, KB에 기억된 신호는 연속적으로 선택된 전력 설정상태를 나타내는 제어신호로 대체될때까지 메모리(18)내의 영구기억 위치 PM에 전송된다.

테스트 장치(30)는 입력이 공백, 즉, 새로운 입력이 없음, 오프 설정상태, 온 설정상태, 또는, 설정상태 1 내지 7중의 하나를 나타내는 결정되게끔 KB에 기억된 입력을 감시한다. 입력 무상태가 식별될때, 영구 기억 위치 PM의 내용은 변하지 않고, PM에 기억된 설정상태에 따라서 제어가 진행된다. 새로운 입력이 테스트 장치(30)에 의해 오프셋팅으로서 식별되면 그 신호는 이미 인입된 설정상태 대신에 PM내로 판독된다.

온 설정상태나 설정상태 1 내지 7중의 하나가 식별되면 적당한 선택순서가 사용되는 것을 보증하고 과도 모우드가 시작되는지 끝나는지를 결정하도록 KB의 내용을 PM 내로 판독하기전에 PM의 내용에 대해 부수적인 검사가 실시된다. 새로운 설정상태가 전력설정상태 1 내지 7중의 하나를 나타낼때, PM은 오프 신호에 대해 검사된다. 동작자는 오프 설정 상태로부터 절환시에 전력설정 상태 선전의 온 설정상태 선택에 필요하기 때문에, 설정상태 1 내지 7중의 하나를 나타내는 새로운 설정상태는 PM이 오프 신호를 포함할때 무시된다. 부수적인 과도 모우드 검사는 완시동 및 즉시 온 모우드에 관련해서 기술된다.

카운터(14)는 검출기(10)로 부터의 예정수의 영교차 펄스를 반복적으로 계수하고 리셋트 하도록 배열된 카운터이다. 다음에 기술된 이유 때문에, 선정된 수의 계수는 최저의 바람직한 전력펄스 반복비의 주기와 같아야 한다. 양호한 실시예에서, 이 펄스반복비는 64개의 제어기간당 1개의 전력 펄스이다. 그러므로, 카운터(14)는 64개의 영교차 펄스를 반복적으로 계수한다. 카운터(14)의 현재의 계수를 나타내는 순시적 내용은 ZCM으로 표시된다.

정상 상태 동작을 하는 동안, ZCM의 어떤 비트(bit)들은 비교장치(16)에 의해 PM의 신호와 비교된다. 비교장치(16)의 출력은 비교결과에 따라서 전력을 래치(POL)(24)를 셋트하거나 리셋트 한다. 그 결과 생긴 POL(24)의 셋트나 리셋트 상태는 전력펄스가 인가되어야 하거나 전력펄스가 인가되지 않아야 하는가는 각각 결정하는 것을 나타낸다. 이같은 결정은 영교차 검출기(10)의 출력과 POL(24)의 출력에 대한 AND 게이트(28)를 통하여 다음의 영교차 펄스 발생에 따라 주어지는 효과이다. AND게이트(28)의 출력은 종래의 트라이액 구동회로(26)를 통하여 트라이액(3)의 게이트 단자(3(3))에 결합된다. POL(24)의 상태는 트리거 펄스가 AND게이트(28)를 통하여 트라이액 구동회로에 게이트 되는지를 결정한다.

POL가 셋트되면 영교차 펄스의 발생은 트리거 펄스가 게이트(28)를 통하여 트라이액 게이트에 인가되는 트라이액 구동회로(26)의 입력에 효과적으로 게이트 되므로, 트라이액을 도전상태로 트리시킨다. 트라이액(3)의 특성은 그의 주단자 극성이 반대로 될때까지, 게이트를 트리거하지 않고 도전상태로 유지되도록 되어있다. 그러므로, 트리거 펄스가 제어기간의 개시점에서 인가될때, 트라이액은 이 기간의 평형을 위해 도전상태를 유지한다. POL이 셋트 되지 않으면, 다음의 영교차 펄스가 발생할때 게이트(28)를 통하여 게이트 되는 펄스가 없다. 그러므로, 이 트리거 펄스가 트라이액 게이트에 인가되지 않고 트라이액(3)의 제어기간동안 비도전상태로 된다. 이 형태에서 가열소자에 대한 전력펄스의 인가 및 비인가의 결정은 제어기간동안 이루어지고 다음 제어기간의 개시점에서 수행된다.

요리 온도의 바람직한 범위가 제공되게끔 통상의 가열소자를 제어하기 위해서, 전력펄스 반복비의 적당한 범위의 선택은 출력은 시간과 출력전력 사이의 선형 관계에 따라 이루어진다. 그러나, MoSi_2 , 텅스텐 또는 유사 물질로 만든은 가열 소자에 대한 반복비의 범위는 이 형태의 가열 소자의 특성인 가열소자 출력전력과 출력은 시간 사이의 비선형 관계를 적당하게 보상하는데 필요하다. 비선형 관계는 이러한 가열소자의 신속한 열응답의 결과이다. 낮은 반복비에서, 가열소자는 출력은 싸이클중에 냉각하려고 한다. 가열소자 온도 감소를 수반하는 저항치 감소는 도전성 싸이클에 대해 보다 큰 전류가 가열소자에 의해 유도되게 한다. 표 1에 도시한 반복비는 이러한 가열소자에 대한 요리 온도의 만족한 범위를 포함하는 출력전력을 제공하는 것을 경험으로 결정한 것이다.

표 1에 기재한 펄스반복비는 각 전력설정상태 1 내지 7에 대해 6 내지 0의 n을 이용하여 $1/2^n$ 으로 나타낼 수 있다. 예로서, 전력설정상태 1에서는 n=6이다. $n=6$ 일때, $1/2^6=1/2^6=1/64$ 로서, 이것이 전력설정상태 1에 대한 소망의 펄스반복비이다. 마찬가지로 전력정상태 3에서는 n=4이며, $1/2^4=1/2^4=1/16$ 로서 이것이 설정상태 3에 대한 소망의 펄스 반복비이다.

표 1의 반복비를 사용함에 있어 최초의 n개의 최하위 비트의 동일상태가 2^n 개의 계수마다 발생하는 2진 카운터의(특성을 이용한다. 예로서 카운터의 적어도 3개의 최하위 비트는 2^3 , 즉 8계수마다 0으로 되고 적어도 4개의 최하위는 2^4 , 즉, 16계수마다 0으로 된다. 비교장치(16)는 카운터(14)의 계수 ZCM의 최초의 n개의 최하위 비트들에 대한 논리 비교의 수행에 의해 전력 펄스 반복비를 결정한다. n값은 표 1에 도시한 바와 같이 선택된 전력설정상태를 표시하는 제어신호에 의해 결정된다.

최초의 n개의 최하위 비트들이 모두 논리 0상태로 되면 비교장치가 트리거 신호를 발생하고 그의 비트가 모두 논리 0상태로 되지 않으면 신호가 발생하지 않는다. 예를들면, $1/2^3$ 즉 $1/8$ 의 반복비와 n=3을 필요로 하는 전력설정상태 4에 대해, 제어신호는 비교장치가 최초의 3개의 최하위 비트를 검사하게 하므로, 8계수마다 생기며, 3개의 최하위 비트가 논리 0인 계수의 순환시에 트리거 펄스가 발생한다. 카운터(14)는 영교차 펄스를 계수하기 때문에, 이 실시예에서의 비교장치는 8개의 제어기간마다 하나의 트리거펄스를 발생한다.

지금까지, 정상상태 동작을 기능적으로 기술했다. 완시동 및 즉시 온 모우드의 기능 동작을, 이후 기술하였다.

완시동 및 즉시 온으로 표현되는 과도 모우드는 테스트장치(30)에 의해 시작된다. 전력설정상태가 오프

로부터 다른 전력 설정상태로 변할때, 이 과도 모우드들이 이용된다. 오프 전력설정상태에서 다른 전력 설정상태를 변할때, 동작자는 온 설정상태를 선택해야하고 전력설정상태 1 내지 7중의 바람직한 하나를 선택한다. 그러므로, 온설정상태는 오프설정 상태로부터 다른 설정상태로 변할때 선택되어야만 한다. 완시동 모우드를 이용함에 있어 이같은 순서가 사용된다.

이미 기술한 바와같이, 테스트장치(30)는 KB에 일시적으로 기억된 새로운 주사결과를 검사한다. 온설정 상태가 KB에서 검출되면, 테스트 장치(30)는 이미 인입된 제어신호가 오프설정상태를 나타내는가를 즉, 설정상태가 오프로부터 온으로 변하게 되는 것을 나타내는가를 결정하도록 PM에 기억된 신호를 검사한다. PM에 기억된 신호가 설정상태가 오프 설정상태로부터 변하지 않은 것임을 표시하는 오프 설정상태를 나타내지 않을경우, 온 입력은 무시되고 PM의 내용이 변하지 않는다. PM이 오프 설정상태를 나타내는 신호를 포함하면, 완시동 모우드를 이용하는 제1단계는 KB에 기억된 온신호를 PM내로 판독하므로 이루어진다. 제2단계는 설정상태 1 내지 7중의 선택된 하나를 표시하는 신호가 KB에 인입될때 생긴다. KB에 있어서의 설정상태 1 내지 7중의 하나를 나타내는 신호를 검출할시에 테스트장치는 온신호를 나타내는 신호에 대한 PM의 내용을 검사한다.

온신호가 검출될때 테스트장치(30)는 완시동 래치(SSL)(32)에 셋트 신호를 제공하고, 이에 의해 완시동 모우드가 개시가 완료된다. 이때 KB의 내용은 PM내로 판독된다. 이때 비교장치(16)는 완시동 모우드를 특징으로 하는 선정된 연속 패턴으로 P0L(24)을 셋트하고 리셋트 한다.

양호한 실시예에서, 이같은 패턴은 전력 설정상태 5에 대한 코드와 같다. 결국, 완시동 모우드동안, 전력펄스 반복비는 전력 설정상태 5와 관련된다. 즉, 4개의 제어기간당 1개의 전력 펄스인 전력펄스 반복비와 관련된다. 이 전력 펄스 반복비가 전형적인 가전 전력 회로의 전류서어지의 용량을 넘지 않고 냉각 MoSi₂나 텅그스텐형 각열소자에 쉽게 인가될수 있는 최적의 비인 것을 경험적으로 결정한다. 이같은 최적비를 이용하면 가열 소자가 그의 정상상태의 저항치에 급속히 이르게 된다. 명백하게, 이 비는 전기회로 부품의 전류정격 및 전력회로 과전류 보호장치의 임계치에 따라 변할수 있다.

완시동 타이머(SST)(34)는 SSL(32) 설정상태에 의해서 동작될 수 있다. SST(34)는 영교차 검출기(10)로부터 영교차 펄스의 선정된 수를 계수하므로서 완시동 동작 모우드의 기간을 제어한다. 양호한 배열에서 대략 1초인 완시동 시간이 상술한 반 비에 사용된다. 이 선정된 계수에 이르면 SST(34)는 출력 신호를 발생하고 리셋트된다. 그러므로 이 신호는 SSL(32)을 리셋트하여 완시동 모우드가 종료되게하고 즉시 온 래치(IOL)(36)를 셋트하여 즉시 온 모우드가 개시되게 한다. IOL(36)이 셋트될 때, 비교장치(16)가 선택된 실제의 전력 설정상태와 무관한 최대 전력 설정상태를 이용하게 한다. IOL(36)은 즉시 온 타이머 OT(38)도 동작되게 한다. IOT는 영교차 펄스의 선정된 수를 계수하고 리셋팅 하므로서 즉시 온 모우드의 기간을 결정한다.

이 즉시 온 기간은 설계된 최대비에서 약 8.5초로 양호한 실시예에서 선택되었다. IOT(38)가 리셋트될 때, 리셋트 신호는 IOL(36)을 리셋트하는 IOT에 의해서 출력되므로, 즉시 온 모우드가 종료된다. 이때 정상상태 동작 모우드는 이미 기술한 바와같이 처리된다.

즉시 온 모우드는 이 동작 모우드가 처리되는 동안 전력 셋팅이 고저로 변하는 경우에 끝난다.

테스트 장치(30)는 다음과 같이 상기 기능을 수행한다. 설정상태 1 내지 7중의 하나를 나타내는 신호가 KB에서 검출되는 한편, 즉시 온 모우드로 동작 즉, 하나의 전력설정상태로 부터 전력 설정 상태 1 내지 7중의 어떤 다른 설정상태로 설정상태가 변하는 것을 나타내는 경우, 크기 비교는 KB와 PM의 내용에 대해 수행된다. KB에서의 신호 크기가 PM에서의 것보다 작을때, 즉 새로운 설정상태가 이전의 설정상태보다 낮은 것을 표시할때, 테스트 장치(30)는 즉시 온 래치(36)에 리셋트 신호를 제공하여 인스탄트 온 동작 모우드가 종료되게 한다. KB에서의 신호는 PM내로 판독되고 새로운 전력 설정상태를 이용하는 정상상태 동작이 행해진다.

예를들어, 제어장치 동작을 설명하기 위해 인입된 최종 전력 설정상태가 오프 설정상태이고 가열 소자가 전력 설정상태 6에서 동작된다고 가정한다. 동작은 우선 온 버턴, 즉 키이보드의 버턴(6)을 작동시킨다. 온 버턴을 작동시키면, 신호 발생기(20)가 온 설정상태를 나타내는 디지털적으로 부호화된 신호를 발생시킨다.

이 신호는 메모리(18)의 일시위치에 기억된다. 테스트장치(30)는 오프 설정상태를 나타내는 신호에 대한 PM의 검사에 의해 메모리(18)내의 입입에 응답한다. 이전의 입입이 오프 전력 상태이었기 때문에 온 신호가 PM에 전송된다. 버턴(6)이 동작하면 신호 발생기(20)는 전력 레벨(6)을 나타내는 신호를 메모리 위치 KB에 전송한다. 테스트장치(30)는 KB에서의 전력 설정상태 1 내지 7중의 하나를 나타내는 신호의 존재를 검출함에 따라 PM에서의 온 신호가 완시동 래치(34)를 셋트하도록 동작한다. 비교장치(16)는 바람직한 완시동 전력 펄스 반복비 1/4가 제공되며 표 1의 전력 설정상태를 공급하므로서 응답한다.

비교장치(16)는 SST(34)가 SSL(34)의 리셋팅을 끝내고 IOL 36을 셋팅함에 따라 약 1초 동안 이같은 형태로 계속 동작하는 것에 의해 완시동 모우드가 끝나고 즉시 온 모우드가 시작된다. IOL(36)의 설정상태는 IOT(38)를 동작시키고 비교장치(16)가 전력 설정상태 7을 이용하게 한다.

전력 펄스는 즉시 온 모우드의 기간동안 전력 설정상태 7에 대응하는 1/1로 된다. 약 8.5초 후에 IOT(38)은 IOL(36)의 리셋팅을 끝낸다. 그러므로 즉시 온 모우드가 끝나고 정상상태 동작이 생긴다. 정상상태 모우드에서 비교장치(16)의 출력은 전력 설정상태 6에 대응하는 철스 반복비 1/2를 공급한다.

상기의 예에서, 전력설정상태 4가 즉시 온 모우드 동안 인입되면, 테스트 장치(30)는 KB에서의 신호와 PM에서의 신호를 비교하므로서 상기의 새로운 인입에 대응한다. 이 비교는 KB에서의 신호가 PM에서의 신호보다 작다는 것을 표시한다. 이때 테스트장치(30)는 KB에서의 신호를 PM으로 이송하고 IOL(36)과 IOT(38)를 리셋트하여 즉시 온 모우드가 종료되고 정상상태 오무드가 개시되게 한다.

제4도는 전력 제어가 TMS1000마이크로 프로세서나 칩에 의해 전자적으로 행해 는 MoSi₂ 가열소자를 사용

하는 단일 가열 소자 유리 세라믹판용 제어회로의 양호한 실시예를 도시한 것이다. TMS1000칩은 텍사스 인스트루먼트 인코퍼레이티드 및 그외의 회사들로부터 구입할 수 있다. 칩의 기술적인 상세 설명은 1975년 12월에 텍사스 인스트루먼트 인코퍼레이티드 회사가 출간한 'TMS1000데이터 매뉴얼'이 참조된다.

제4도를 참조하면, 칩(40)은 본 발명의 제어방식을 실현하게끔 ROM을 영구적으로 배치하여 만든 TMS1000 마이크로프로세서 칩이다.

키이보드(5)는 9개의 키이를 구비하는 용량성 접촉 배열이다. 이 키이는 온 및 오프외에 동작자가 전력레벨 1 내지 7을 선택하게 할수 있게 한다. 키이보드(5)는 이 분야에 공지되어 있는 종래의 용량성 접촉 키이보드처럼 동작하므로 여기서는 제어장치의 입력이 어떻게 발생하는지 이해하기에 필요한 만큼만 기술한다. 각각의 키이보드(5)는 상부패드 및 두개의 하부 패드(도시하지 않음)를 포함한다. 유전 재료에 의해 상부 및 하부 패드들이 분리되며, 이어 따라 두개의 직렬의 캐패시터가 효과적으로 형성된다.

상부 패드는 각각의 두 하부 패드들에 대해 공통판을 형성한다. 각각의 키에 대한 하나의 하부 패드는 공통 입력선에 접속된다. 다른 하부 패드는 그 자신의 출력선을 갖고 있다. 그러므로, 키이 보드는 모든 키이에 대해 공통적으로 분배된 하나의 입력선과 각각의 키이에 하나씩 9개의 출력선을 갖고있다. 키이 보드는 입력선에 주사 전압을 주기적으로 인가하므로서 주사된다. 이 전압은 모든 비접촉 키이의 출력선에 변화없이 이송된다. 접촉된 키이의 출력은 상부 피드에 대한 동작의 접촉에 의해서 정전 용량이 증대하기 때문에 줄어들게 된다.

제4도의 회로에서, 입력 또는 주사 펄스가 출력(R0)의 칩(40)에 의해 제공된다. 이 펄스는 R0에서부터 키이보드 구동회로(46)의 입력에 주기적으로 전송된다. 구동회로(46)는 R0로부터의 펄스를 증폭하도록 사용한 통상의 구동 회로이다. 증폭된 펄스는 키이보드(5)의 입력선에 구동회로(46)에 의해서 전송된다. 이 방법에서 키이보드(5)는 칩(40)의 ROM에 의해 결정된 비로 주기적으로 새로운 입력을 주사한다. 키이를 작동시킨다.

키이보드(5)의 출력단자는 전류 제한 저항회로(48)와 용량성 계면회로(50)를 통해 칩(40)에 결합된다. 저항회로(48)는 각각의 키이보드 출력선과 직렬로 $10k\Omega$ 정도의 큰 전류 제한 저항치를 나타낸다. 용량성 계면회로(50)는 키이보드 출력을 칩(40)에 의해 인식될수 있는 디지털 형태로 부호화하고, 영고자 검출기(10)로 부터의 영고자 펄스로 칩(40)의 입력을 다중화하여 칩(40)이 교류 전력 신호의 영고자와 그의 제어기능이 동기화되게 하는 키이보드 출력의 체배 역할을 행한다.

이 실시예에서, 용량성(50)은 텍사스 인스트루먼트 인코퍼레이티드로 부터 구입할 수 있는 tms1976 접적 회로이다. 이 회로의 상세한 설명은 본 발명에서 꼭 필요치 않지만, 그 동작을 본 발명의 이해에 필요한 만큼만 설명하겠다. 용량성 접촉 키이보드와 접속되어 있는 이 회로의 동작에 관한 상세한 정보는 'tms1976 용량성 접촉 키이보드 계면 매뉴얼'이란 제목으로 1977 TI 공보에 실려있다.

계면회로(50)는 9개의 내부 완충기(도시하지 않음)에 내부적으로 결합된 9개의 용량성 입력선, 즉 C₁ 내지 C₉를 포함한다. 각각의 입력선은 매우 높은 값의 저항을 통하여 고 입력 전압 헤벨에 높게 바이어스된다. 내부 완충기는 외부적으로 발생된 기준 전압으로부터 부의 변화를 검출하도록 설계되어 있다. 각각의 입력 완충기는 C입력선상의 입력전압이 기준 전압보다 더 부인것을 검출할때 관련 내부 래치(도시하지 않음)에 셋트 명령을 제공한다. 이 래치들의 출력은 동작시에 우성순위의 부여 및 부호화 기능을 수행하는 부호화기(도시하지 않음)에 내부적으로 전송된다. 입력선 C-1에는 최고의 우선권이 부여되며 C-9에는 최저의 우선권이 부여된다. 최고의 우선순위를 갖고 있는 수신된 입력은 4-비트 BCD어로 부호화되고 내부 다중화기 전송된다.

계면회로(50)의 다중화기 부분은 ISR로 표시된 입력에 의해 제어된다. ISR이 낮으면 BCD어는 출력 Y₁ 내지 Y₄에 전송된다. 입력 ISR에서의 고레벨은 C입력선에 응답하는 내부 래치들을 모두 리셋트하여 이 리셋트 상태를 ISR 입력이 저레벨로 돌아올때 까지 유지한다. 모든 래치들이 리셋트되면, 래치들에 의해 제공된 신호는 키이가 눌러지지 않은 것과 같게 된다. 또한, ISR이 높으면, F-입력신호는 출력 Y₁을 나타낸다. C입력이나 F입력을 선택하는 ISR선의 기능은 입력들이 칩(40)에서 다중화 될수있게 한다.

이 다중화 기능의 제어는 계면 회로의 ISR 입력선에 전기적으로 결합된 칩 출력 부분 R0를 통하여 이루어진다.

칩(40)은 각각 출력 Y₁ 내지 Y₄에 전기적으로 결합된 입력선 K₁, K₂, K₃ 및 K₈상에 있는 키이보드(5)로부터의 주사 출력을 나타내면, 계면회로(50)로 부터의 BCD 부호화된 4-비트 신호를 수신한다. 이미 기술한 바와같이, 입력 K₁은 계면회로(50)의 F입력을 통하여 영고자 검출기(10)에 칩(40)을 결합시킨다.

칩(40)으로부터의 출력은 출력 O₀ 내지 O₇, R0 및 R₄로 부터 전송된다. 출력 O₀ 내지 O₇은 통상의 세븐세그먼트 LED 표시장치(8)에 표시정보를 제공한다. 이미 기술한 바와같은 선 R₀는 계면회로(50)의 입력선 ISR과 키이보드 구동기(46)의 입력에 결합된다. 또, 선 R₀는 표시장치(8)를 동작시키는 통상의 구동회로의 입력에도 결합된다. 출력 R₄는 전력선으로부터 칩(40)을 고립시키고 R₄로 부터의 출력을 증폭하는 다수의 공지된 구동 회로일 수도 있는 통상의 트라이액 구동회로(26)를 통하여 전력 제어 트라이액(3)의 게이트 단자와 칩(40)을 결합한다.

칩(40)은 제어 지시의 선정된 셋트를 이용하도록 칩(40)의 ROM을 영구적으로 구성 배치하는 것에 의해 본 발명의 제어기능을 수행하게 되어 있다. 제5도 내지 제11도는 선택된 전력 설정상태에 필요한 전력 펄스 반복비를 제공하는 식으로 트라이액(3)을 트리거 하기 위해 제어신호를 발생하고 계면회로(50)를 통하여 키이보드(5)로 부터 입력 데이터를 기억하고 처리하도록 마이크로 처리기내에 공급된 제어 루틴(routine)을 도시한 유통도이다. 이 유통도로부터 프로그램 기술 분야에 속련된 기술자는 마이크로 프로세서(40) ROM내에 영구적으로 기억하기 위한 한조의 지시를 작성할수 있다.

제어 프로그램은 제5도 내지 제11도의 유통도에 도시된 일련의 루틴으로 구성되어 있다. 출력 온 루틴을 제외한 각각의 루틴들은 각 제어 기간을 통하여 일순환된다. 최초의 프로그램은 장치에 전력을 인가하미로서 시작된다. 제어회로는 선택된 출력설정상태에 관계없이 전력이 인가되는 한 계속적으로 활성화됨은 주목된다. 출력전력 루틴이 시작되면 프로그램은 전력신호의 다음 영고차의 발생을 기다리도록 일시 정지된다. 영고차의 검출시, 트라이액 트리거 결정은 출력 래치 R₄를 셋팅하거나 셋팅하는것에 의해 트라이액 구동회로에 전송되어 프로그램이 다음 주기의 프로그램을 시작하도록 주사 루틴에 되돌려진다.

이하 유통도를 참조하여 각각의 루틴을 기술하겠다. 제5도의 전력은 루틴은 전력인가시에, 내부래치, 타이머 및 레지스터를 리셋트한다. 단, 이 루틴은 전력 인가시에만 사용된다. 제6도의 주사루틴은, 즉, 각 제어 기간의 시작점에서 전력출력 루틴으로부터 시작되는 이 루틴은 용량성 계면회로(50)로 부터의 데이터 입력을 제어하고 또한 전력설정상태가 이용되는 것을 표시하기 위한 표시소자(44)에 표시데이터의 출력을 제어한다.

계면회로(50)로 부터의 데이터 입력은 계속되는 일련의 동작에 의해 이루어진다. 첫째, 키이보드 주사는 최초에 출력래치 R₀를 고(hige)에 스위칭하므로 리셋트된다(브릭 1000). 이것은 계면회로(50)의 내부 입력 완충기를 리셋트 한다. 다음키이보드 주사는 출력 래치 R₀를 저(row)에 스위칭하므로 셋트된다. 브릭 104), 이것에 의해 계면회로 (50)의 Y₁ 내지 Y₄ 출력에 부호화된 C입력 데이터가 전송된다. 마지막으로, 이 선들 상의 데이터는 일시 메모리 레지스터 KB내로 판독되고 기억된다. (브릭 104-108) 키이 보드로부터의 입력데이터의 검색을 완료하면, 프로그램은 입력 데이터 루틴으로 이어진다. 이 루틴동안, 현재 영구메모리 PM 내에 기억된 전력설정상태를 나타내는 표시 데이터는 표시 출력 O₀ 내지 O₇에 전송된다. (브릭 02) 제7도의 입력 데이터 루틴은 주사루틴에 의해서 얻어지고 KB에 일시적으로 기억된 새로운 데이터가 공백, 오프 설정상태 1 내지 7중의 하나를 나타내는지를 결정한다.

새로운 데이터가 공백을 나타내는 경우(브릭 100), 현재 이용되는 제어신호를 포함하는 영구 기억 레지스터 PM은 변하지 않고, 프로그램은 전력제어루틴(제9도)에 이어진다.

KB에서의 새로운 데이터가 오프 설정상태를 나타내는(브릭 112)이 데이터는 PM내로 판독되는(브릭 114), 완시동 및 즉시 온 래치 및 타이머는 리셋트 되고, (브릭 115) 프로그램은 전력 제어루틴(제9도)에 이어진다.

새로운 데이터가 온 설정상태를 나타내는 경우, (브릭 116) 부수적인 검사는 완시동 모우드를 이용할 필요가 있는지를 결정하도록 이행된다. PM에 기억된 제어신호는 이미 언급된 설정상태가 오프설정상태 인지를 결정하도록 검사된다(브릭 118). 그렇게되면, KB에 기억된 새로운 온 설정 상태는 PM내로 판독된다.(브릭 120) 그렇지 않으면, PM의 내용은 변하지 않고 프로그램은 전력 제어루틴(제9도)에 이어진다. 이 후자상태는 새로운 온 설정상태가 무시되는 경우에 설정상태가 온으로부터 온으로 되던가 셋팅 1 내지 7중의 하나에서 온으로 되는 것을 표시한다.

새로운 데이터가 공백, 오프, 또는 온이 아닌(브릭 116의 아니오(No)응답에 의해 표시된) 경우, 이미 인입된 설정상태가 오프 설정 상태인지를 결정하도록 PM에 기억된 신호를 검사할 필요가 있을때(브릭 117) 설정상태 1 내지 7중의 하나를 나타내야만 한다. 예(Yes)이면, PM의 내용은 교란 되지 않고 프로그램은 전력 제어 루틴(제9도)에 이어진다. 이 상태는 먼저 온 설정상태를 선택하지 않고 오프로부터 전력 설정 상태 1 내지 7중의 하나로 가도록 시도하는 것을 표시한다. 이러한 경우, 새로운 전력 설정상태는 무시된다. 브릭 117에서의 아니오(No) 응답은 프로그램이 입력 비교 루틴(제8도)에 이어지는 경우에 이전의 설정상태가 온이니 설정상태 1 내지 7중의 하나라는 것을 표시한다.

제8도의 입력비교 루틴은 새로운 입력이 전력 설정상태 1 내지 7중의 하나를 나타낼 때에만 시작된다. 이 루틴의 주요기능은 완시동 모우드를 시작하고 적당한 시기에 즉시 온 모우드를 끝내는 것이다. 이 기능은 다음 방법으로 이루어진다. 브릭 122는 온 설정상태에 대해 PM을 검사한다. PM이 온 설정상태를 포함하여, 전력 설정상태가 온에서 전력설정상태 1 내지 7중의 하나로 변하는 것을 나타낼 때, 완시동 래치 SSL은 셋트된다. (브릭 124), KB에 일시적으로 기억된 새로운 전력설정상태는 PM내로 전송되고(브릭 125), 프로그램은 전력 제어 루틴에 이어진다.

PM이 온설정상태가 아닌 다른 설정상태를 포함하여, 전력 설정상태 1 내지 7중의 하나에서 다른 것으로 변하는 것을 나타낼때, 새롭게 인입된 설정상태가 이용되는 설정상태보다 낮은지를 결정해야 할 필요가 있다. 본 발명의 제어 방식의 일 특징은 즉시 온 보우드로 동작하는 동안 이전의 설정상태보다 낮은 새로운 전력 설정상태가 인입되면 즉시 온 모우드가 즉각 끝난다는 것이다.

표 1에 표시한 바와같이, 전력설정상태 1 내지 7은 BCD 코드로 표시된다. 그러므로, 크기 비교는 PM 과 KB(브릭 126)에 기억된 신호에 대해 행해진다. (브릭 126) KB에서의 부호화된 신호가 PM에서의 부호화된 신호보다 작으면, 새로운 설정상태는 낮아지고 즉시 온 래치와 즉시 온 타이머는 리셋트된다(브릭 128과 129). KB에 기억된 신호가 PM에 기억된 신호보다 작지 않으면, 즉시 온 래치와 타이머가 변하지 않는다. 두 경우에, KB에 초기 기억된 새로운 인입 신호는 PM내로 판독된다(브릭 125). 이때 프로그램은 전력 제어루틴(제9도)에 이어진다.

제9도의 전력 제어 루틴의 주요 기능은 마스터 카운터의 각 제어 기간을 증가시키고 적당한 시기에 완시동 및 즉시 온 루틴을 이용하는 것이다. 반복적으로 0내지 63까지를 계수하는 링 카운터로서 작용하는 마스터 카운터를 증수한후(브릭 150), 완시동 래치는 검사된다(브릭 152). 래치가 셋트되어, 완시동 모우드 동작을 표시하면, 이때 완시동 타이머는 증수되고(브릭 154), 타이머의 내용은 완시동 모우드의 지속기간을 제한할 목적으로, 시간 종료를 표시하는 기준정수에 대해 검사된다. 시간종료는 1초의 지속 기간의 경우 15에 설정된다. 타이머의 내용이 0이 넘으면, 완시동 래치 및 타이머는 리셋트되고 즉시 온 래치가 셋트된다(브릭 157 내지 159). 브릭(155)은 이 후에 기술한 즉시 모우드 공급시에 사용된 레지스터와 MKB를 변화시키고 10이 셋트될 때 인입되는 전력 비교루틴(제10b도)의 브릭(147)에 대한 보상을 위해 PM을 변화시킨다. 이때 프로그램은 PM에 기억된 실제 전력설정상에 무관한 완시동 반복비를 이

용하도록 전력제어 루틴의 브럭(141)에 이어진다.

완시동 래치가 셋트되지 않으면, 즉시 온 래치(IOL)가 검사된다(브럭 160). 이 래치가 셋트되어 즉시 온 모우드 동작을 표시할 때, MKB로 표시된 레지스터는 이 실시예에서 셋트 7(브럭 161)용 BCD코드인 최고전력 설정상태의 코드와 같은 설정된다. 이때 즉시 온 타이머의 계수는 1만큼 증가되고 계수가 선정된 최대치(브럭 162, 163)를 넘는지를 판단하도록 검사된다. 그렇지 않으면, MKB와 PM의 내용은 바뀌어(브럭 164), PM이 실제 전력설정상태가 아닌 전력 레벨 7에 대응하는 신호를 포함하게 하여 실제 전력설정상태에 무관한 즉시 온 모우드에 관련된 전력 펄스 반복비가 이용된다. 즉시 온 타이머가 최대계수(MAXTIME)를 넘으면, 즉시 온 모우드는 즉시 온 래치 및 타이머(브럭 165와 166)를 리셋트 하는 것에 의해 끝난다. 최대 계수는 약 8.5초의 기간 동안 1020에 설정된다. 이 두 경우에 프로그램은 전력 비교 루틴에 이어진다.

제10a도, 제10b도의 전력비교 루틴은 바람직한 펄스 반복비를 적당하게 공급하기 위해서 출력 래치 R4(제4도)가 트라이액(3)을 도전 상태로 트리거 하도록 셋트되는지, 혹은 트라이액(3)을 오프되게 하도록 리셋트 되는지 결정되게끔 PM과 ZCM의 비교를 행한다. 여기에 기술한 비교기능은 이 실시예에서 다음과 같이 이용된다. 즉, PM은 PM=7에 대해 검사되어 전력 셋팅 70이 선택되는 것을 표시한다. (브럭 130), 만일 예(Yes)라면, 전력 온 래치(POL)는 셋트되고(브럭 138, 제10b도), 트라이액이 제어기간마다 트리거되므로 또 다른 비교가 필요없다. 또한, 아니오(No)라면, ZCM의 최초의 최하위 비트 LSB는 0(브럭 140)에 대해 검사된다. 0이 아니면, 다른 비교를 할 필요가 없고 POL은 리셋트 된다(브럭 139, 제10도).

이 비트가 0이면, 이때 PM은 전력설정상태 6의 선택을 나타내는 6에 대해 검사된다. (브럭 131) PM=6이면, 이때 POL이 셋트된다. 최초의 최하위 비트는 다른 모든 계수에 대해 0이므로, 브럭(140)은 다른 모든 계수 때에 인입된다. 결과적으로, 전력 레벨 60이 선택되면, 트리거에 대한 결정이 바람직한 1/2 전력 펄스 반복비를 제공하는 다른 계수를 만든다. PM이 60이 아니라면 ZCM의 두번째의 최하위 비트는 0(브럭 141)에 대해 검사된다. 이 결정 브럭은 최초의 최하위 비트가 0이였을때에만 도달되기 때문에, 그 결과, 실제상 첫번째 및 두번째의 최하위 비트가 모두 0으로 되는지 안되는지 결정된다. 그러므로, 이 두 비트가 0인 것을 표시하는 이 브럭으로부터의 예(Yes) 출력은 매 4카운트마다 생기게 된다. 만일 대답이 예(Yes)이고 전력 레벨 5가 선택(브럭 132)되거나 완시동 래치 SLL이 셋트(브럭 127)되어 완시동 모우드 동작을 표시하는 경우, POL은 셋트되어 바람직한 1/4 전력 펄스비가 제공된다. 완시동 래치가 셋트되면 프로그램 전력 제어루틴으로부터 브럭(141)으로 직접 향하여 이에 의해 브럭(130)과 (131)을 통과하게 된다. 이 두 비트들이 0이고, SSL이 셋트되지 않고 전력 레벨 5가 선택되지 않으면, ZCM의 세번째의 최하위 비트가 0에 대해 검사되고, 0이면, PM=4(브럭 133)에 대해 검사가 행해진다. 제3세번째의 최하위 비트에서 0이 발견되지 않으면, PM=6에 대한 검사가 실시되지 않는다. 이 패턴은 0이 발견될 ZCM의 최하위 비트의 적당한 수와 PM에서 발견되며 트리거 결정을 초래하는, 즉, 내부 래치상에서의 POL설정상태인 전력 설정상태 사이에 정합이 존재하는 것을 발견할때까지 또는 아니오(No) 트리거 결정 즉 POL리셋팅에서 정합이 발견되지 않을 때까지 계속된다. POL상태는 기술될 방법으로 전력 출력 루틴에 사용된다.

비교검사와 POL의 셋팅 또는 리셋팅후, 즉시 온 래치가 검사된다(브럭 146). 이 래치가 셋트되어, 선택된 실제의 전력 설정상태에 대응하여 전력제어 루틴내에서 즉시 온 모우드를 실현하도록 사용된 교환 이전에, 원래의 값으로 PM을 재기억 하게끔 MKB와 PM의 내용을 재교환해야 한다.

이때 프로그램은 전력출력 루틴에 이어진다.

제11도의 전력 출력 루틴의 기능은 전력 신호 영고차와 트라이액 트리거를 동기화시키는 것이다. 이 루틴을 시작할 때 트라이액 게이트 단자에 결합된 출력 래치 R₄(제4도)는 리셋된다(브럭 170), 래치 R0는 낮게 셋트되고(브럭 171)이 의해, 영고차 검출기(10)로부터 침(40)의 입력 K₁으로의 입력을 다중회하도록 게면회로(50 : 제4도)의 ISR입력에 고레벨 신호가 제공된다. 이때, 제어 프로그램은 검출기(10)로부터의 영고차 펄스 수신을 나타내는 수신될 입력을 기다리는 입력 K₁을 검사한다(브럭 172, 173). 영고차 펄스의 수신시, R0는 낮게 스위치되어 ISR이 리셋팅되게 하며(브럭 174) POL이 검사된다(브럭 175), POL이 셋트되면, 출력 래치(4)는 트리거 전압이 구동회로(26)(제4도)를 통하여 트라이액 게이트 단자에 인가되도록 셋트된다(브럭 176). POL이 셋트되지 않으면 R₄는 리셋트 상태로 유지되고 트라이액(3)은 도전 상태로 스위치되지 않는다. 이때 프로그램은 주기를 반복하도록 주사 루틴에 이어진다.

제조비의 관점에서 마이크로 프로세서는 본 발명의 양호한 실시예의 제어회로 내의 주요 제어소자이다. 그러나, 본 발명 개념은 이러한 실시예에 제한되는 것이 아니다. 본 발명의 제어방식은 제3도의 기능 계통도와 제5 내지 제11도의 유통도에 도시되어 있는데, 경제적으로 유용한 회로 소자를 사용하는 디지털 논리 회로를 사용하여 이용될 수 있다.

제13도 내지 제16도와 제18도는 마이크로 프로세서 대신에 결선타입의 디지털논리 회로를 사용하는 본 발명의 선택적인 실시예에 대한 논리회로를 도시한 것이다. 이미 기술한 것들과 기능이 같은 소자들은 같은 숫자로 표시되어 있다. 도시된 논리 회로들은 제3도의 계통도를 도시한 방법으로 접속된다.

이미 기술한 실시예에서와 같이 제어기간은 연속적으로 영고차 펄스의 선단부들 사이에 있는 기간이다. 논리 회로는 각각의 제어 기간동안 순환된다. 래치와 레지스터들을 클록하기 위한 타이밍 신호는 제어기간동안 회로 동작을 동기화하기 위한 종래의 장치에 의해 제어된다. 타이밍 회로는 본 발명의 필수 소자가 아니므로 도시하지 않았으나, 이러한 회로는 이 분야에 공지되어 있다.

기술될 논리 회로에서, 계면 회로는 간단하게 하기 위해서 생략했다. 이러한 회로는 공지되어 있다.

마이크로 프로세서 실시예에서, 논리 타이밍은 본래 마이크로 프로세서의 일련 특성의 결과로서 이루어진다. 각각의 지시는 연속적으로 행해지는데, 하나의 지시만이 어떤한 시간에 실행될 수 있게 된다. 그러므로, 제어기간이 영고차 펄스의 침에 대한 입력에 의해 시작되면, 마이크로 프로세서는 ROM에 기억된

지시를 통하여 진행된다. ROM 내에서의 지시 적당한 실행은 타이밍 문제를 해결한다.

디지털 논리회로 실시예에서, 각 제어 기간내의 타이밍은 제17도의 타이밍도에 도시된 형태의 6개의 타이밍 신호를 제공하는 시간 회로를 사용하여 제어될수 있다. 제17도의 타이밍도에 따라서 타이밍 신호를 발생할수 있는 종래의 카운터 발진회로는 이 분야에 공지되어 있다. 이러한 회로의 상세한 설명은 본 발명의 일부가 아니므로, 타이밍 회로는 그의 출력면에 대해서만 기술될것이다.

제17도를 참조하면, 곡선 ZCP는 영교차 검출기(10)의 출력을 나타낸다. 이 신호의 폴스 반복비는 120펄스/초이다. 신호 TS₁ 내지 TS₆는 각각의 제어기간 내에서 논리회로 동작을 동기시키는데 사용된다. TS₁은 용량성 계면회로(50)(제13도)의 SR입력에 인가된 부행 폴스이다. 부행 폴스는 키이보드 입력(제13도)에 인가된 TS₂에 의해 키이보드가 주사되게 하고, 레지스터 18(1)(제14도)의 동작 가능 입력에 인가된 TS₃에 의해 동작 가능하게 되는 메모리(18)의 기억 레지스터(18(1))에서 주사를 판독할만큼 긴 기간을 가져온다. 즉, TS₁은 TS₂ TS₃을 중첩해야 한다. TS₄는 메모리(18)의 레지스터(18(2))용 동작 가능 신호로 작용한다. 이 신호는 테스트 장치(30)(제13도)의 AND게이트(30(2))를 통하여 레지스터(18(2))의 동작 가능 입력에 게이트된다.

타이밍 신호 TS₅는 새로운 주사 결과에 응답하여 이들 래치의 출력을 다시 경신하도록 완시동 래치(32)와 즉시 온 래치(36)(제18a도)의 클록 입력에 인가된다. 이때 비교장치(16)는 다시 경신된 래치 정보에 따라서 그의 출력을 다시 경신된 출력을 반영하도록 래치의 출력을 동작 가능하게 하기위해서 출력온 래치(24)(POL)(제18b도)의 클록 입력에 폴스를 인가한다. POL이 클록되면 이 회로는 다음 제어 기간을 시작하는 다음의 영교차 폴스를 기다린다. POL(24)의 출력은 영교차 폴스(제3도)에 의해 트라이액(3)의 게이트단자에 게이트 된다.

제13도는 제3도의 디지털 신호 발생기(20)의 기능을 실시하기 위해 사용한 회로를 도시한 것이다. 신호 발생기(20)의 기능은 키이보드(5)의 키아를 동작자가 작동시키므로 선택된 출력 설정상태를 나타내는 4-비트 디지털 신호를 제공한다. 이것은 마이크로 프로세서 실시예에 참조해서 기술한 동일 기본 회로소자, 즉, 용량성 접촉 키이보드(5), 저항회로(48) 및 용량성 계면회로(50)를 사용하는 제3도의 회로에서 이루어진다. 계면회로(50)는 이미 기술한 바와같이 부호화 및 우성순위부여 기능을 수행하지만, 이전의 실시예에서와 같이 제어신호 데이터와 영교차 폴스 데이터를 다중화하지 못한다는 차이가 있다. 타이밍 회로(도시하지 않음)는 키이보드용 주사신호 TS₂(제17도)를 그리고, 각각의 제어 기간때에 키이보드가 주사될수 있게끔 ISR입력에 전당한 신호 TS₁(제17도)를 인가하도록 배열되어 있다. 이전의 실시예에서와 같이, 표 1은 용량성 계면회로(50)에 의해 제공된 부호화된 디지털 신호와 전력 설정상태 간의 관계를 도시한 것이다.

제14도는 제3도의 테스트 장치(30)와 메모리(18)를 제공하는 논리회로를 도시한 것이다. 이 실시예에서, 메모리(18)는 KB로 표시된 일시적인 메모리 소자(18(1))와 PM으로 표시된 영구 메모리 소자(18(2))를 포함한다. KB는 각각의 키이보드 주사 결과를 기억하도록 모든 제어기간을 새롭게 한다. PM은 작동된 키아가 검출될때에만 새롭게 된다. 이들 소자들은 SN 74194로 집접 회로로서 매우 유용한 형태의 4-비트 병렬 입력/병렬 출력기억 레지스터를 구성한다.

레지스터(18(1))는 신호 발생기(20)로부터 제어 신호를 수신하고 기억한다. 이신호는 제17도의 타이밍도의 타이밍 신호 TS₃에 의해 레지스터(18(1))내로 판독된다. 레지스터(18(1))의 출력은 이후에 기술된 방법으로 테스트장치(30)에 의해 검사된다. 테스트 장치(30)로 부터의 출력은 적당한 시기에 레지스터(18(2))의 동작 가능 입력(E)에 폴스를 보내서 레즈스터(18(1))의 부호화된 신호를(18(2))내로 판독할 수 있게 하므로서 레지스터(18(2))를 동작시킨다. 레지스터(18(1))의 내용은 이같은 발생에 의해 변하지 않는다.

테스트 장치(30)는 (1)기억된 새로운 신호가 오프신호일때이거나, (2)새로운 신호가 온 신호이고 래지스터(18(2))에 기억된 구신호가 오프 신호일때 이거나 (3)새로운 신호가 전력설정상태 1 내지 7중의 하나이고 구신호가 오프 신호가 아닐때에만 레지스터(18(1))내에 일시적으로 기억된 새로운 신호가 레지스터(18(2))내로 판독하게 한다. 또한, 테스트 장치(30)는 오프 신호가 레지스터(18(2))에 기억될 때, 완시동 및즉시 온 래치를 리셋트 한다. 상태(1) 안하여, 오프 신호는 항상(18(2))내로 판독되고, 상태(2)는 오프상태로부터의 변화시 전력설정상태 1 내지 7중의 하나 이전에 온 설정상태가 선택되고, 구신호가 전력설정상태 1 내지 7중의 하나일 경우에 온설정상태가 무시되며, 태상(3)은 전력 설정상태 1 내지 7중의 하나에서 다른 것으로 변할수 있게 한다. 작동된 키아가 검출되지 않는 상태를 나타내는 공백 입력은 방금 기술한 바와같이 상태(1), (2) 또는 (3)하에서만 레지스터(18(2))를 동작시키게 하므로서 배제된다.

이 실시예의 테스트장치(30)는 제14도의 논리계통도를 참조해서 기술하겠다. 논리 AND 게이트(30(1))의 출력은 레지스터(18(2))의 동작 가능 입력에 결합된다. 게이트(30(2))의 출력이 논리 1이면, 레지스터(18(1))에서의 신호는 레지스터(18(2))내로 판독된다. 게이트(30(1))는 상태(1), (2) 또는 (3) 중의 한 상태가 만족될때 논리 1인 논리 OR게이트(30(2))의 입력과 TS₄ 신호를 AND논리로 취하므로서 타이밍 신호 TS₄(제17도)와 레지스터(18(2))의 가능동작을 동기하도록 작용한다. 레지스터(18(1))에서의 오프 신호(1000)의 존재는 레지스터(18(1))에서 4개의 출력을 입력으로 갖고있는 논리 AND게이트(30(3))에 의해서 검출된다. 레지스터(18(1))에서의 신호의 3개의 최하위 비트에 대응하는 게이트(30(3))에 대한 입력은 반전된다. 그러므로, 게이트(30(3))의 출력은 신호(1000)로 표시된 우프 신호가 레지스터(18(1))에 기억될때 논리 1이다. 게이트(30(3))의 출력은 게이트(30(2))와 (30(1))를 통하여 레지스터(18(2))의 동작가능입력에 결합된다.

레지스터(18(1))에서의 온 신호의 존재는 레지스터(18(1))의 출력을 입력으로 갖고 있는 논리 AND게이트(30(4))에 의해 검출된다. 레지스터(18(1))에서의 신호의 두번째 및 세번째의 최하위 비트에

대응하는 게이트(30(4))에 대한 입력은 반전된다. 그러므로, 게이트(30(4))의 출력은 온 신호 (1001)로 표시된 오프 신호가 레지스터(18(1))에 기억될 때 논리 1이다. 게이트(30(4))의 출력은 게이트(30(6)), (30(2)) 및 (30(1))를 통하여 레지스터(18(2))의 동작 가능 입력에 결합된다. 레지스터(18(2))에서의 오프 신호는 레지스터(18(2))의 4개의 출력을 입력으로 갖고 있는 논리 AND 게이트(30(5))에 의해 검출된다. 레지스터(18(2))의 3개의 최하위 비트에 대응하는 게이트(30(5))에 대한 입력은 반전된다. 그러므로, 게이트(30(5))의 출력은 오프 신호가 레지스터(18(2))에 기억될 때 논리 1이다. 논리 AND 게이트(30(6))는 게이트(30(4))와 (30(5))의 출력들을 AND 논리로 취한다. 그러므로, 게이트(30(6))의 출력은 레지스터(18(1))에서의 새로운 신호가 온 신호이고 레지스터(18(2))에서의 구신호가 오프 신호일 때 논리 1이다. 게이트(30(6))의 출력은 게이트(30(2))와 (30(1))를 통하여 레지스터(18(2))의 동작 가능 입력에 결합된다.

레지스터(18(1))에서의 전력 설정상태 1 내지 7중의 하나를 나타내는 신호의 존재는 게이트(30(7))와 (30(8))에 의해서 검출된다. 논리 OR 게이트(30(7))는 3개의 최하위 비트에 대응하는 레지스터(18(1))에서의 출력을 입력으로 갖고 있다. 결과적으로 게이트(30(7))에서의 출력을 레지스터(18(1))에서의 공백이 외의 임의의 신호를 나타내는 신호에 대해 논리 1이다. 논리 AND 게이트(30(8))는 레지스터(18(1))의 최상위 비트에 대응하는 반전된 입력과 게이트(30(7))의 출력을 AND 논리로 취한다.

표 1에 도시한 바와 같이, 최상위 비트는 전력 설정상태 1 내지 7에 대해 논리 0이고 설정상태 온 및 오프에 대해 논리 1이다. 그러므로, 게이트(30(8))의 출력은 레지스터(18(1))에서의 신호가 전력 설정상태 1 내지 7중의 하나를 나타낼 때 논리 1이고, 다른 때에는 논리 0이다. 논리 AND 게이트(30(9))는 게이트(30(5))의 반전된 출력과 게이트(30(8))의 출력을 AND 논리로 취한다. 결과적으로, 게이트(30(9))의 게이트(30(5))의 반전된 출력과 게이트(30(8))의 출력을 AND 논리로 취한다. 결과적으로, 게이트(30(9))의 출력은 게이트(30(8))의 출력이 논리 1이고, 게이트(30(5))가 논리 0일 때 논리 1인데, 이것은 레지스터(18(1))에서의 신호가 설정상태 1 내지 7중의 하나에 대응하고 레지스터(18(2))에서의 신호가 오프 설정상태가 아니라는 것을 표시한다. 게이트(30(9))의 출력은 게이트(30(2))와 (30(1))를 통하여 레지스터(18(2))의 동작 가능 입력에 결합된다.

테스트 장치(30)는 (a) 레지스터(18(1))가 전력 설정상태 1 내지 7중의 하나를 표시하는 신호를 포함하고, (b) 레지스터(18(2))가 온 신호를 기억할 때 완시동 래치(32)(제18a도)를 셋트한다. 상태(a)는 이미 기술한 바와 같이 논리 AND(30(8))의 출력에서의 논리 1로 증명된다.

상태(b)는 레지스터(18(2))로부터의 출력선을 입력으로 갖고 있는 AND 게이트(30(10))에 의해 검출된다. 두 번째 및 세 번째의 최하위 비트를 나타내는 선은 반전되므로, 게이트(30(10))의 출력은 레지스터(18(2))에 기억된 신호가 온신호(1001)일 때에만 논리 1이다. 게이트(30(8))와 (30(10))의 출력은 논리 AND 게이트(30(11))에 의해서 AND 논리로 행해진다. (30(a))로 표시한 (30(11))의 출력은 완시동 래치(32)(제18a도)의 셋트 입력에 결합된다. 그러므로 상술한 상태(a)와 (b)가 만족될 때 SSL을 셋트하는 논리 1이 인가된다.

테스트 장치(30)는 레지스터(18(1))에서의 신호가 레지스터(18(2)) 내의 신호로 나타난 것보다 더 낮은 전력 설정상태를 나타낼 때 즉시 온 래치(36)(제18a도)를 리셋트 한다. 이것은 두 레지스터들의 내용의 크기 비교를 행하는 비교기(30(12))에 의해서 이루어진다.

제14도의 회로에서, 이 기능은 비교기(20(12))와 게이트(30(5)), (30(8)) 및 (30(13)) 내지 (30(15))에 의해서 행해진다. 레지스터(18(1))과 (18(2))의 내용의 비교도 SN 7485와 같은 집적회로로 유용한 형태의 종래의 4-비트 비교기(30(12))에 의해 계속적으로 행해진다. 새롭게 들어간 전력 설정상태가 이미 인입된 설정상태보다 낮은 설정상태 일 때 생기는 것과 같이 레지스터(18(1))의 내용의 크기가 레지스터(18(2))의 내용의 크기보다 작을 때, 비교기(30(12))의 출력은 논리 1이다. 이 출력은 AND 게이트(30(8))와 (30(14))의 출력과 이 출력을 AND 논리로 행하는 AND 게이트(30(15))에 결합된다.

지금 막 기술한 바와 같이, AND 게이트(30(8))의 출력은 레지스터(18(1))의 내용이 전력 설정상태 1 내지 7중의 하나를 나타낼 때 논리 1이다. 이와 마찬가지로, 레지스터(18(2))의 3개의 최하위 비트를 OR 논리로 취하는 논리 OR 게이트(30(13))의 출력과 레지스터(18(2))의 반전된 최상위 비트를 AND 논리로 취하는 논리 AND 게이트(30(14))의 출력은, 레지스터(18(2))가 전력 설정상태 1 내지 7중의 하나를 나타내는 코드를 포함할 때 논리 1이다. 그러므로, 게이트(30(15))는 저항기(18(1))와 (18(2))가 전력 설정상태 1 내지 7중의 하나를 나타내는 코드를 포함할 때마다 논리 OR 게이트(30(16))를 통하여 즉시 온 래치(36)(제3도)의 리셋트 입력에 대한 비교 결과를 게이트 한다. 상술한 상태가 만족되고 레지스터(18(1))에 나타난 전력 설정상태가 레지스터(18(2)) 내의 전력 설정상태보다 낮으면, 게이트(30(15))의 출력과 결과적으로 (30(c))로 표시한 게이트(30(16))의 출력은 즉시 온 래치(36)의 리셋팅을 초래하는 논리 1이다.

게이트(30(5))의 출력은 OR 게이트(30(16))를 통하여 즉시 온 래치(36)의 리셋트 입력에도 결합된다. 결과적으로, 래치(36)는 오프 설정상태(1000)가 레지스터(18(2)) 내에 기억될 때 리셋트된다.

끝으로, (30(b))로 표시된 게이트(30(5))의 출력은 완시동 래치(32)의 리셋트 입력에 직접 결합된다. 결과적으로, 완시동 래치(32)는 오프 신호가 레지스터(18(2)) 내에 기억될 때 리셋트 된다.

제3도의 마스터 카운터(14)는 영교차 검출회로(10)(제3도)에 의해 제공된 영교차 펄스를 계수하는 8-비트 링 카운터에 의해 이 실시예에서 사용된다. 8-비트 카운터(14)는 제15도에 도시한 것과 같은 2개의 4-비트 리플 통과 카운터를 종속 접속 하므로써 형성된다. 카운터(14(1))의 출력(A) 내지(D)은 각각 계수의 첫 번째 내지 네 번째의 최하위 비트를 제공하고, 카운터(14(2))의 출력(E) 내지(F)은 각각 다섯 번째 및 여섯 번째의 최하위 비트를 제공한다. 영교차 검출기(10)의 출력은 카운터(14(1))의 클록 입력에 결합된다. 기술될 비교장치(16)는 각각 계수의 여섯 번째의 최하위 비트를 나타내는 출력(14A) 내지 (14F)를 수신한다. 카운터(14(1))와 (14(2))는 SN7493으로 된 집적회로로 유용한 형태로 되어 있다.

제16도에 도시된 바와 같은 이 실시예 내의 비교장치(16)는, 카운터(!4)로부터 출력의 최초의 여섯 개의

최하위 비트에 응답하는 계수 게이트로 표시된 논리 게이트(16(4)(a))내지 (16(4)(f))회로와, 메모리(18)의 레지스터(18(2))로 부터의 출력에 응답하는 10진 복호기 4선으로 부터 10선으로의 보통의 BCD로부터 10진법으로의 복호가 (16(1))와, 계수 게이트 및 복호기로부터의 출력에 응답하는, 비교 게이트로 표시된 논리 게이트(16(2)(a)) 내지 (16(2)(f))회로를 포함한다. 비교게이트의 출력은 논리 게이트(16(5)) 내지 (16(7))를 통하여 출력 온 래치(24)(제3도)에 결합된다. 논리게이트(16(8))와 (16(9))는 완시동 및 즉시온 래치(34) 및 (36)(제4도)로 부터의 입력을 기술될 방법으로 비교장치회로에 각각 결합시킨다.

제16도의 회로를 더욱 상세하게 기술하기 전에 제3도의 제어장치 내의 비교장치(16)의 기능과 이 기능이 수행되는 방법을 다시 알아보겠다. 제3도의 비교장치(16)의 기능은 전력 제어 트라이액(3)(제1도와 제3도)이 다음의 제어기간동안 결정하는 것이다. 제3도를 다시 보면, 비교장치(16)의 출력을 출력 온 래치(POL)(24) AND 게이트(28) 및 트라이액 구동회로(26)를 통하여 트라이액(3)의 게이트 단자에 결합된다는 것을 알 수 있다.

이 실시예에서, 비교장치(16)의 출력이 논리 1이면, POL(24)는 셋트된다(셋트될 때, POL의 출력은 논리 1이다). 전력신호의 다음의 영교차가 발생할때, 영교차 펄스는 게이트(28)의 출력이 논리 1로 되게하는 AND게이트(28)에 의해 POL(24)의 출력과 AND논리로 행해지는 검출기(10)에 의해 발생된다. 게이트(28)의 이 논리 1출력이 트라이액 구동회로(26)를 통하여 트라이액(3)의 게이트 단자에 인가되고 증폭될때, 트라이액(3)은 도전상태로 스위치된다. 비교장(19)의 출력이 론리 0일때, POL(24)는 리셋되고(출력은 논리 0) 게이트(28)의 출력은 논리 0이다. 그러므로 게이팅 신호는 트라이액(3)의 게이트 단자에 인가되지 않아 트라이액은 전력선 상에서 다음의 영교차가 발생할 때 비도전 상태로 된다. 결과적으로, 비교장치(16)의 출력이 논리 1로 스위치되는 비는 전력 펄스 반복비를 결정한다.

이 실시예에서, 이전의 실시예에서와 같이, 비교장치(16)는 마스터 카운터(14)의 최초의 n개의 최하위 비트가 모두 논리 0일때마다 트라이액을 트리기 하므로서 $1/2^n$ 반복비로 될수 있다. 예를들면, 전력 셋팅 4는 n=3일때 $1/8$ 또는 $1/2^3$ 의 펄스 반복비를 필요로 한다. 바람직한 반복비 $1/8$ 은 카운터의 최초의 3개의 최하위 비트가 매 8계수에서 발생하는 논리 0일때마다 트라이액을 트리거 하므로서 이루어진다.

제16도의 회로에서, 복호기(16(1))는 이용될 전력 설정상태를 식별한다. 계수 게이트(16(4)(a))내지(16(4)(f))는 얼마나 많은 최하위 비트가 카운터(14)의 각각의 계수에 대해 0으로 되는가를 표시하고, 비교 게이트(16(2)(a)) 내지 (16(2)(f))는 이같은 계수에 대한 최하위 비트 정보와 전력 설정상태의 결합이 트라이액(3)(제3도)을 도전상태로 스위치 하는 것을 필요로 하는지를 결정한다. 복호기(16(1))는 메모리(18)(제13도)의 제리스터(18(2))로부터의 출력을 복호하므로서 이용될 전력 설정상태를 식별한다. 레지스터(18(2))는 이용될 전력 설정상태를 나타내는 BCD신호를 기억한다. 복호기(16(1))는 각각의 전력 레벨 설정상태에 독특하게 관련된 하나의 출력선을 갖고 있다. 선 1내지 7은 각각 전력 설정상태 1 내지 7에 대응한다. (선 0.8 및 9는 이 실시예에 사용되지 않는다). 복호기(16(1))에 대한 부호화 입력에 의해 나타난 전력 설정상태는 관련 출력선상에 있는 논리 0에 의해 식별된다. 다른 모든 출력선들은 논리 1이다. 예를들면, 부호화된 입력이 전력 설정상태 3을 나타낼때 선 3상의 출력 복호기는 논리 0이고 다른 선상의 출력은 모두 논리 1이다. 그러므로, 논리 0인 복호기(16(1))의 출력은 레지스터(18(2)) 내에 기억된 전력 설정상태를 식별한다. 복호기(16(1))는 SN7442로 된 집적회로로 사용 할수 있는 형태의 4선으로 부터 10선으로의 BCD로부터 10진법으로의 복호기이다.

영교차 마스터 카운터(14)로 부터의 계수는 다음과 같은 방법으로 게이트(14(4)(a))내지 (16(4)(f))를 계수하므로서 처리된다. 카운터(14)로 부터의 선(14(a)) 내지 (14(f))상의 입력은 계수의 최초의 6개의 최하위 비트를 각각 나타낸다. 게이트(16(4)(a))는 최초의 최하위 비트가 0일때 출력이 논리 1인 논리 반전기이다. 게이트(16(4)(a))의 출력은 게이트(16(4)(b))의 출력이 최초 2개의 최하위 비트가 0일때에만 논리 1이 되도록 논리 AND게이트(16(4)(b))에 의해서 선 14B로 부터의 반전된 입력과 AND 논리로 행해진다. 이와 마찬가지로, 게이트(16(4)(b))의 출력은 논리AND게이트(16(4)(c))에 의해 선 14(c)상의 반전된 입력과 AND 논리를 취하므로 최초의 3개의 최하위 비트가 0일때에만 게이트(16(4)(c))의 출력이 논리 1로 되게한다. 이 패턴은 게이트(16(4)(d)) 내지 (16(4)(f))에 대해 반복된다.

비교 게이트(16(2)(a)) 내지 (16(2)(f))는 복호기(16(1))로 부터의 반전된 출력 6내지 1과 게이트(16(4)(a)) 내지 (16(4)(f))로 부터의 각각의 출력을 각각 AND논리로 취하도록 이용된다. 즉, 논리 AND게이트(16(2)(a))는 게이트(16(4)(b))와 선5로 부터의 출력들을 AND 논리로 취한다. 각각의 비교 게이트는 복호기(16(1))로 부터 그의 입력에 의해 나타난 특수 전력 설정상태와 독특하게 관련된 것처럼 보인다. 대부분, 비교 게이트(16(2)(a)) 내지 (16(2)(f))의 출력들 중의 하나만이 제어 기간 동안에만 논리 1로 될수 있고, 그의 출력은 비교 게이트에 관계된 전력설정상태에 관계된 최하위 비트 퍼터이 생길때에만 논리 1로 된다. 예를들면, 전력 설정상태 3이 공급될때, (16(1))로 부터의 복호기 출력 3은 논리 0이고, 나머지 복호 출력은 논리 1이다. 그러므로, 게이트(16(2)(d))에 대한 반전된 복호기입력은 논리 1이고 나머지 비교 게이트에 대한 반전된 출력은 논리 0이다. 그러므로 (16(2)(d))가 아닌 다른 비교 게이트의 출력들은 계수에 관계없이 논리 0으로 남는다. 그러나, 게이트(16(2)(d))의 출력은 게이트(16(4)(d))의 출력에서 논리 1로 표시된 바와같이 카운터(14)로 부터의 최초의 최하위 비트가 논리 0일때만 논리 1로 된다. 그러므로, 출력 설정상태 3에 대해서, 게이트(16(2)(d))의 출력은 16계수마다 논리 1로 된다.

논리 OR 게이트(16(5))는 비교 게이트(16(2)(a)) 내지 (16(2)(f))의 출력들을 OR 놀리로 취하므로 게이트(16(5))의 출력은 비교 게이트의 출력이 논리 1로 될때마다 논리 1로 된다. 이 회로에 대해 지금까지 기술한 것은 전력 설정상태 1내지 6을 이용하도록 제한되어 있다. 전력 설정상태 7은 펄스 반복기 1/1과 관련되어 있다. 그러므로, 비교장치(16)의 출력은 정상상태 모드로 동작할때 전력 설정상태 7에 계수 시마다 논리 1로 되어야 한다. 이것은 이 실시예에서 OR 게이트(16(9))를 통하여 게이트(16(5))에 복호기 출력 7을 결합시키므로서 이루어진다. 게이트(16(9))의 출력은 논리 0이 그의 반전된 입력으로 나타날 때마다 논리 1로 된다. 결과적으로, 게이트(16(5))의 출력은 전력 설정상태 7이 공급될 때마다 논리

1로 된다.

비교장치(16)가 완시동 및 즉시 온 모우드를 이용하는 방법을 기술하는 것이 남았다. 우선 완시동 모우드를 고려하면, 완시동 래치가 셋트될 때, 예정의 전력펄스 반복비는 선택된 전력 설정상태에 무관하게 이용된다. 이 실시예에서, 마이크로 프로세서 제어 실시예에서와 같이, 전력 설정상태 5에 대응하는 전력펄스 반복비 1/4은 완시동 모우드가 공급될때 이용된다.

(32(a))(제18a도)로 표 완시동 래치(32)로부터 비교장치(16)으로의 입력은 래치가 셋트일때 논리1이고, 래치가 리셋트일때 논리 0이다. 결과적으로, 복호기(16(1))의 출력 5와 래치(32)의 반전된 출력을 OR 논리로 취하는 논리 OR 게이트(16(8))는 완시동 래치가 셋트되거나 전력 설정상태가 5가 선택될때 논리 0이다. 그러므로, 전력설정상태 5에 관련된 비교 게이트(16(2)(b))의 출력은 최초의 2개의 최하위 비트가 0이고 완시동 래치가 셋트되거나 전력 설정상태 5가 공급될때 논리 1이다.

완시동 모우드 동안 실제의 전력 설정상태를 무효화하기 위해서, 논리 AND 게이트(16(6))는 완시동 래치로부터의 반전된 입력과 게이트(16(5))의 출력을 AND 논리로 취한다. 그러므로, 완시동 래치가 셋트될 때, (16(6))의 출력은 게이트(16(5))의 출력에 관계없이 논리 0으로 된다. 결과적으로, 비교장치의 출력에 비교 게이트(16(2)(b))의 출력을 결합하기 위한 선택적인 통로가 OR 게이트(16(7))를 통하여 제공된다.

즉시 온 모우드로 동작할때, 전력설정상태 7에 대응하는 전력 펄스 반복비 1/1은 선택도니 실제의 전력 설정상태에 관계없이 공급된다. 이것은 다음과 같이 본 실시예에서 이루어진다. (36(a))(제18a도)로 표시된 즉시 온 래치(36)로부터의 입력은 래치가 셋트될때 논리 1이고 래치가 리셋트될때 논리 0이다. 즉시 온 래치로 부터의 입력은 전력 설정상태 7에 대응하는 선 7의 반전된 입력과 OR논리로 행해진다. 그러므로, 게이트(16(9))의 출력과 게이트(16(5))의 출력은 즉시 온 래치가 셋트 되거나 전력설정상태 7이 공급될때마다 논리 1로 된다.

이미 기술한 바와같이, 완시동 및 즉시 온 모우드의 개시 및 종료점에서 래치와 타이머를 사용한다. 출력 온 래치(24)는 비교장치(16)의 출력을 기억하고 그의 출력을 트라이액(3)의 게이트 단자(제3도)에 결합시킬때 사용된다.

제18a도는 본 실시예에 대한 완시동 래치(32), 완시동 타이머(34), 즉시 온 래치(36) 및 즉시 온 타이머(38)를 포함하는 제어 회로부분을 도시한 것이다. 래치(32)와 (36)는 SN7470으로 된 집적회로로 유용한 형태로 된 보통의 J-K플립 플롭이다.

제14도, 제16도, 및 제18a도에 도시한 바와같이, 래치(32)의 J 입력은 (30(a))도로 표시된 테스트 장치(30)의 게이트(30(8))의 출력에 결합된다. 래치(32)의 Q출력은 선(32(a))을 통하여 비교장치(16)의 게이트(16(8))의 입력에 결합된다. Q출력은 타이머(34)에 결합된다.

테스트장치(30)가 완시동 모우드의 이용을 필요로 함을 결정할때의 동작에 있어서, 논리 1이 테스트 장치(30)(제13도)의 게이트(30(8))의 출력에 나타난다. 이때 래치(32)의 Q출력은 타이밍 신호 TS₅(제17도)에 의해 클록될때 논리 1로 스위치되고, 논리 1신호가 래치(32)의 K입력을 통하여 클록될때까지 논리 1을 유지한다. 리셋트시 래치(32)의 출력은 논리 0으로 스위치되고 완시동 모우드가 필요할 때까지 0을 유지한다.

타이머(34)는 래치의 셋트 상태에 의해 동작가능해질때 예정수의 영교차 펄스를 계수하고, 그 자체와 완시동 래치를 모두 리셋팅 하므로 완시동 동작 모우드의 지속 기간을 제어한다. 이 실시예에서는 대략 1초의 지속 기간이 필요하다. 이것은 8비트 카운터로 작동하도록 두개의 4비트 카운터(34(1))과 (34(2))를 종속접속하고, 래치(32)와 카운터(34(1)) 및 (34(2))를 리셋트하도록 카운터의 최상위 비트에 대응하는 펄스(34(3))을 사용하면서 이루어진다. 128번째의 계수에 대해, 논리 1은 선(34(3))상에 나타나서, 카운터(34(1)) 및 (34(2))와 래치(32)가 AND게이트(32(1))과 (34(5))를 통하여 TS₅ 타이밍 신호의 발생에 따라 리셋트되게 한다. 영교차 펄스의 주파수는 120Hz이다. 그러므로, 128개 펄스의 계수는 만족할 정도의 소망의 1초의 지속기간에 접근한다.

타이머(34)의 카운터(34(1))와 (34(2))에 의한 영교차 펄스의 계수는 논리 AND 게이트(34(4))를 통하여 영교차 검출기(10)(제3도)의 출력과 AND 논리로 취해지는 래치(32)의 출력에 의해서 동작 가능하게 된다. 결과적으로, 영교차 펄스는 래치(32)가 셋트 될때 게이트(34(4))를 통하여 카운터(34(1))의 클록 입력에 게이트되고 래치(32)가 리셋트될때 저지된다.

타이머(34)의 래치(32)와 카운터(34(1)) 및 (34(2))는 다음과 같은 경우에 리셋트 된다. 즉, 예정수의 계수나 레지스터(18(2))내로의 오프신호의 인입경우에 리셋트된다. 논리 OR 게이트(32(1))는 카운터(34(2))의 최상위 비트를 나타내는 출력(34(3))과 테스트장치(30)으로부터의 출력(30(b))을 래치(32)의 K입력에 결합시킨다. 결과적으로, 오프셋팅의 시작을 표시하는 출력(30(b))이나 129번째 계수의 발생을 표시하는 (34(3))에서의 논리 1은 게이트(32(1))의 출력이 논리 1이 되게 하여, 래치(32)를 리셋트 한다.

게이트(32(1))의 출력에서의 논리 1은 타이밍신호 TS₅(제 17도)와 동기해서 카운터를 리셋트한다. 게이트(32(1))의 출력은 타이밍 신호 TS₅와 게이트(32(1))의 출력을 AND 논리로 취하는 논리 AND 게이트(34(5))를 통하여 카운터(34(1))와 (34(2))의 리셋트 입력에 결합된다. 게이트(34(5))에서의 논리 1출력은 카운터(34(1))와 (34(2))를 리셋트 한다.

즉시 온 래치(36)(10L)와 즉시 온 타이머(10T)의 동작은 방금 기술한 완시동 래치 및 완시동 타이머의 동작과 비슷하다. 래치(36)는 카운터(34(2))의 출력(34(3))에서의 논리 1에 의해 리셋트 된다. 래치(36)를 셋트하면 AND 게이트(38(1))를 통하여 타이머의 입력에 대한 영교차 펄스의 게이트에 의해 타이머(38)가 동작하게 한다. 영교차 펄스의 선정된 수는 12비트 카운터로 동작하도록 종속접속된 4비트

카운터(38(2)) 내지 (38(4))에 의해 접속된다.

이 실시예에서 즉시 온 모우드의 소망의 지속 기간은 1024개의 영교차 펄스의 계수에 의해서 대략 8.5초로 된다. 매 1024 계수마다 12비트 카운터의 제2 두번째의 최상위 비트는 논리 1로 스위치된다. (38(5))로 표시된 비트에 대응하는 출력은 OR 게이트(36(1))를 통하여 플립플롭(36)의 K입력에 결합된다. 그러므로, 1024번 째 계수가 발생할 때, 즉시 온래치는 리셋된다. 이때, 게이트(38(1))는 IOL이 다시 셋트될 때까지 타이머 입력으로부터의 다른 펄스를 저지한다. 래치(36)는 OR 게이트(36(1))를 통하여 래치(36)의 K입력에 결합되고 낮은 전력 설정상태의 선택을 표시하는 테스트 장치(30(제14도))의 출력 (30(c))에 서의 논리 1에 의해 리셋된다.

타이머(38)의 카운터(38(2)) 내지 (38(4))의 리셋트는 논리 AND 게이트(38(6))를 통하여 이를 각각의 카운터의 리셋트 입력에 게이트(36(1))의 출력을 결합시키므로 이루어진다. 게이트(38)(6)는 타이밍 신호 TS5와 게이트(36(1))로 부터의 신호를 AND 논리로 취하므로써, 타이밍 TS5와 카운터의 리셋트 동작을 동기화한다.

타이머(34) 및 (38)에 각각 사용된 카운터(34(1)), (34(2)), (38(2)) 내지 (38(4))는 제14도에 도시한 마스터 카운터(14)를 참조해서 기술한 카운터(14(1)), (14(2))와 같다.

제18b도는 출력 온 래치(24)(POL)를 더욱 상세하게 도시한 것이다. 래치 자체는 완시동 및 즉시 온래치를 참조해서 기술한 것과 같은 J-K플립플롭이다. (16(a))(제16도)로 표시된 비교장치(16)의 게이트(16(7))의 출력은 POL(24)의 J입력에 직접 결합되고, 논리반전기(24(1))을 통하여 K입력에 결합된다. 타이밍 신호TS6(제17도)는 클록 입력에 인가된다.

동작에 있어서, 비교장치(16)로 부터의 논리 1신호가 래치(24)를 셋트하면, 게이트(28)의 한 입력에 논리 1을 제공하는 래치의 Q출력에 논리 1이 나타난다. 이 논리 1은 AND 게이트(28)의 다른 입력에 인가된 영교차 펄스의 다음 발생때에 트라이액 구동 회로를 통해 게이트 되므로, 전력 신호의 영교차와 동기해서 트라이액(3)을 도전상태로 트리거 한다. 비교장치(16)의 출력이 논리 0일 때, J입력에 나타나는, 논리 1은 래치를 리셋하는 (Q출력을 논리 0으로 스위칭하는) 래치(24)의 K입력에 나타난다.

결과적으로 논리 0은 AND 게이트(28)의 한 입력에 나타나고, 다음의 영교차 펄스 발생시에 트라이액 구동 회로를 통하여 게이트되는 신호가 없게된다. 그러므로, 트라이액(3)은 다음의 제어 기간동안 비도전 상태로 유지된다.

여기에 기술한 실시예들은 반싸이클의 제어 기간을 사용하였다. 그러나, 본 분야에 숙련된 기술자들은 전체 주기의 제어 기간을 유사하게 사용할 수 있다.

이 경우, 인가된 전력 펄스들은 반싸이클이 아닌 전력 신호의 싸이클 일수도 있다. 반싸이클의 제어기간을 사용하는 잇점은 요리온도의 유용한 범위가 63개의 반싸이클로 되는 전력 펄스들 사이의 최대 오프 시간을 제공한다는 것이다. 전 싸이클의 제어기간을 사용하는 요리온도의 동일범위를 대략 제공하기 위해서, 전력 싸이클들 사이의 오프 시간은 100%의 설정상태를 제외한 각각의 전력 설정상태에서 반싸이클 경우의 2배이다.

결과적으로, 전류 서어지로 인한 회로 부품의 응력은 전 싸이클의 제어 기간을 사용하는 것에 의해 다소 커진다. 또한, 반 싸이클을 사용하는 완시동 모우드 동작을 하는 동안, 회로 부품의 응력은 냉각가열소자에 인가되는 전력 펄스의 기간이 전싸이클의 경우의 반으로 되기 때문에 적어진다.

여기에 기술한 실시예에서 반복비에 반싸이클의 방식을 사용하는 경우의 단점은 최대 전력 설정상태를 제외하고 전력펄스가 동일 극성으로 되어, 전류의 직류성분이 전력원으로부터 취출된다는 것이다. 이 직류 성분은 전 싸이클의 제어기간이 사용될 때는 제거된다.

본 발명의 다른 수정 및 변경은 상술한 설명으로부터 본 분야에 숙련된 기술자에 가능하다. 본 발명은 전술한 실시예에 국한되지 않는다.

(57) 청구의 범위

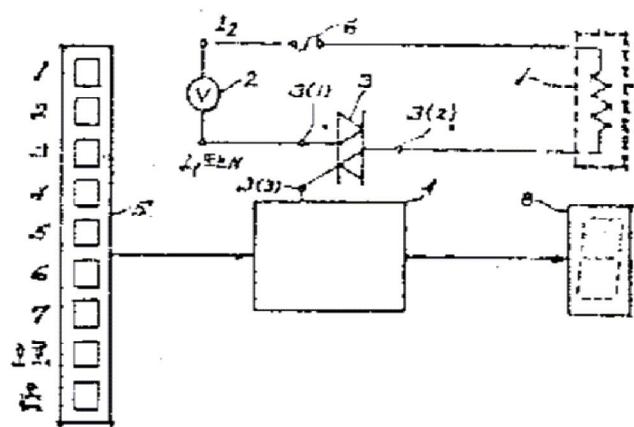
청구항 1

복수개의 전력 설정상태로부터 조작자에 의해 선택된 전력 설정상태에 응동하여, 교류전원에 의해 구동되는 저항가열소자의 출력전력을 제어하기 위해 가정용 요리장치에 사요되며, 조작자가 전력 설정상태를 선택할 수 있게하는 입력수단을 구비한 전력제어장치에 있어서, 입력수단에 응동하여 조작자에 의해 선택된 전력설정상태에 대응하는 디지털 신호를 발생하는 수단(20)과, 디지털 제어신호가 축적되는 메모리 수단(18)과.

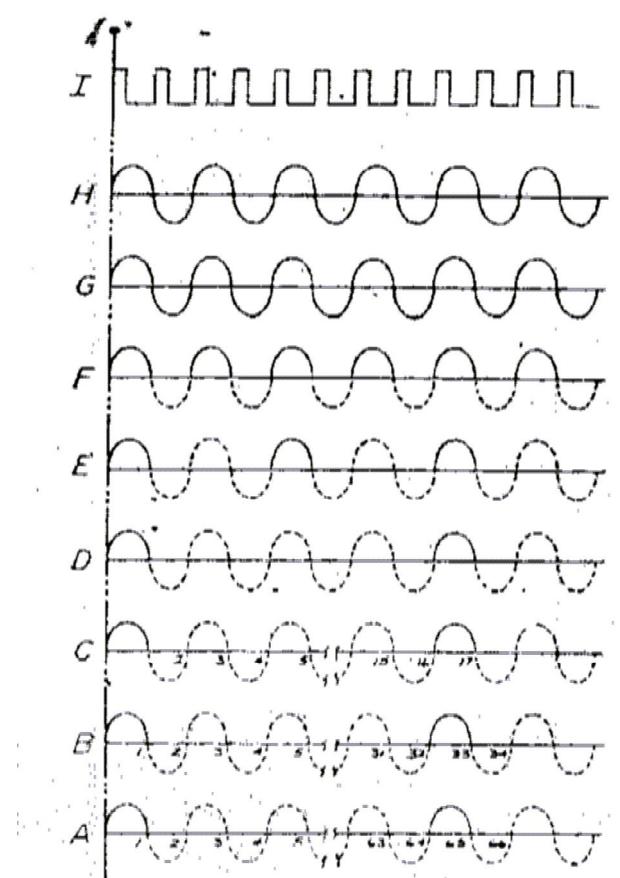
전원으로부터 공급된 전력신호의 영교차를 검출하여, 영교차 펄스를 발생하는 수단(10)과, 예정수의 영교차펄스를 반복저공로 계수하여 리셋트해서 제어주기를 한정하는 수단(14)과, 카운터수단의 계수중에 반복적으로 나타나는 복수개의 반복적인 패턴을 식별하는 수단(16)과, 패턴을 전력 설정상태와 일의적으로 관련시키는 수단(28)과, 메모리에 축적된 제어신호에 대응하는 전력설정 상태와 관련된 계수패턴의 발생이 실별수단에 의해 식별될시에 가열소자에 전력펄스를 인가하는 수단(26)을 구비함을 특징으로 하는 전력제어장치.

도면

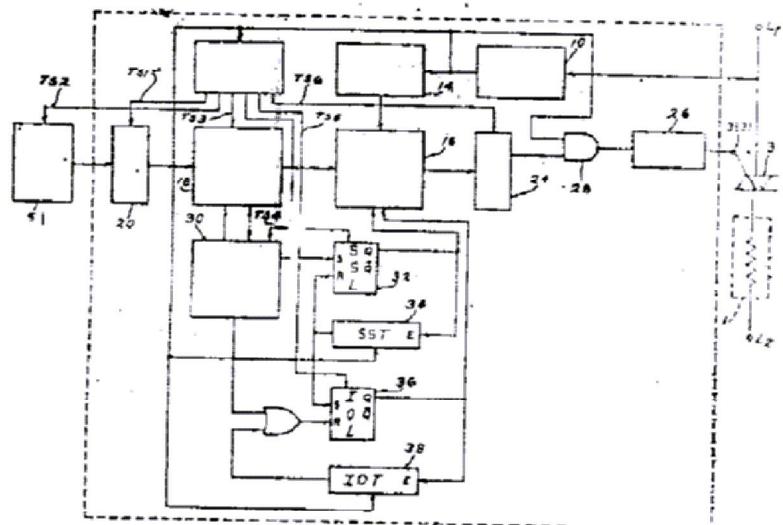
도면1



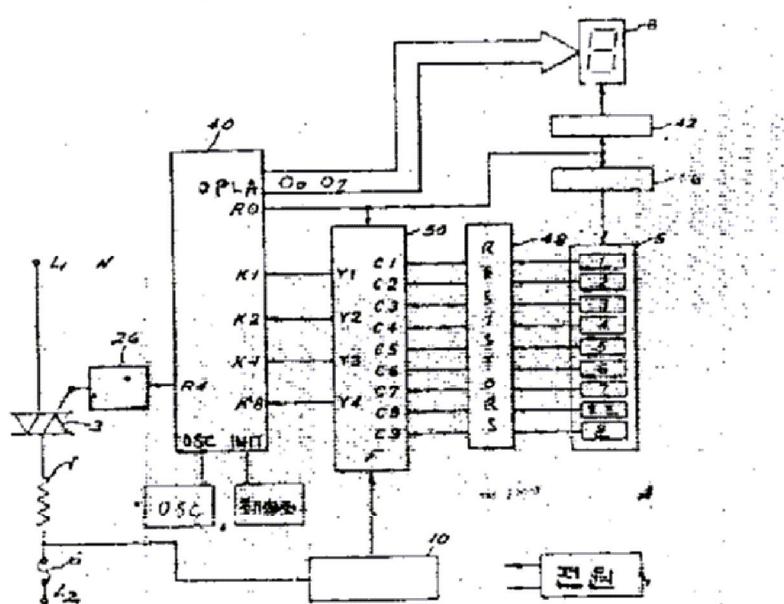
도면2



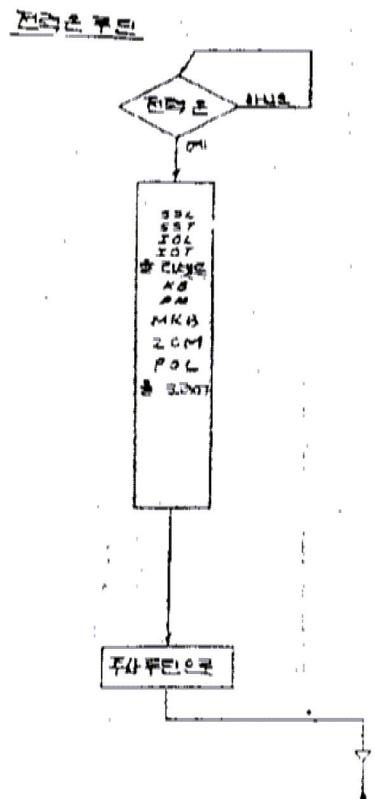
도면3



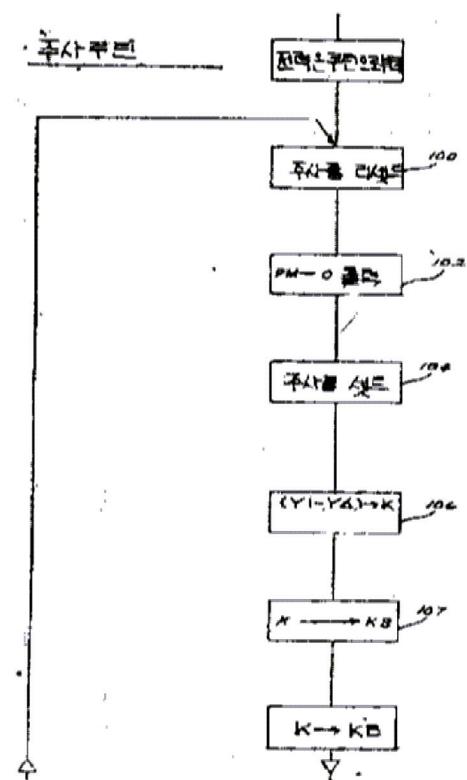
도면4



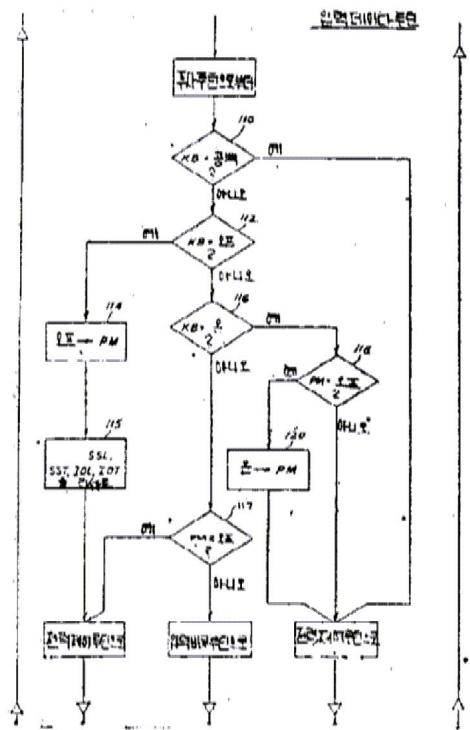
도면5



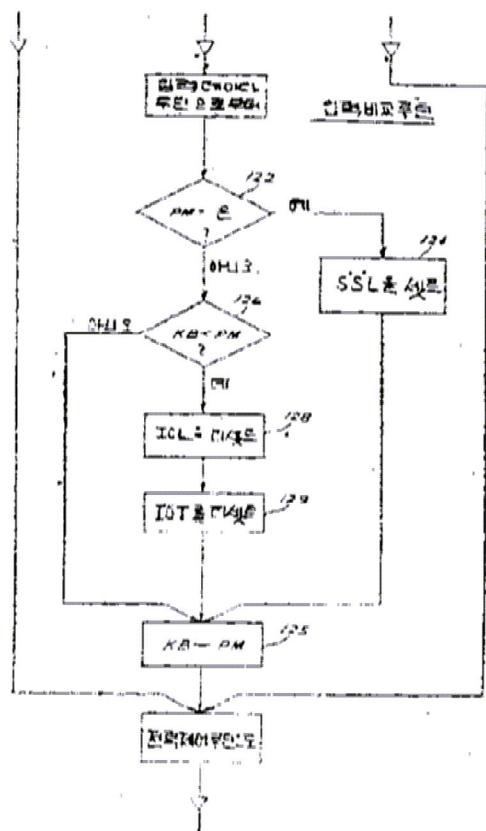
도면6



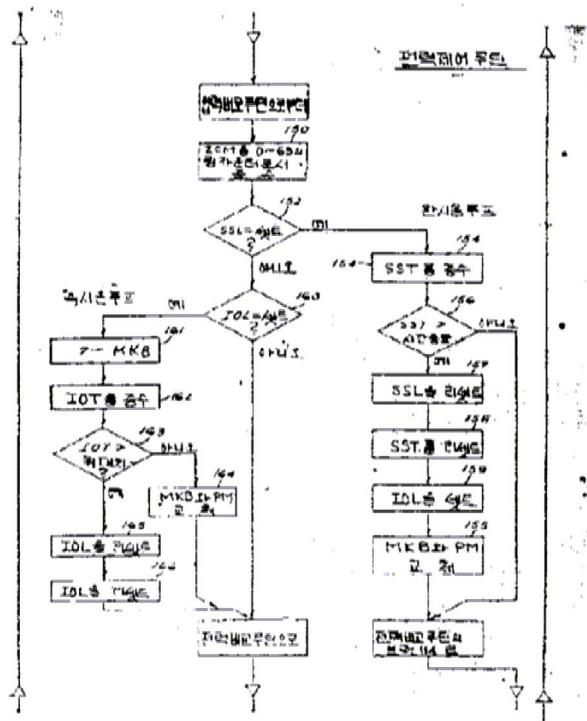
도면7



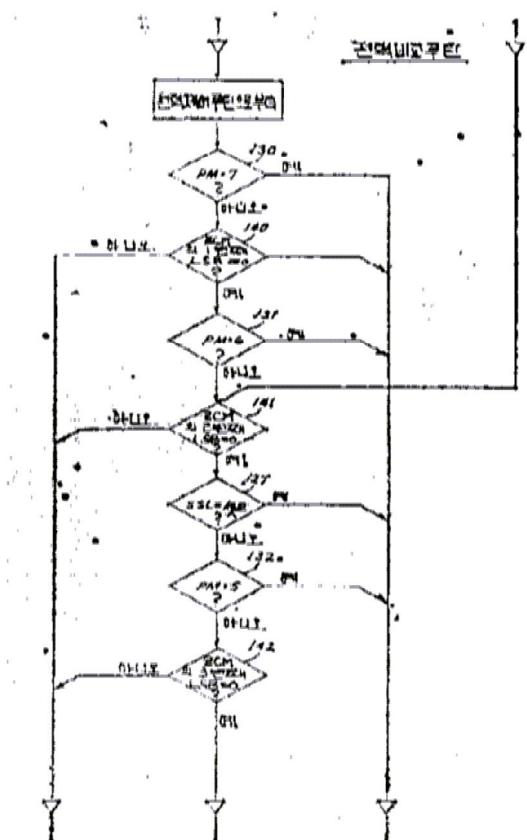
도면8



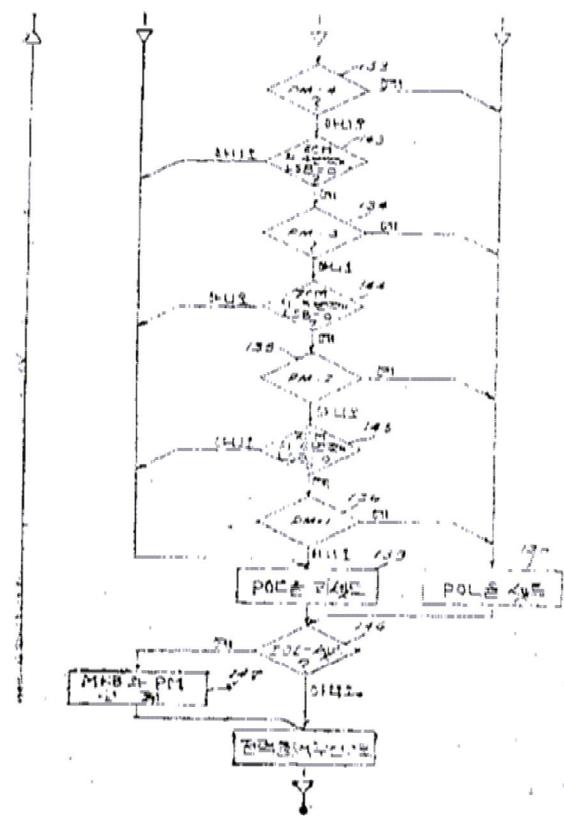
도면9



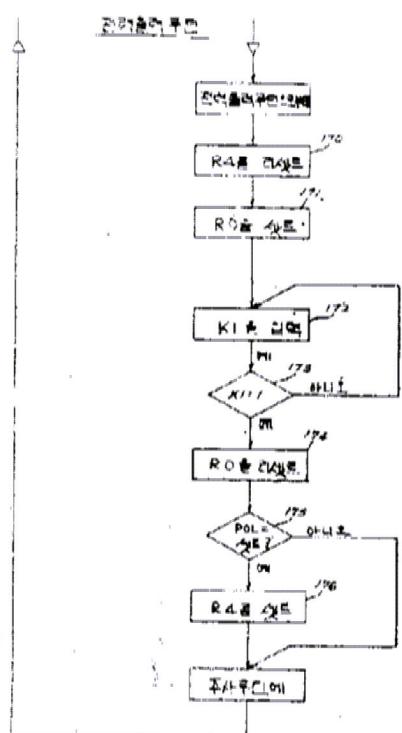
도면 10a



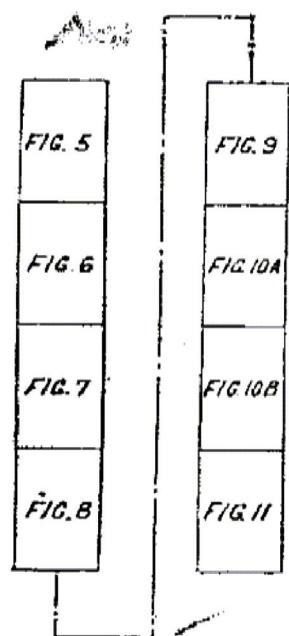
도면 10b



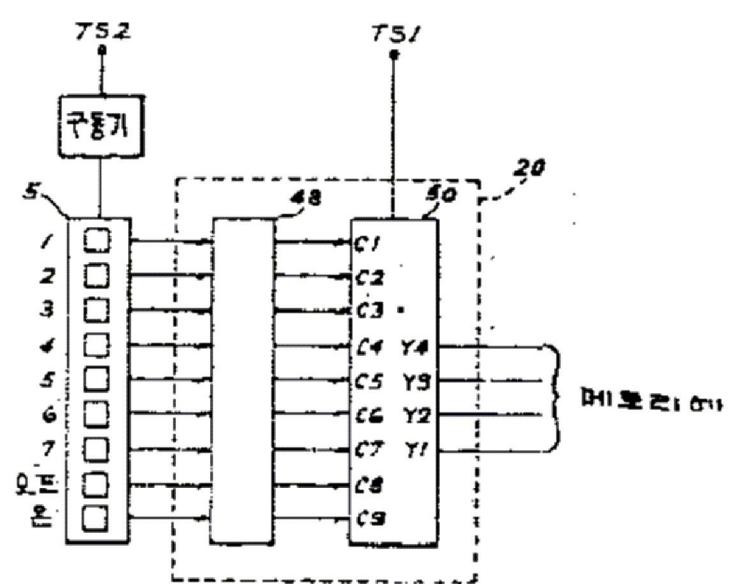
도면 11



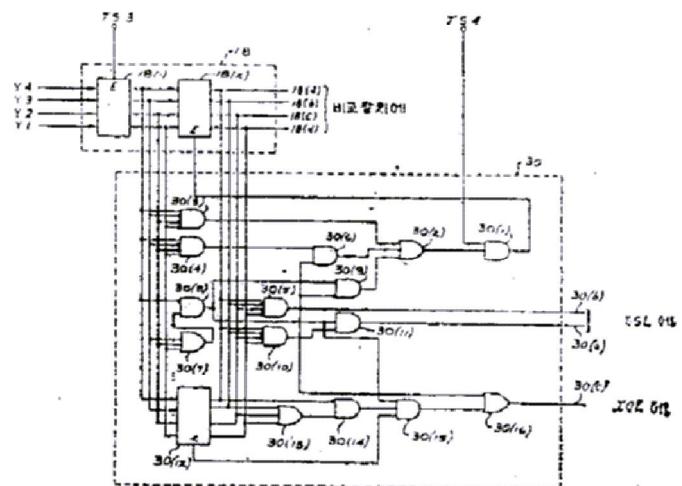
도면 12



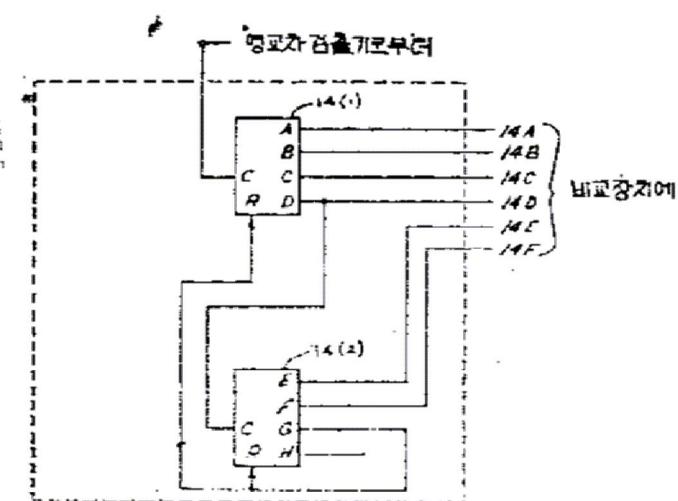
도면 13



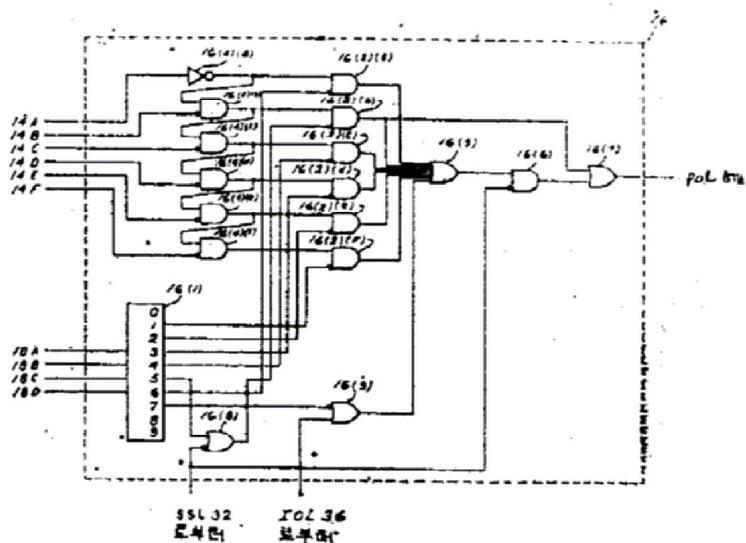
도면 14



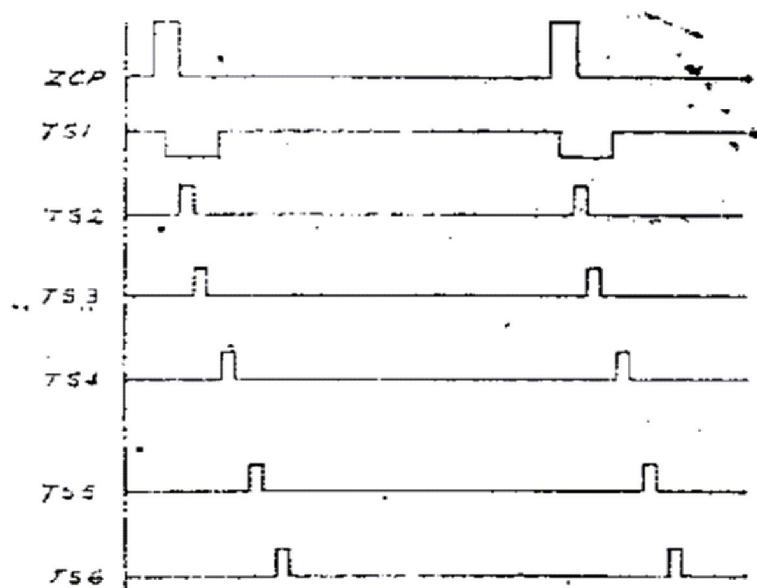
도면 15



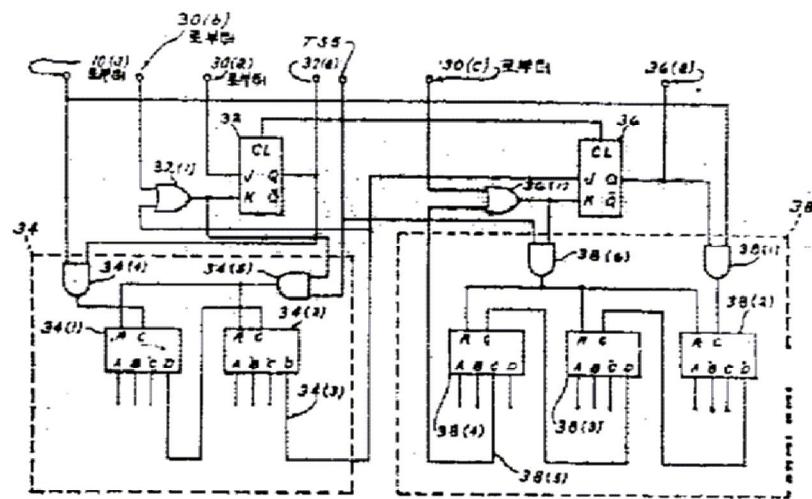
도면 16



도면 17



도면 18a



도면 18b

