



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년05월16일  
 (11) 등록번호 10-1736075  
 (24) 등록일자 2017년05월10일

(51) 국제특허분류(Int. Cl.)  
 H03K 19/0175 (2006.01) H03K 17/16 (2006.01)  
 H03K 17/687 (2006.01)  
 (21) 출원번호 10-2011-0044399  
 (22) 출원일자 2011년05월12일  
 심사청구일자 2016년05월10일  
 (65) 공개번호 10-2011-0125597  
 (43) 공개일자 2011년11월21일  
 (30) 우선권주장  
 JP-P-2010-110995 2010년05월13일 일본(JP)  
 (56) 선행기술조사문헌  
 US20040164978 A1  
 US20080062112 A1

(73) 특허권자  
 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자  
 이토 요시아키  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
 (74) 대리인  
 장훈

전체 청구항 수 : 총 8 항

심사관 : 변종길

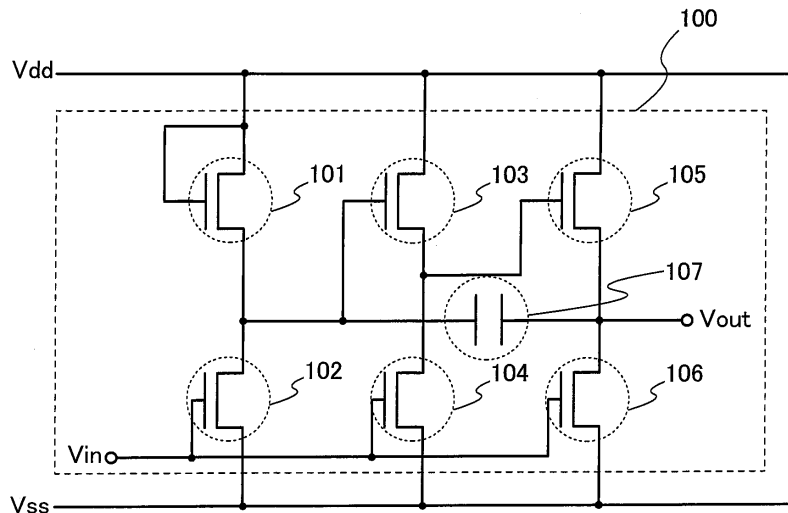
(54) 발명의 명칭 **버퍼 회로**

**(57) 요약**

본 발명은 슬루 레이트(Slew Rate)가 높은 버퍼 회로를 제공한다.

단극성의 복수의 트랜지스터와 용량 소자를 갖고, 상기 버퍼 회로의 이득(利得)이 상기 복수의 트랜지스터의 모든 이득에 의하여 결정되는 구성으로 한 버퍼 회로를 제공한다. 구동 능력이 높고, 또 고주파에 있어서의 이득이 높은 버퍼 회로를 얻을 수 있다. 이와 같은 버퍼 회로는 슬루 레이트도 높다. 상기 버퍼 회로를 구성하는 단극성의 복수의 트랜지스터는 P형 트랜지스터라도 좋고, N형 트랜지스터라도 좋다.

**대표도** - 도1



**명세서**

**청구범위**

**청구항 1**

버퍼 회로로서,

- 제 1 트랜지스터와;
- 제 2 트랜지스터와;
- 제 3 트랜지스터와;
- 제 4 트랜지스터와;
- 제 5 트랜지스터와;
- 제 6 트랜지스터와;
- 용량 소자와;
- 입력부와;
- 출력부를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 상기 제 1 트랜지스터의 게이트와 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 드레인 중 한쪽이 제 1 배선과 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 한쪽이 상기 용량 소자의 제 1 전극과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 제 2 배선과 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 버퍼 회로의 상기 입력부와 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 용량 소자의 상기 제 1 전극과 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 제 5 트랜지스터의 게이트와 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 버퍼 회로의 상기 입력부와 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 6 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 버퍼 회로의 상기 출력부와 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 제 6 트랜지스터의 게이트는 상기 버퍼 회로의 상기 입력부와 접속되고,

상기 용량 소자의 제 2 전극은 상기 버퍼 회로의 상기 출력부와 접속되고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지

스터, 및 상기 제 6 트랜지스터의 각각은 N형 트랜지스터인, 반도체 장치.

## 청구항 2

제 1 항에 있어서,

상기 N형 트랜지스터는 산화물 반도체를 포함하는, 반도체 장치.

## 청구항 3

버퍼 회로로서,

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터와;

제 4 트랜지스터와;

제 5 트랜지스터와;

제 6 트랜지스터와;

용량 소자와;

입력부와;

출력부를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 제 1 배선과 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 버퍼 회로의 상기 입력부와 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 한쪽이 상기 용량 소자의 제 1 전극과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 제 2 배선과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 게이트와 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 버퍼 회로의 상기 입력부와 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 제 6 트랜지스터의 게이트와 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 6 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 버퍼 회로의 상기 입력부와 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 버퍼 회로의 상기 출력부와 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 용량 소자의 제 2 전극은 상기 버퍼 회로의 상기 출력부와 접속되고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터의 각각은 P형 트랜지스터인, 반도체 장치.

#### 청구항 4

제 1 항 또는 제 3 항에 있어서,

상기 제 1 배선은 고전위 측의 전원선이고,

상기 제 2 배선은 저전위 측의 전원선인, 반도체 장치.

#### 청구항 5

화소부와;

구동 회로를 포함하고, 상기 구동 회로는,

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터와;

제 4 트랜지스터와;

제 5 트랜지스터와;

제 6 트랜지스터와;

용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 상기 제 1 트랜지스터의 게이트와 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 드레인 중 한쪽이 제 1 배선과 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 한쪽이 상기 용량 소자의 제 1 전극과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 제 2 배선과 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 용량 소자의 상기 제 1 전극과 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 제 5 트랜지스터의 게이트와 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 제 4 트랜지스터의 게이트는 상기 제 2 트랜지스터의 게이트와 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 6 트랜지스터의 소스 및 드레인 중의 한쪽과 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 용량 소자의 제 2 전극과 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,  
상기 제 6 트랜지스터의 게이트는 상기 제 2 트랜지스터의 상기 게이트와 접속되고,  
상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터의 각각은 N형 트랜지스터인, 표시 장치.

#### 청구항 6

제 5 항에 있어서,  
상기 N형 트랜지스터는 산화물 반도체를 포함하는, 표시 장치.

#### 청구항 7

화소부와;

구동 회로를 포함하고, 상기 구동 회로는,

제 1 트랜지스터와;

제 2 트랜지스터와;

제 3 트랜지스터와;

제 4 트랜지스터와;

제 5 트랜지스터와;

제 6 트랜지스터와;

용량 소자를 포함하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽이 제 1 배선과 접속되고,

상기 제 1 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 한쪽이 상기 용량 소자의 제 1 전극과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 제 2 배선과 접속되고,

상기 제 2 트랜지스터의 상기 소스 및 드레인 중 다른 쪽이 상기 제 2 트랜지스터의 게이트와 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중의 한쪽이 상기 제 1 배선과 접속되고,

상기 제 3 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중의 한 쪽과 접속되고,

상기 제 3 트랜지스터의 게이트는 상기 제 1 트랜지스터의 게이트와 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 제 6 트랜지스터의 게이트와 접속되고,

상기 제 4 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중의 한쪽은 상기 제 1 배선과 접속되고,

상기 제 5 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 6 트랜지스터의 소스 및 드레인 중의 한 쪽과 접속되고,

상기 제 5 트랜지스터의 게이트는 상기 제 1 트랜지스터의 상기 게이트와 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 한쪽은 상기 용량 소자의 제 2 전극과 접속되고,

상기 제 6 트랜지스터의 상기 소스 및 드레인 중의 다른 쪽은 상기 제 2 배선과 접속되고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 및 상기 제 6 트랜지스터의 각각은 P형 트랜지스터인, 표시 장치.

### 청구항 8

제 5 항 또는 제 7 항에 있어서,

상기 제 1 배선은 고전위 측의 전원선이고,

상기 제 2 배선은 저전위 측의 전원선인, 표시 장치.

### 청구항 9

삭제

### 청구항 10

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명은 버퍼 회로와 상기 버퍼 회로를 응용한 장치, 전자 기기 등에 관한 것이다.

### 배경 기술

[0002] 근년, 액정 표시 장치나 발광 장치 등의 표시 장치가 널리 보급되고 있다. 한편, 정보화 사회의 도래(到來)에 따라, 취급되는 정보의 절대량(絶對量)이 비약적으로 증가하고, 기억 장치 등의 개발도 진행되고 있다.

[0003] 이와 같은 표시 장치나 기억 장치에는, 복수의 트랜지스터가 매트릭스 상태로 배치된다. 매트릭스 상태로 배치된 복수의 트랜지스터는, 주사선에 의하여 제어되고, 신호선에 의하여 데이터가 공급된다. 또한, 이와 같은 동일 기관 위에 형성된 트랜지스터는, 생산성의 관점에서, 동일 극성(단극성)인 것이 바람직하다.

[0004] 이와 같은 트랜지스터가 매트릭스 상태로 배치된 기관 위에 있어서, 주사선에 공급되는 신호는 시프트 레지스터 회로(예를 들어, 특허 문헌 1)나 버퍼 회로로부터 공급된다.

[0005] 그러나, 종래의 단극성의 버퍼 회로(예를 들어, 도 2에 도시하는 버퍼 회로)에 형성되는 소스 및 드레인 중 한 쪽이 출력부에 접속되고, 소스 및 드레인 중 다른 쪽이 전원선(N형 트랜지스터인 경우는 고전위 측의 전원선  $V_{dd}$ , P형 트랜지스터인 경우는 저전위 측의 전원선  $V_{ss}$ )에 접속된 트랜지스터는, 상기 트랜지스터 자체의 이득(利得)을 증대시키면, 버퍼 회로로서의 이득을 감소시키는 방향으로 작용한다.

[0006] 또한, 버퍼 회로의 이득을 확보하기 위해서 이 트랜지스터의 사이즈를 충분히 크게 할 수 없고, 이 트랜지스터로부터 흐르는 전류값에 의하여 출력부의 전압의 슬루 레이트(Slew Rate)가 결정되기 때문에, 슬루 레이트를 향상시키는 것이 어렵다는 문제가 있다.

[0007] 또한, 본 명세서에 있어서, “슬루 레이트(Slew Rate)”란, 출력 전압을 상승(N형 트랜지스터) 또는 하강(P형 트랜지스터)시키기 위해서 걸린 시간으로 나눈 값을 가리키고, “상승 특성”(N형 트랜지스터) 또는 “하강 특성”(P형 트랜지스터)이라고도 불린다.

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) 일본국 특개2004-260788호 공보

**발명의 내용**

**해결하려는 과제**

- [0009] 본 발명의 일 형태는, 슬루 레이트가 높은 버퍼 회로를 제공하는 것을 과제로 한다.
- [0010] 또한, 이와 같은 슬루 레이트가 높은 버퍼 회로를 동일 극성의 트랜지스터로 구성하는 것을 과제로 한다. 버퍼 회로 내에서의 트랜지스터를 동일 극성(N형 트랜지스터 또는 P형 트랜지스터)으로 함으로써, 간략한 공정에 의하여 제작할 수 있고, 생산성이 높아지기 때문이다.
- [0011] 그리고, 상기 과제를 해결할 수 있는 버퍼 회로를 구성하는 데에, 가능한 한 단순한 구성으로 하고, 버퍼 회로가 차지하는 면적을 작게 하는 것도 과제로 한다.

**과제의 해결 수단**

- [0012] 본 발명의 일 형태에서는, 버퍼 회로의 슬루 레이트를 높이기 위해서 구동 능력을 향상시키고, 고주파 성분의 이득을 향상시킨다.
- [0013] 본 발명의 일 형태인 버퍼 회로는, 적어도 복수의 트랜지스터와 용량 소자를 갖고, 상기 버퍼 회로의 이득이 상기 복수의 트랜지스터의 모든 이득에 의하여 결정되는 것을 특징으로 한다.
- [0014] 본 발명의 일 형태인 버퍼 회로는, 제 1 트랜지스터 내지 제 6 트랜지스터, 용량 소자, 입력부 및 출력부를 갖고, 제 1 트랜지스터의 제 1 단자 및 제 1 트랜지스터의 제 3 단자는 고전위 측의 전원선에 접속되고, 제 1 트랜지스터의 제 2 단자는 제 2 트랜지스터의 제 1 단자 및 제 3 트랜지스터의 제 3 단자에 접속되고, 제 2 트랜지스터의 제 2 단자는 저전위 측의 전원선에 접속되고, 제 2 트랜지스터의 제 3 단자는 버퍼 회로의 입력부에 접속되고, 제 3 트랜지스터의 제 1 단자는 고전위 측의 전원선에 접속되고, 제 3 트랜지스터의 제 2 단자는 제 4 트랜지스터의 제 1 단자 및 제 5 트랜지스터의 제 3 단자에 접속되고, 제 4 트랜지스터의 제 2 단자는 저전위 측의 전원선에 접속되고, 제 4 트랜지스터의 제 3 단자는 버퍼 회로의 입력부에 접속되고, 제 5 트랜지스터의 제 1 단자는 고전위 측의 전원선에 접속되고, 제 5 트랜지스터의 제 2 단자는 제 6 트랜지스터의 제 1 단자 및 버퍼 회로의 출력부에 접속되고, 제 6 트랜지스터의 제 2 단자는 저전위 측의 전원선에 접속되고, 제 6 트랜지스터의 제 3 단자는 버퍼 회로의 입력부에 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 용량 소자를 통하여 버퍼 회로의 출력부에 접속되고, 상기 제 1 트랜지스터 내지 상기 제 6 트랜지스터는 모두 N형 트랜지스터이다.
- [0015] 상기 구성의 버퍼 회로에 있어서, 상기 제 1 트랜지스터 내지 상기 제 6 트랜지스터는 모두 산화물 반도체로 형성되는 것이 바람직하다.
- [0016] 본 발명의 일 형태인 버퍼 회로는, 제 1 트랜지스터 내지 제 6 트랜지스터, 용량 소자, 입력부 및 출력부를 갖고, 제 1 트랜지스터의 제 1 단자는 고전위 측의 전원선에 접속되고, 제 1 트랜지스터의 제 2 단자는 제 2 트랜지스터의 제 1 단자 및 제 4 트랜지스터의 제 3 단자에 접속되고, 제 1 트랜지스터의 제 3 단자는 버퍼 회로의 입력부에 접속되고, 제 2 트랜지스터의 제 2 단자 및 제 2 트랜지스터의 제 3 단자는 저전위 측의 전원선에 접속되고, 제 3 트랜지스터의 제 1 단자는 고전위 측의 전원선에 접속되고, 제 3 트랜지스터의 제 2 단자는 제 4 트랜지스터의 제 1 단자 및 제 6 트랜지스터의 제 3 단자에 접속되고, 제 3 트랜지스터의 제 3 단자는 버퍼 회로의 입력부에 접속되고, 제 4 트랜지스터의 제 2 단자는 저전위 측의 전원선에 접속되고, 제 5 트랜지스터의 제 1 단자는 고전위 측의 전원선에 접속되고, 제 5 트랜지스터의 제 2 단자는 제 6 트랜지스터의 제 1 단자 및 버퍼 회로의 출력부에 접속되고, 제 5 트랜지스터의 제 3 단자는 버퍼 회로의 입력부에 접속되고, 제 6 트랜지스터의 제 2 단자는 저전위 측의 전원선에 접속되고, 상기 제 1 트랜지스터의 제 2 단자는 용량 소자를 통하여 버퍼 회로의 출력부에 접속되고, 상기 제 1 트랜지스터 내지 상기 제 6 트랜지스터는 모두 P형 트랜지스터이다.
- [0017] 또한, 본 명세서에 있어서 “제 1 단자”는 소스 및 드레인 중의 한쪽을 가리키고, “제 2 단자”는 소스 및 드레인 중의 다른 쪽을 가리킨다. 그리고, “제 3 단자”는 게이트를 가리킨다.
- [0018] 또한, 본 명세서에 있어서, “이득”은 입력 전압에 대한 출력 전압의 비율이다.
- [0019] 또한, 본 명세서에 있어서, “구동 능력”은 출력 부하에 전류를 출력하는 능력이다.

[0020] 또한, 본 명세서에 있어서, “N형 트랜지스터”란, 게이트 전압(소스의 전위에 대한 게이트의 전위)이 임계값 전압보다 높은 경우에 온(ON)하는 트랜지스터 모두를 가리킨다. “P형 트랜지스터”란, 게이트 전압(소스의 전위에 대한 게이트의 전위)이 임계값 전압보다 낮은 경우에 온하는 트랜지스터 모두를 가리킨다. 따라서, “N형” 또는 “P형”이라는 호칭(呼稱)은 상기에서 정의(定義)한 사항 이외의 사항을 한정하는 것이 아니다.

[0021] 또한, 여기서 슬루 레이트는, 상기 이득과 상기 구동 능력에 의하여 결정되는 것이다. 이득이 크더라도 구동 능력이 낮은 경우, 출력 부하(용량 소자)에 충전하기 위해서 시간이 걸린다. 한편, 구동 능력이 높고 이득이 작은 경우에는, 최종단(最終段)의 트랜지스터의  $V_{gs}$ 를 충분히 크게 하기 위해서 시간이 걸리고, 높은 구동 능력을 발휘할 때까지 시간이 더 걸린다. 따라서, 슬루 레이트를 향상시키기 위해서는, 이득을 증대시키고, 또 구동 능력을 충분히 높게 한다.

**발명의 효과**

[0022] 구동 능력이 높고, 고주파 성분에 있어서의 이득이 큰 버퍼 회로를 얻을 수 있다. 이와 같은 버퍼 회로는 슬루 레이트도 높다.

[0023] 또한, 이와 같은 슬루 레이트가 높은 버퍼 회로를 동일 극성의 트랜지스터로 구성할 수 있기 때문에, 간략한 공정에 의하여 제작할 수 있다. 바꾸어 말하면, 종래는 어려웠던 동일 극성의 트랜지스터만으로 구성되는 버퍼 회로의 슬루 레이트를 향상시킬 수 있다.

[0024] 그리고, 상기 효과를 갖는 버퍼 회로를 가능한 한 단순한 구성으로 하고, 버퍼 회로가 차지하는 면적을 작게 할 수도 있다.

**도면의 간단한 설명**

- [0025] 도 1은 본 발명의 일 형태인 실시형태 1의 버퍼 회로를 도시하는 도면.
- 도 2는 일례로서의 버퍼 회로를 도시하는 도면.
- 도 3은 일례로서의 버퍼 회로를 도시하는 도면.
- 도 4는 본 발명의 일 형태인 실시형태 2의 버퍼 회로를 도시하는 도면.

**발명을 실시하기 위한 구체적인 내용**

[0026] 이하에서는, 본 발명의 실시형태에 대해서 도면을 사용하여 자세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0027] (실시형태 1)

[0028] 본 실시형태에서는, N형 트랜지스터를 사용하여 구성된 본 발명의 일 형태인 버퍼 회로에 대해서 설명한다.

[0029] 도 1은 본 발명의 일 형태인 버퍼 회로(100)를 도시하는 도면이다.

[0030] 도 1에 도시하는 버퍼 회로(100)는, 제 1 트랜지스터 내지 제 6 트랜지스터, 용량 소자, 입력부 및 출력부를 갖고, 제 1 트랜지스터(101)에서는, 제 1 단자 및 제 3 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 2 트랜지스터(102)의 제 1 단자 및 제 3 트랜지스터(103)의 제 3 단자에 접속되고, 제 2 트랜지스터(102)에서는 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 단자가 버퍼 회로(100)의 입력부  $V_{in}$ 에 접속되고, 제 3 트랜지스터(103)에서는, 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 4 트랜지스터(104)의 제 1 단자 및 제 5 트랜지스터(105)의 제 3 단자에 접속되고, 제 4 트랜지스터(104)에서는 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 단자가 버퍼 회로(100)의 입력부  $V_{in}$ 에 접속되고, 제 5 트랜지스터(105)에서는, 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 6 트랜지스터(106)의 제 1 단자 및 버퍼 회로(100)의 출력부  $V_{out}$ 에 접속되고, 제 6 트랜지스터(106)에서는, 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 단자가 버퍼 회로(100)의 출력부  $V_{in}$ 에 접속되고, 제 1 트랜지스터(101)의 제 2 단자는 용량

소자(107)를 통하여 출력부  $V_{out}$ 에 접속된다.

[0031] 도 1에 도시하는 버퍼 회로(100)는, 구동 능력이 높고, 고주파 성분의 이득을 크게 할 수 있다. 또한, 도 1에 도시하는 버퍼 회로는 슬루 레이트도 높다. 또한, 도 1에 도시하는 버퍼 회로(100)는, 동일 극성의 트랜지스터로 구성할 수 있기 때문에, 간략한 공정에 의하여 제작할 수 있다. 바꾸어 말하면, 종래는 어려웠던 동일 극성의 트랜지스터만으로 구성되는 버퍼 회로의 슬루 레이트를 향상시킬 수 있다. 그리고, 6개의 트랜지스터와 1개의 용량 소자로 구성할 수 있기 때문에, 버퍼 회로가 차지하는 면적은 작다.

[0032] 여기서, 제 1 트랜지스터(101)의 이득을  $g_1$ , 제 2 트랜지스터(102)의 이득을  $g_2$ , 제 3 트랜지스터(103)의 이득을  $g_3$ , 제 4 트랜지스터(104)의 이득을  $g_4$ , 제 5 트랜지스터(105)의 이득을  $g_5$ , 제 6 트랜지스터(106)의 이득을  $g_6$ , 입력 신호의 각주파수(angular frequency)를  $s(=2\pi f$  ( $f$ 는 주파수)), 용량 소자(107)의 정전 용량을  $C$ 로 나타내면, 도 1에서 도시하는 버퍼 회로(100)의 이득은 이하의 수학적 식 1로 나타내어진다.

[0033] [수학적 식 1]

[0034] 
$$G = - \left( \frac{g_4 g_5 (g_1 + sC)}{g_1 g_3 (g_5 + sC)} + \frac{g_6 (g_1 + sC)}{g_1 (g_5 + sC)} + \frac{g_2}{g_1} \right) \cdot \cdot \cdot (1)$$

[0035] 즉, 고주파 성분에서는  $s$ 가 매우 크기 때문에 ( $g_1, g_5 \ll sC$ ),  $1/s=0$ 으로 하면, 고주파 성분의 이득은 이하의 수학적 식 2로 나타내어진다.

[0036] [수학적 식 2]

[0037] 
$$G_H = - \left( \frac{g_4 g_5}{g_1 g_3} + \frac{g_6}{g_1} + \frac{g_2}{g_1} \right) \cdot \cdot \cdot (2)$$

[0038] 그리고, 저주파 성분에서는,  $s$ 가 매우 작기 때문에 ( $g_1, g_5 \gg sC$ ),  $s=0$ 으로 하면, 저주파 성분의 이득은 이하의 수학적 식 3으로 나타내어진다.

[0039] [수학적 식 3]

[0040] 
$$G_L = - \left( \frac{g_4}{g_3} + \frac{g_6}{g_5} + \frac{g_2}{g_1} \right) \cdot \cdot \cdot (3)$$

[0041] 여기서, 상기 수학적 식 1은 다음과 같이 도출(導出)된다. 제 1 트랜지스터(101)의 제 1 단자와 제 2 단자 사이에 흐르는 전류를  $I_1$ 로 하고, 제 3 트랜지스터(103)의 제 1 단자와 제 2 단자 사이에 흐르는 전류를  $I_3$ 으로 하고, 제 5 트랜지스터(105)의 제 1 단자와 제 2 단자 사이에 흐르는 전류를  $I_5$ 로 하고, 용량 소자(107)의 한쪽 전극과 다른 쪽 전극 사이에 흐르는 전류를  $I_7$ 로 하면, 이들은 이하의 수학적 식 4 내지 수학적 식 7로 나타내어진다.

[0042] [수학적 식 4]

[0043] 
$$I_1 = g_1(0 - V_a) = g_2(V_{in} - 0) + I_7 \cdot \cdot \cdot (4)$$

[0044] [수학적 식 5]

[0045] 
$$I_3 = g_3(V_a - V_b) = g_4(V_{in} - 0) \cdot \cdot \cdot (5)$$

[0046] [수학적 식 6]

[0047] 
$$I_5 = g_5(V_b - V_{out}) = g_6(V_{in} - 0) - I_7 \cdot \cdot \cdot (6)$$

[0048] [수학적 식 7]

[0049] 
$$I_7 = sC(V_a - V_{out}) \cdot \cdot \cdot (7)$$

[0050] 또한, 여기서  $V_a$ 는 제 3 트랜지스터(103)의 제 3 단자에 접속된 노드의 전위이고,  $V_b$ 는 제 5 트랜지스터(105)의

제 3 단자에 접속된 노드의 전위이다. 상기 수학식 4 내지 수학식 7을  $V_a$ 와  $V_b$ 를 포함하지 않도록 풀으로써 상기 수학식 1이 도출된다.

[0051] 도 1에 도시하는 버퍼 회로(100)를 사용함으로써, 고주파 성분의 이득을 크게 할 수 있다. 이것은, 제 5 트랜지스터(105)의 이득을 크게 함으로써, 고주파 성분에 있어서 버퍼 회로(100)의 이득을 증대시키기 때문이다.

[0052] 여기서, 본 발명의 일 형태인 도 1에 도시하는 버퍼 회로의 기술적 특징을 설명하기 위해서 다른 버퍼 회로에 대해서 검토한다.

[0053] 도 2는 버퍼 회로(200)를 도시하는 도면이다.

[0054] 도 2에 도시하는 버퍼 회로(200)는, 제 1 트랜지스터 내지 제 4 트랜지스터, 용량 소자, 입력부 및 출력부를 갖고, 제 1 트랜지스터(201)에서는 제 1 단자 및 제 3 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 2 트랜지스터(202)의 제 1 단자 및 제 3 트랜지스터(203)의 제 3 단자에 접속되고, 제 2 트랜지스터(202)에서는, 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 단자가 버퍼 회로(200)의 입력부  $V_{in}$ 에 접속되고, 제 3 트랜지스터(203)에서는 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 4 트랜지스터(204)의 제 1 단자와 버퍼 회로(200)의 출력부  $V_{out}$ 에 접속되고, 제 4 트랜지스터(204)에서는, 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 단자가 버퍼 회로(200)의 입력부  $V_{in}$ 에 접속되고, 제 1 트랜지스터(201)의 제 2 단자는 용량 소자(207)를 통하여 출력부  $V_{out}$ 에 접속된다.

[0055] 여기서, 제 1 트랜지스터(201)의 이득을  $g_1$ , 제 2 트랜지스터(202)의 이득을  $g_2$ , 제 3 트랜지스터(203)의 이득을  $g_3$ , 제 4 트랜지스터(204)의 이득을  $g_4$ , 입력 신호의 각주파수를  $s(=2\pi f$  ( $f$ 는 주파수)), 용량 소자(207)의 정전 용량을  $C$ 로 나타내면, 도 2에 도시하는 버퍼 회로(200)의 이득은 이하의 수학식 8로 나타내어진다.

[0056] [수학식 8]

$$G = \frac{g_4(g_1 + sC)}{g_1(g_3 + sC)} + \frac{g_2}{g_1} \dots (8)$$

[0057]

[0058] 즉, 고주파 성분에서는  $s$ 가 매우 크기 때문에( $g_1, g_3 \ll sC$ ),  $1/s=0$ 으로 하면, 고주파 성분의 이득은 이하의 수학식 9로 나타내어진다.

[0059] [수학식 9]

$$G_H = -\frac{g_2 + g_4}{g_1} \dots (9)$$

[0060]

[0061] 그리고, 저주파 성분에서는  $s$ 가 매우 작기 때문에( $g_1, g_3 \gg sC$ ),  $s=0$ 으로 하면, 저주파 성분의 이득은 이하의 수학식 10으로 나타내어진다.

[0062] [수학식 10]

$$G_L = -\left(\frac{g_4 + g_2}{g_3 + g_1}\right) \dots (10)$$

[0063]

[0064] 상기 수학식 9에는 제 3 트랜지스터(203)의 이득이 포함되지 않고, 도 2의 버퍼 회로(200)에서는, 제 3 트랜지스터(203)의 이득이 고주파 성분의 이득의 증대에 기여하지 않는다. 즉, 고전위 측의 전원선에 접속된 최종단의 트랜지스터가 이득의 증대에 기여하지 않는다. 또한, 상기 수학식 10에 있어서, 제 3 트랜지스터(203)의 이득을 증대시키면, 버퍼 회로의 저주파 성분에서의 이득을 감소시키는 방향으로 작용한다.

[0065] 한편, 도 1에 도시하는 버퍼 회로(100)에서는, 고전위 측의 전원선  $V_{dd}$ 에 접속된 최종단의 트랜지스터가 이득의 증대에 기여하기 때문에, 상기 트랜지스터의 채널 길이를 크게 하는 등 최종단의 트랜지스터의 이득을 증대시킴으로써 버퍼 회로의 이득을 증대시킬 수 있다.

[0066] 도 3은 버퍼 회로(300)를 도시하는 도면이다.

[0067] 도 3에 도시하는 버퍼 회로(300)는, 제 1 트랜지스터 내지 제 6 트랜지스터, 용량 소자, 입력부 및 출력부를 갖

고, 제 1 트랜지스터(301)에서 제 1 단자 및 제 3 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 2 트랜지스터(302)의 제 1 단자, 제 4 트랜지스터(304)의 제 3 단자 및 제 5 트랜지스터(305)의 제 3 단자에 접속되고, 제 2 트랜지스터(302)에서는, 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 단자는 버퍼 회로(300)의 입력부  $V_{in}$ 에 접속되고, 제 3 트랜지스터(303)에서는, 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 4 트랜지스터(304)의 제 1 단자와 제 6 트랜지스터(306)의 제 3 단자에 접속되고, 제 3 단자가 버퍼 회로(300)의 입력부  $V_{in}$ 에 접속되고, 제 4 트랜지스터(304)에서는, 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 5 트랜지스터(305)에서는 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 6 트랜지스터(306)의 제 1 단자 및 버퍼 회로(300)의 출력부  $V_{out}$ 에 접속되고, 제 6 트랜지스터(306)에서는 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 1 트랜지스터(301)의 제 2 단자는 용량 소자(307)를 통하여 버퍼 회로(300)의 출력부  $V_{out}$ 에 접속된다.

[0068] 여기서, 제 1 트랜지스터(301)의 이득을  $g_1$ , 제 2 트랜지스터(302)의 이득을  $g_2$ , 제 3 트랜지스터(303)의 이득을  $g_3$ , 제 4 트랜지스터(304)의 이득을  $g_4$ , 제 5 트랜지스터(305)의 이득을  $g_5$ , 제 6 트랜지스터(306)의 이득을  $g_6$ , 입력 신호의 각주파수를  $s(=2\pi f$  ( $f$ 는 주파수)), 용량 소자(307)의 정전 용량을  $C$ 로 나타내면, 도 3에서 도시하는 버퍼 회로(300)의 고주파 성분의 이득은 이하의 수학적 식 11로 나타내어진다.

[0069] [수학적 식 11]

$$G_H = -\frac{g_3(g_2 + g_6)}{g_1 g_3 - g_4 g_6} \dots (11)$$

[0070]

한편, 저주파 성분의 이득은 이하의 수학적 식 12로 나타내어진다.

[0071]

[0072] [수학적 식 12]

$$G_L = -\left(\frac{g_2 g_4 g_6 + g_2 + g_6}{g_1 g_3 g_5} + \frac{g_2}{g_1} + \frac{g_6}{g_5}\right) \dots (12)$$

[0073]

상기 수학적 식 11에는 제 5 트랜지스터(305)의 이득이 포함되지 않고, 도 3의 버퍼 회로(300)에서는, 제 5 트랜지스터의 이득이 고주파 성분의 이득의 증대에 기여하지 않는다. 즉, 고전위 측의 전원선에 접속된 최종단의 트랜지스터가 이득의 증대에 기여하지 않는다. 한편, 상술한 바와 같이, 도 1에 도시하는 버퍼 회로(100)에서는, 고전위 측의 전원선에 접속된 최종단의 트랜지스터가 이득의 증대에 기여하기 때문에, 상기 트랜지스터의 채널 길이를 크게 하는 등 최종단의 트랜지스터의 이득을 증대시킴으로써 버퍼 회로의 이득을 증대시킬 수 있다.

[0074]

이상, 본 실시형태에서 설명한 바와 같이, 본 발명의 일 형태인 도 1에 도시하는 버퍼 회로는 새롭고, 종래의 버퍼 회로와 비교하여 유리한 효과를 갖는다. 이 버퍼 회로는 표시 장치의 구동 회로에 사용할 수 있고, 버퍼 회로와 화소부를 동일 기판 위에 형성할 수도 있다.

[0075]

[0076] (실시형태 2)

본 실시형태에서는, P형 트랜지스터를 사용하여 구성된 본 발명의 일 형태인 버퍼 회로에 대해서 설명한다.

[0077]

도 4는 본 발명의 일 형태인 버퍼 회로(400)를 도시하는 도면이다.

[0078]

도 4에 도시하는 버퍼 회로(400)는, 제 1 트랜지스터 내지 제 6 트랜지스터, 용량 소자, 입력부 및 출력부를 갖고, 제 1 트랜지스터(401)에서는, 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 2 트랜지스터(402)의 제 1 단자 및 제 4 트랜지스터(404)의 제 3 단자에 접속되고, 제 3 단자가 버퍼 회로(400)의 입력부  $V_{in}$ 에 접속되고, 제 2 트랜지스터(402)에서는 제 2 단자 및 제 3 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 3 트랜지스터(403)에서는, 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 4 트랜지스터(404)의 제 1 단자 및 제 6 트랜지스터(406)의 제 3 단자에 접속되고, 제 3 단자가 버퍼 회로(400)의 입력부  $V_{in}$ 에 접속되고, 제 4 트랜지스터(404)에서는 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 5 트랜지스터(405)에서는, 제 1 단자가 고전위 측의 전원선  $V_{dd}$ 에 접속되고, 제 2 단자가 제 6 트랜지스터(406)의 제 1 단자 및 버

[0079]

퍼 회로의 출력부  $V_{out}$ 에 접속되고, 제 3 단자가 버퍼 회로(400)의 입력부  $V_{in}$ 에 접속되고, 제 6 트랜지스터(406)에서는, 제 2 단자가 저전위 측의 전원선  $V_{ss}$ 에 접속되고, 제 1 트랜지스터(401)의 제 2 단자는 용량 소자(407)를 통하여 출력부  $V_{out}$ 에 접속된다.

[0080] 도 4에 도시하는 버퍼 회로(400)는, 구동 능력이 높고, 고주파 성분의 이득을 크게 할 수 있다. 또한, 이와 같은 버퍼 회로는 슬루 레이트도 높다. 또한, 동일 극성의 트랜지스터로 구성할 수 있기 때문에, 간략한 공정에 의하여 제작할 수 있다. 바꾸어 말하면, 종래는 어려웠던 동일 극성의 트랜지스터만으로 구성되는 버퍼 회로의 슬루 레이트를 향상시킬 수 있다. 그리고, 6개의 트랜지스터와 1개의 용량 소자로 구성할 수 있기 때문에, 버퍼 회로가 차지하는 면적을 작게 할 수도 있다.

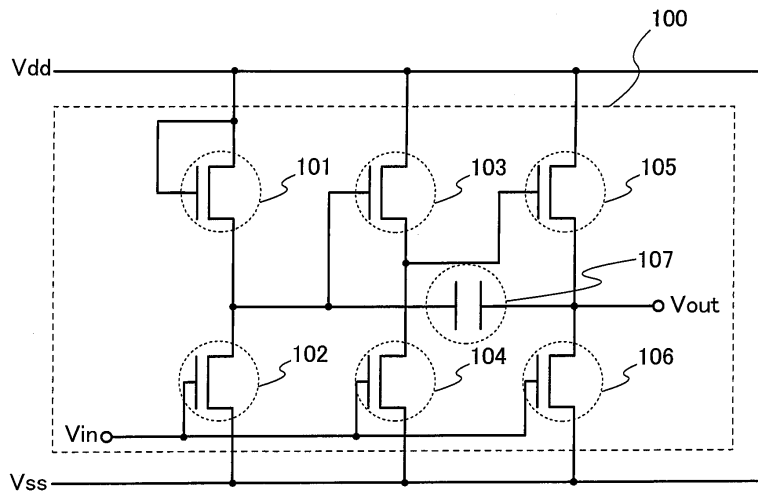
[0081] 이상, 본 실시형태에서 설명한 바와 같이, 본 발명의 일 형태인 도 4에 도시하는 버퍼 회로는, 새롭고, 종래의 버퍼 회로와 비교하여 유리한 효과를 갖는다. 이 버퍼 회로는 표시 장치의 구동 회로에 사용할 수 있고, 버퍼 회로와 화소부를 동일 기관 위에 형성할 수도 있다.

**부호의 설명**

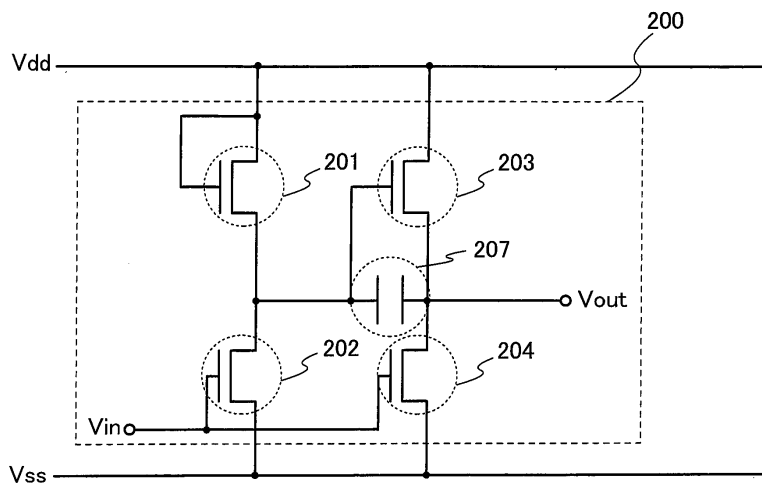
- |        |                |                |
|--------|----------------|----------------|
| [0082] | 100: 버퍼 회로     | 101: 제 1 트랜지스터 |
|        | 102: 제 2 트랜지스터 | 103: 제 3 트랜지스터 |
|        | 104: 제 4 트랜지스터 | 105: 제 5 트랜지스터 |
|        | 106: 제 6 트랜지스터 | 107: 용량 소자     |

**도면**

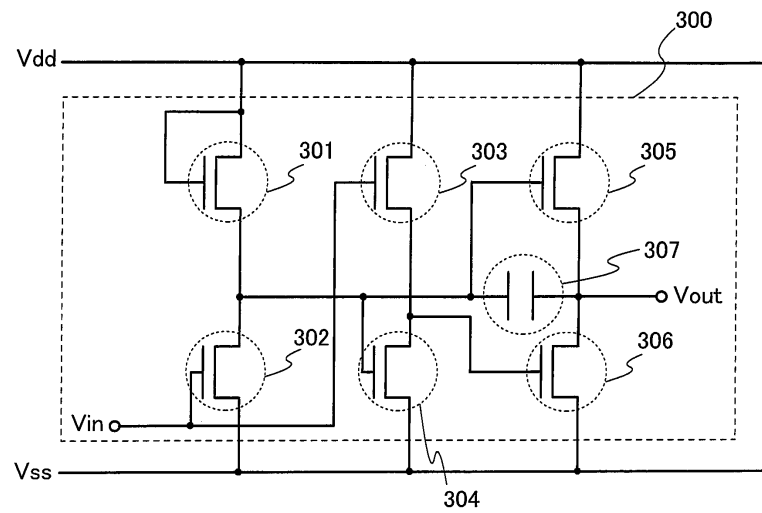
**도면1**



도면2



도면3



도면4

