

公告本

申請日期	80.2.8
案 號	89.177152
類 別	H03M 1/12

A4
C4

512591

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	供數位系統之高效率類比/數位轉換器
	英 文	EFFICIENT ANALOG-TO-DIGITAL CONVERTER FOR DIGITAL SYSTEMS
二、發明 人	姓 名	聶克瑞 (Krishnaswamy (nmi) Nagaraj)
	國 籍	美國籍
	住、居所	美國新澤西州薩莫維爾市奧利格路 1 號 1 Alliger Close, Somerville, New Jersey 08876, U.S.A.
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempler)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 案 號 : , ☒有 ☐無主張優先權
西元 1999 年 12 月 21 日 60/171,333

有關微生物已寄存於： , 寄存日期： , 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明領域

廣義而言，本發明與類比/數位轉換器有關，更明確地說，與用於數位系統的高效率類比/數位轉換器有關。

發明背景

由於數位信號處理器的用途極廣，因此變得愈來愈普遍，包括硬式磁碟機，細胞式電話、數據機及其它。數位信號處理器典型上是操作得自類比信號的數位信號。從類比信號轉換成數位信號通常是使用類比/數位轉換器(ADC)執行。

用來實施ADC的技術很多。例如其中一種ADC是所謂的平行比較器。在此裝置中，類比輸入電壓施加到若干個比較器，其數量為 2^n-1 ，其中n是所產生之數字位元的數量。這些比較器接收不同的參考電壓，其範圍從接近預期的最高電壓到預期的最低電壓。每一個比較器的輸出被邏輯地組合在一起，用以產生n個數字位元。

這種ADC的用途之一是碟片驅動器的讀取通道。在此種應用中，數位資料被編碼後儲存在碟片驅動器的媒體中。接著，資料必須從碟片驅動器讀取，並由數位處理電路處理。類比/數位轉換器是經常用來產生數位的電路，再供數位處理電路處理。

發明概述

本發明提供數位系統一種高效率的類比/數位轉換

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (2)

器。此類比/數位轉換器包括若干優於習知技術裝置的優點。

第一態樣是，類比/數位轉換器包括第一及第二類比/數位轉換器，兩者都接收輸入信號。第一類比/數位轉換器被架構成中心在第一信號位準點附近，第二類比/數位轉換器被架構成中心在第二信號位準點附近。一解碼器接收兩個類比/數位轉換器的輸出，並選擇第一類比/數位轉換器的輸出或第二類比/數位轉換器的輸出做為輸入。

本發明的構想可應用於若干用途。例如，碟片驅動器之讀取通道中的類比/數位轉換器。因此，本發明可創造一全新的碟片驅動器系統，它包括本文所描述之其中一種類比/數位轉換器的實施例。

本發明的各態樣具有優於習知技術的優點。例如，由於類比/數位轉換器僅在某一信號位準執行精細解析度的數位化，因此，使用很少數量的電晶體就可實施轉換器。在一例中，習知技術的類比/數位轉換器需要使用63個比較器，現在只使用21個比較器即可。組件的數量減少，所消耗的電力也降低，此特性對行動式裝置特別有用，例如細胞式電話及行動電腦。

圖式簡單說明

從以下的說明並配合圖式，將可更明瞭本發明的上述特性，其中：

圖1是使用本發明之類比/數位轉換器之讀取通道系統

訂

線

五、發明說明 (3)

的方塊圖；

圖2a-2d，統稱為圖2，顯示可被本發明之類比/數位轉換器數位化的波形圖例；

圖3說明本發明之類比/數位轉換器的第一實施例；

圖4說明可使用本發明之類比/數位轉換器數位化的波形；

圖5說明本發明之類比/數位轉換器的第二實施例；

圖6說明本發明之類比/數位轉換器的第三實施例；

發明詳細說明

以下將詳細討論本發明之較佳實施例的製造與使用。不過，須瞭解，本發明提供許多應用本發明的構想，可以具體化於各特定方面。本文所討論的特定實施例僅是說明本發明之特定的製造及使用方法，並不是限制本發明的範圍。

本發明首先描述有關於特定的應用，即碟片驅動器的讀取通道。此基本構想可加以延伸，因此，讀者可瞭解它們如何應用到其它方面。

圖1說明可用於碟片驅動器讀取通道之第一實施例系統10的方塊圖。在此系統中，類比輸入施加到可變增益放大器(VGA)12。VGA 12的輸出施加到類比等化器14，它依次耦合到類比到數位轉換器(ADC)16。ADC 16以前文所描述的ADC為佳。

ADC 16的輸出耦合到自適邏輯18與Viterbi解碼器

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (4)

20。如圖所示，自適邏輯耦合到類比濾波器14。系統10可用來檢知讀取自碟片驅動器(例如磁碟機、CD、DVD或磁帶機)之資料的順序。可變增益放大器12將信號放大到適當的位準，等化器14等化信號的位準。

此架構的特徵之一是等化器14為全類比式。此為一普遍的趨勢，因為類比等化器的功率效率較數位有限脈衝響應(FIR)等化器高。經由在執行類比/數位轉換前先將所接收的信號等化，可使信號準更接近其中一個目標信號位準。不過，須注意，本發明的構想也可用於數位有限脈衝響應(FIR)等化器。

ADC 16典型的解析度是6-位元，以便得到可接受的錯誤率性能。因此，典型習知技術的平行-比較器式ADC要使用63個比較器(2^6-1)。本發明提供一種簡化的類比/數位轉換器技術，利用碟片驅動器信號的獨有特性而來實施。

如第一例，吾人假設系統10使用PR4信號格式，它是PRML(部分響應，最大可能：partial response, maximum likelihood)信號格式的一例。本發明也適合其它的部分響應編碼技術。吾人對PR4格式特定感興趣的原因是現在很多碟片驅動器都使用PR4，例如磁碟機、磁帶機、CD驅動器、及DVD驅動器。理想PR4通道的z-域轉換函數是 $1-z^{-2}$ 。換言之，每一個編碼的位元是由1減前兩個周期的位元決定。以下顯示編碼之位元流的例子。

輸入：1 1 0 0 1 0 1 0 0 0 1 1 0 1 1 1 1 0 1 0 0 0 0 1 1 0

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (5)

PR輸出：-1-1 1 0 0 0 1 0 1 1-1 0 1 0 0-1 0 0-1 0 0 1 1-1

某些典型的輸出波形如圖2所示。

該碼具有某些特性可供利用。第一，在等化器的初始幅合另及時序恢復之後，類比/數位轉換器16所接收的樣本僅只有3種可能的振幅，即0,+1,或-1。實際上，由於雜訊及不完美的等化，這並不完全正確。不過，振幅的分布仍是在這3個位準附近的小範圍內。因此，本發明的一態樣是在這些位準附近提供較多的比較器，在其它區域的比較器較少。

PR碼具有另一有用的特性。經由轉換函數，絕不會有"+1 x +1"或"-1 x -1"的式樣，其中，x可以是0,+1,或-1。因此，如果接收到的信號是+1，則可以假設兩個時計周期之後接收到的符號是0或-1，但絕不是另一個+1。同樣地，如果接收到的信號是-1，則可以假設兩個時計周期之後接收到的符號是0或+1，但絕不是另一個-1。

事實上，此特性延伸超過3個連續位元。假設，為了解釋，資料流可以想像成包括奇通道與偶通道，如此，每隔一個位元可以指定給奇通道或偶通道。如果如此，直到它先接收到-1(或+1)，沒有一個通道可以是+1(或-1)，無論之間接收到多少個0位元。

考慮這些特性，可以架構出一簡單的快閃類比/數位轉換器。此系統的方塊圖如圖3所示。

圖3的系統包括2個類比/數位轉換器。第一類比/數位轉換器22的中心在零附近，第二類比/數位轉換器24的中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

心在+1或-1附近。在較佳實施例中，類比/數位轉換器22及24都是3位元的類比/數位轉換器。因此，這些類比/數位轉換器將決定8個位準中的一個位準。

ADC22最好是以零位準為中心的快閃類比/數位轉換器。此組件的比較器位準等於6-位元的ADC。ADC 24也包括等於這6-位元ADC的比較器位準。ADC 24最好是可切換的類比/數位轉換器，可在+1與-1間切換，視奇或偶通道各自接收的最後一個非零符號而定。例如，解碼器26可包括在+1與-1間控制ADC 24的電路(未顯示)。

ADC 22與ADC 24的輸出施加到解碼器26。如果信號位準的中心在"0"附近，解碼器將選擇ADC 22的輸出，如果信號位準的中心在"+1"或"-1"的附近，則將選擇ADC 24的輸出。解碼器或其它電路也附加較高階的位元，它表示所接收到是那一個信號位準(即+1、0或-1)。結合這些較高階位元以及ADC 22或ADC 24所決定的位元，將構成信號位準的整個數位表示(例如以6個位元表示)。

圖4說明一任意的信號。如y-軸上的大括號28、29及30指示，類比/數位轉換器22及24在每一個既定的窗口內執行更精確的信號位準量測。這些窗口以虛線指示。(須注意，圖中沒有為6位元的類比/數位轉換器畫出刻度。)由於已知曉信號幾乎全在這些窗口內，因此，該系統免去了在整個範圍決定信號位準的成本。

例如，假設量測信號位準需要6-位元的ADC精度。以傳統的快閃類比/數位轉換器做此量測需要使用63個比較

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

器($2^6-1=63$)。圖3的電路使用2個3位元的比較器，僅需要14個比較器($2^3-1+2^3-1=14$)。換言之，本實施例所需的比較器數量少了78%，所消耗的電力也同樣降低。

同時，本發明的電路提供信號位準量測精細的解析度。此精細的解析度可用於自動增益控制及時計恢復。這些相同的目標都可以較少的電路達成。

如果有需要加寬某些(或全部)窗口，經由增加精細解析度類比/數位轉換器22及24的位元數量即可輕易達成此目標。

圖3的設計存在一潛在的問題。如果在檢知+1或-1時發生錯誤，則可切換的精細快閃類比/數位轉換器24即會在2個周期後被置於錯誤的位置。此錯誤會造成精細快閃轉換器在該周期期間的輸出無用。

解決此潛在問題的方法包括將中心信號位準在+1及-1附近的ADCs分開。此設計說明於圖5。此設計使用3個ADCs 22、24a及24b。雖然此設計使用的比較器多了50%，但它也不需要知道位元為何種位元。換言之，此架構可以使用任何的編碼設計。

事實上，圖5的設計只需去掉類比/數位轉換器24b即可使用任何一種二進位數位流。只要系統不要求過渡期間有關信號位準的任何精確資訊，系統即可精確地決定在0及1位準的信號位準。

圖6顯示本發明的另一實施例。此實施例與圖3所示的相同，它包括一中心在零附近的精細快閃ADC 22，以及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

可在+1與-1間切換的可切換精細快閃ADC 24。此實施例還包括一粗略3-位元快閃類比/數位轉換器32，它涵蓋整個信號範圍。有了粗略ADC 32，即使出現大的錯誤，例如雜訊造成的錯誤，系統也不會完全失去資訊。

圖6的電路也包括一奇標記暫存器34及偶標記暫存器36。這些暫存器提供最後一個非零位元是+1或-1的記憶。此資訊是由粗略ADC 32決定，並提供給解碼器電路26。解碼器電路26還將此資訊供應給可切換的ADC 24。

在本實施例中，解碼器26可輸出6個位元。3個最大有效位元可從粗略類比/數位轉換器32通過，3個最小有效位可從類比/數位轉換器22或類比/數位轉換器24通過，視被數位化之信號的位準而定。是從精細類比/數位轉換器22或24通過，由來自粗略類比/數位轉換器32的資訊決定。

雖然圖中未顯示，但圖6之實施例中的可切換類比/數位轉換器24可改成圖5所示的兩個類比/數位轉換器24a及24b。在此例中，類比/數位轉換器24是一3-位元的ADC，做此修改要增加7個比較器。但是，此電路的28個比較器仍遠少於需要63個比較器的全6-位元類比/數位轉換器。

本發明可做若干修改。例如，精細類比/數位轉換器22及24，或粗略類比/數位轉換器32可以產生多於或少於3個位元。例如，系統可包括3位元的粗略ADC 32，以及2個4位元的精細ADCs 22及24，這也只使用37個比較器，仍遠比全6-位元ADC少40%。視系統的需要，還可以做很多其它的組合。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (9)

雖然本發明是參考說明實施例加以描述，但不能將這些描述解釋成限制之意。熟悉此方面技術的人士在參考了描述之後，應瞭解說明實施例可做各種修改及組合，以及本發明的其它實施例。因此，所附申請專利範圍意欲包括所有這類修改及實施例。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

圖式之代號說明：

代表 符號	名 稱
10	第一實施例的系統
12	可變增益放大器
14	類比等化器
16	類比/數位轉換器
18	自適邏輯
20	Viterbi解碼器
22	精細類比/數位轉換器
24	精細可切換類比/數位轉換器
26	解碼器
32	粗略快閃類比/數位轉換器
34	奇標記暫存器
36	偶標記暫存器

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要 (發明之名稱： 供數位系統之高效率類比/數位轉換器)

類比/數位轉換器16，包括第一及第二類比/數位轉換器22及24，都接收一輸入信號。第一類比/數位轉換器22被架構成中心在第一信號位準點附近，同時，第二類比/數位轉換器24被架構成中心在第二信號位準點附近。一解碼器26，接收來自2個類比/數位轉換器22及24的輸入，並在第一類比/數位轉換器22及第二類比/數位轉換器24間做選擇。

英文發明摘要 (發明之名稱：)

Efficient Analog-to-Digital Converter for Digital System

An analog-to-digital converter 16 includes first and second analog-to-digital converters 22 and 24 both of which receive an input signal. The first analog-to-digital converter 22 is configured to be centered around a first signal level point while the second analog-to-digital converter 24 is configured to be centered around a second signal level point. A decoder 26 receives inputs from the two analog-to-digital converters 22 and 24 and selects between the first analog-to-digital converter 22 output and the second analog-to-digital converter 24 output.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

公

六、申請專利範圍

專利申請案第 89127152 號
ROC Patent Appln. No. 89127152
中文申請專利範圍修正本－附件(一)
Amended Claims in Chinese – Encl. (I)
(民國 91 年 8 月 7 日 送呈)
(Submitted on August 7, 2002)

1. 一種類比/數位轉換器，具有一輸入節點及一輸出節點，類比/數位轉換器包括：
第一類比/數位轉換器，被架構成中心在第一點附近；
第一類比/數位轉換器接收輸入信號；
第二類比/數位轉換器，被架構成中心在第二點附近；
第二類比/數位轉換器接收該輸入信號；以及
一解碼器，包括第一輸入，耦合到第一類比/數位轉換器的輸出，以及第二輸入，耦合到第二類比/數位轉換器的輸出，解碼器選擇第一類比/數位轉換器的輸出或第二類比/數位轉換器的輸出。
2. 如申請專利範圍第1項的類比/數位轉換器，其中第二類比/數位轉換器的中心可切換到第二點或第三點附近。
3. 如申請專利範圍第2項的類比/數位轉換器，其中第二類比/數位轉換器的中心是在第二點或第三點附近，可經由檢查先前接收的信號值決定。
4. 如申請專利範圍第1項的類比/數位轉換器，其中第一及第二類比/數位轉換器包括n-位元的類比/數位轉換器，類比/數位轉換器進一步包括一粗略的m-位元類比/數位轉換器，因此，類比/數位轉換器的輸出包括解碼器的輸出及粗略類比/數位轉換器的輸出。

六、申請專利範圍

- 5. 如申請專利範圍第1項的類比/數位轉換器，進一步包括第三類比/數位轉換器，被架構成中心在第三點附近，第三類比/數位轉換器接收該輸入信號。
- 6. 如申請專利範圍第1項的類比/數位轉換器，其中類比/數位轉換器是硬式磁碟機讀取通道中的組件，類比/數位轉換器的輸入節點耦合到類比等化器的輸出。
- 7. 如申請專利範圍第6項的類比/數位轉換器，其中類比/數位轉換器的輸出節點耦合到viterbi解碼器的輸入。
- 8. 一種數位化類比信號的方法，該方法包括：
提供一類比信號，該信號的範圍從第一信號位準到第二信號位準；
數位化類比信號的第一部分以產生第一數位信號，類比信號的第一部分涵蓋一範圍，它包括的範圍小於從第一信號位準到第二信號位準的範圍；以及
數位化類比信號的第二部分以產生第二數位信號，類比信號第二部分涵蓋的範圍與第一部分包括的範圍不同，但也小於從第一信號位準到第二信號位準的範圍；以及
在第一數位信號及第二數位信號間做選擇。
- 9. 如申請專利範圍第8項的方法，其中的類比信號包括部分響應編碼信號。
- 10. 如申請專利範圍第9項的方法，其中的類比信號被編碼，以使類比信號接近+1、0、或-1的位準，因此，如果第一個信號位元是被編碼在第一非-零編碼信號位準，

經濟部智慧財產局員工消費合作社印製

裝
計
線

六、申請專利範圍

- 則在偶數個時計周期之後所接收的次一個非-零信號位元，不能與第一個非-零編碼信號位準在相同的位準。
11. 如申請專利範圍第8項的方法，其中的類比信號使用部分響應編碼設計。
12. 如申請專利範圍第11項的方法，其中類比信號的編碼設計使用3個編碼信號位準。
13. 如申請專利範圍第8項的方法，進一步包括經由數位化第一信號位準與第二信號位準間的類比信號以產生粗略的數位信號。
14. 一種類比/數位轉換器，包括：
- 一類比輸入節點，接收其範圍從第一信號位準到第二信號位準的類比信號；
 - 一粗略m-位元的類比/數位轉換器，被架構數位化從第一信號位準到第二信號位準的類比信號；
 - 一精細n-位元的類比/數位轉換器，中心在"0"信號位準的附近，精細n-位元類比/數位轉換器被架構成數位化類比信號中在"0"信號位準附近的部份；
 - 一精細可切換的n-位元的類比/數位轉換器，它的中心可在"+1"信號位準或"-1"信號位準的附近切換，精細n-位元類比/數位轉換器被架構成數位化類比信號中在"+1"信號位準或"-1"信號位準附近的部份；
 - 一解碼器，從精細n-位元的類比/數位轉換器接收類比信號被數位化的第一部分，以及從精細可切換的n-位元類比/數位轉換器接收類比信號被數位化的第二部分

六、申請專利範圍

- ，解碼器產生一輸出信號，它包括類比信號的第一數位化部分或第二數位化部分；以及
- 一數位輸出節點，用以載送粗略m-位元類比/數位轉換器的輸出及解碼器的輸出信號。
15. 如申請專利範圍第14項的類比/數位轉換器，其中的類比信號是以數位資料編碼。
16. 如申請專利範圍第14項的類比/數位轉換器，其中粗略類比/數位轉換器的輸出信號被解碼器用來選擇類比信號第一被數位化的部分以及類比信號第二被數位化的部分。
17. 如申請專利範圍第14項的類比/數位轉換器，其中粗略m-位元的類比/數位轉換器包括一3-位元的類比/數位轉換器，以及，精細n-位元的類比/數位轉換器及精細可切換的n-位元類比/數位轉換器都包括3位的類比/數位轉換器。
18. 如申請專利範圍第14項的類比/數位轉換器，其中的類比信號是使用部分響應，最大可能編碼設計編碼。
19. 一種硬式磁碟機的讀取通道電路，包括：
- 一可變增益放大器；
 - 一類比等化器，具有第一輸入，耦合到可變增益放大器的輸出；
 - 一類比/數位轉換器，具有一輸入，耦合到類比等化器的輸出，類比/數位轉換器包括中心在第一點附近的第二類比/數位轉換器，以及中心在第二點附近的第二類

六、申請專利範圍

比/數位轉換器，第一及第二類比/數位轉換器接收類比等化器輸出的信號，類比/數位轉換器還包括一解碼器，在第一類比/數位轉換器的輸出或第二類比/數位轉換器的輸出間做選擇；

適應邏輯，耦合於類比/數位轉換器的輸出與類比等化器的第二輸入之間；以及

一解碼器，具有一輸入，耦合到類比/數位轉換器的輸出。

20. 如申請專利範圍第19項的讀取通道電路，其中第二類比/數位轉換器的中心可在第二點與第三點附近切換。
21. 如申請專利範圍第19項的讀取通道電路，其中第一及第二類比/數位轉換器包括n-位元的類比/數位轉換器，類比/數位轉換器進一步包括一粗略m-位元類比/數位轉換器，因此，類比/數位轉換器的輸出包括解碼器的輸出及粗略類比/數位轉換器的輸出。
22. 如申請專利範圍第19項的讀取通道電路，其中的解碼器包括viterbi解碼器。

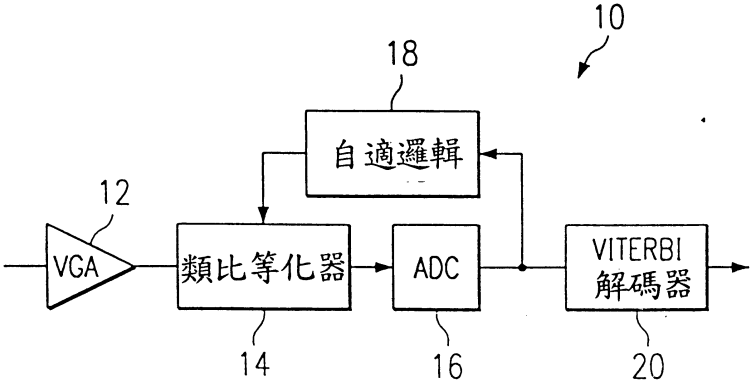


圖 1

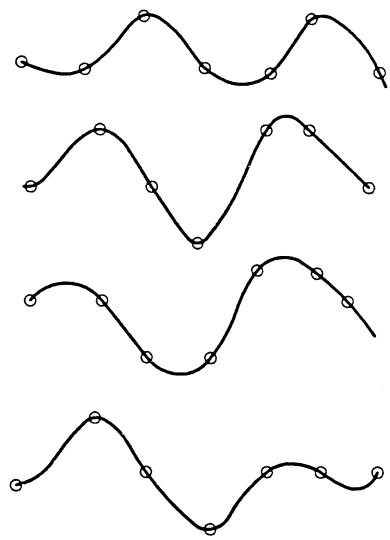


圖 2a

圖 2b

圖 2c

圖 2d

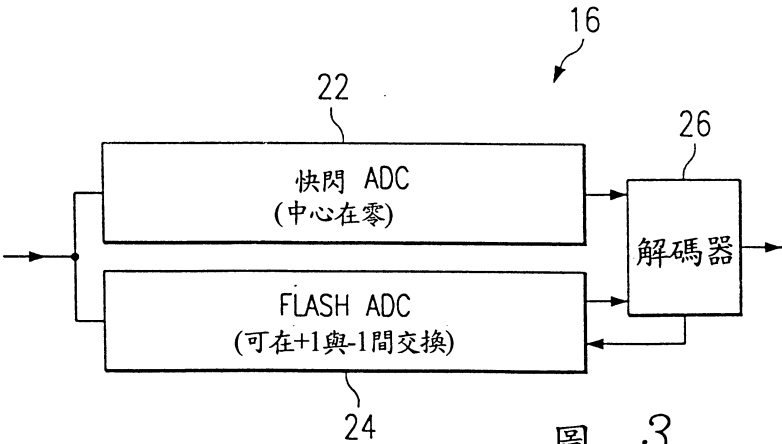


圖 3

91年8月7日 修正
補充

專利申請案第 89127152 號
ROC Patent Appln. No. 89127152
中文圖式修正頁一附件(三)
Amended Page of drawings in Chinese – Encl. (III)
(民國 91 年 8 月 17 日 送呈)
(Submitted on August 17, 2002)

圖 4

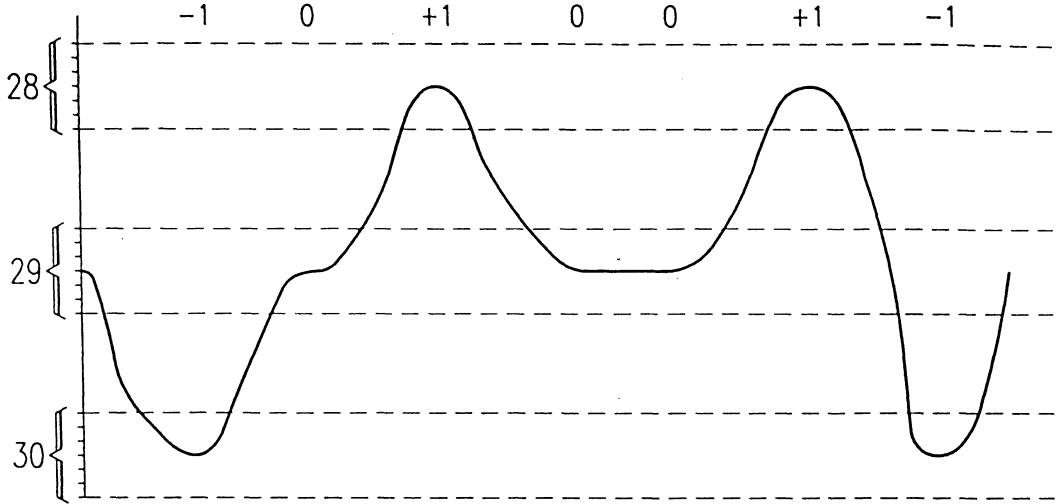


圖 5

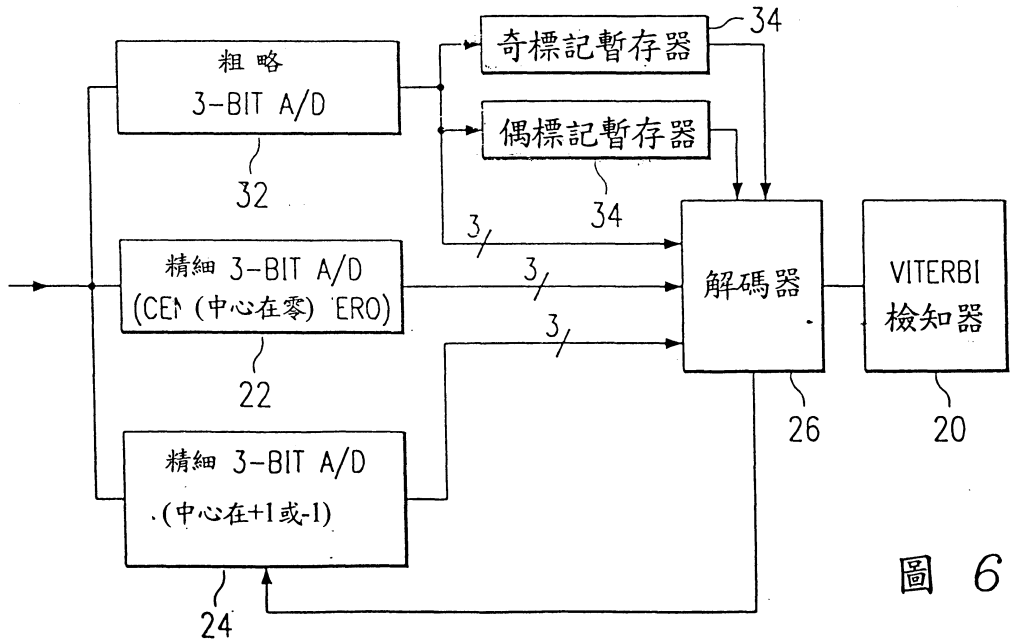
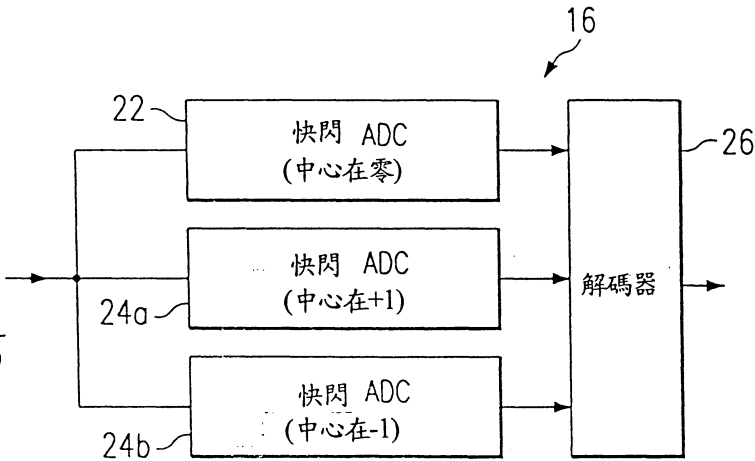


圖 6