



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월19일

(11) 등록번호 10-1520055

(24) 등록일자 2015년05월06일

- (51) 국제특허분류(Int. Cl.)
G05B 19/05 (2006.01) G11C 29/00 (2006.01)
- (21) 출원번호 10-2013-0090907
- (22) 출원일자 2013년07월31일
심사청구일자 2013년07월31일
- (65) 공개번호 10-2015-0015190
- (43) 공개일자 2015년02월10일
- (56) 선행기술조사문헌
KR1020080109267 A*
KR1020080099901 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경춘대로 2091
주식회사 유니테스트
경기도 용인시 기흥구 기곡로 27 (하갈동)
- (72) 발명자
유호상
서울 도봉구 방학로15길 40, 102동 202호 (방학동, 신동아2차아파트)
- (74) 대리인
이은철, 전병기, 이우영

전체 청구항 수 : 총 2 항

심사관 : 정성윤

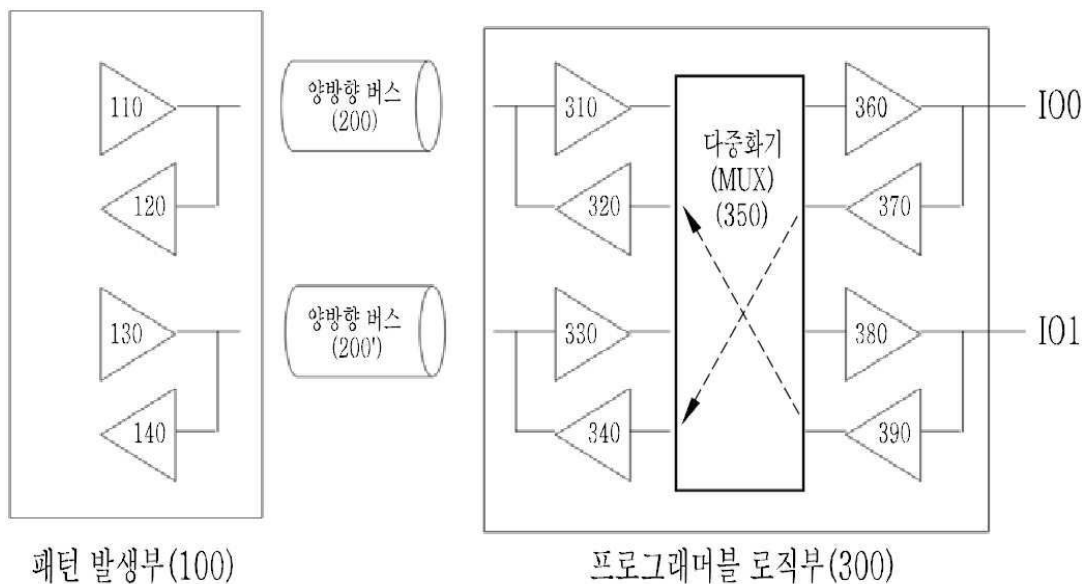
(54) 발명의 명칭 프로그램머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치

(57) 요약

본 발명은 프로그램머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 관한 것으로서, 피시험장치(Device Under Test: DUT)인 메모리 장치가 없는 상태에서도, 그리고 물리적 버스 라인을 별도로 추가하지 않고도 패턴 발생기에서 메모리 장치(DUT)까지의 테스트 신호 왕복 시간을 계산할 수 있는 장치를 제공함에 그 목적이 있다.

(뒷면에 계속)

대표도 - 도3



이러한 목적을 달성하기 위한 본 발명은, 두 쌍의 입출력핀을 포함하여, 테스트를 위한 패턴 신호를 발생시키며, 양방향 버스를 통해 입출력 라인(I00, I01)으로부터 궤환된 신호를 입력받는 패턴 발생부; 두 쌍으로 형성되어, 상기 패턴 발생부와 프로그래머블 로직부에서 전달되는 신호를 중계하는 양방향 버스; 및 상기 양방향 버스를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하고, 입출력 라인(I00, I01)으로부터 궤환된 신호를 양방향 버스로 전달하되, 궤환 신호 계산 시, 다중화기를 통해 신호 연결 방향을 교차시키는 프로그래머블 로직부; 를 포함하되, 상기 패턴 발생부는, 패턴 신호를 보낸 시간을 기준으로 궤환된 신호가 전달된 시간을 측정하여 신호 왕복 시간을 계산하는 것을 특징으로 한다.

이 발명을 지원한 국가연구개발사업

과제고유번호	10043476
부처명	지식경제부
연구관리전문기관	한국산업기술평가관리원
연구사업명	신성장동력장비 경쟁력기술개발사업
연구과제명	800Mbps 플래시메모리 번인 일체형 융합 검사장비개발
기 여 율	1/1
주관기관	(주)유니테스트
연구기간	2012.09.01 ~ 2014.08.31

명세서

청구범위

청구항 1

프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 있어서,

두 쌍의 입출력핀(110, 120, 130, 140)을 포함하여, 테스트를 위한 패턴 신호를 발생시키며, 양방향 버스(200, 200')를 통해 입출력 라인(I00, I01)으로부터 케환된 신호를 입력받는 패턴 발생부(100);

두 쌍으로 형성되어, 상기 패턴 발생부(100)와 프로그래머블 로직부(300)에서 전달되는 신호를 중계하는 양방향 버스(200, 200'); 및

상기 양방향 버스(200, 200')를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하고, 입출력 라인(I00, I01)으로부터 케환된 신호를 양방향 버스(200, 200')로 전달하되, 케환 신호 계산 시, 다중화기(Multiplexer)(350)를 통해 신호 연결 방향을 교차시키는 프로그래머블 로직부(300); 를 포함하되,

상기 패턴 발생부(100)는,

패턴 신호를 보낸 시간을 기준으로 케환된 신호가 전달된 시간을 측정하여 신호 왕복 시간을 계산하는 것을 특징으로 하며,

상기 양방향 버스(200, 200')의 제 1 양방향 버스(200)는 상기 패턴 발생부(100)로부터 발생된 패턴 신호를 프로그래머블 로직부(300)로 전달하며, 제 2 양방향 버스(200')는 프로그래머블 로직부(300)로부터 케환된 신호를 패턴 발생부(100)로 전달하는 것을 특징으로 하는 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 프로그래머블 로직부(300)는,

상기 양방향 버스(200, 200')와 연결되어, 양방향 버스(200, 200')를 통해 전달된 패턴 신호를 다중화기(Multiplexer)(350)로 전달하거나, 입출력 라인(I00, I01)으로부터 케환된 신호를 다중화기(Multiplexer)(350)로부터 전달받아 양방향 버스(200, 200')로 전달하는 제 1 연결 입출력핀(310,320,330,340);

두 쌍의 제 1 연결 입출력핀(310,320,330,340)과 입출력 라인(I00, I01)과 연결된 두 쌍의 제 2 연결 입출력핀(360,370,380,390)과 연결되어 있으며, 케환 신호 계산 시, 상기 제 1 연결 입출력핀으로의 신호 연결 방향을 교차시키는 다중화기(Multiplexer)(350); 및

입출력 라인(I00, I01)과 각각 연결되어, 상기 다중화기(Multiplexer)(350)를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하거나, 입출력 라인(I00, I01)으로부터 케환된 신호를 다중화기(Multiplexer)(350)로 전달하는 제 2 연결 입출력핀(360,370,380,390); 를 포함하는 것을 특징으로 하는 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치.

발명의 설명

기술 분야

본 발명은 반도체 메모리 테스트 장치의 테스트 왕복 시간 계산 장치에 관한 것으로서, 더욱 상세하게는 피시험 장치(Device Under Test: DUT)인 메모리 장치가 없는 상태에서도, 그리고 물리적 버스 라인을 별도로 추가하지

[0001]

않고도 패턴 발생기에서 메모리 장치(DUT)까지의 테스트 신호 왕복 시간을 계산할 수 있는 장치에 관한 것이다.

배경 기술

[0002] 반도체 테스트 장치와 관련해서는, 한국공개특허 10-2009-0127689호(이하, '선행문헌') 외에 다수 출원 및 공개되어 있다.

[0003] 상기한 선행문헌은, 메모리 테스트 디바이스에 있어서, 소정의 일반 명령어에 의한 연산을 수행하기 위한 일반 레지스터와; 상기 일반 레지스터보다 큰 용량을 가지며, 소정의 확장 명령어에 의한 연산을 수행하기 위한 확장 레지스터와; 상기 확장 명령어를 이용하여 외부 메모리에 소정의 테스트 패턴을 라이트하고, 상기 메모리에 라이트된 테스트 패턴을 리드하고, 라이트된 테스트 패턴과 리드된 테스트 패턴의 동일성을 판단하고, 상기 일반 명령어를 이용하여 상기 메모리의 오류 여부를 판단하는 제어부를 포함하는 것을 특징으로 한다.

[0004] 선행문헌을 포함한 종래의 반도체 테스트 장치의 경우, 테스트 하려는 메모리 장치(DUT)와 이를 시험하기 위한 패턴 발생기(Pattern Generator)가 전기적으로 결합된 형태로 되어 있다.

[0005] 이들 반도체 테스트에 있어, 양산성을 높이기 위하여 하나의 출력에 여러 메모리 장치(DUT)를 종속적으로 연결하여 시험하는 것이 일반적이는데, 이 경우 부하단의 용량 성분이 증가하게 되어 고속 테스트가 불가능 하게 된다.

[0006] 이러한 문제를 해결하기 위해, 도 1 에 도시된 바와 같이, 팬 아웃을(FAN out) 줄이기 위해 프로그래머블 로직 등을 사용하여 동시 측정 개수 및 속도 문제를 해결한다.

[0007] 도 1 은 종래의 프로그래머블 로직을 이용한 메모리 테스트 장치에 관한 도면으로서, 도시된 바와 같이 패턴 발생기(1)로부터 출력된 데이터는 양방향 버스(2)를 거쳐 프로그래머블 로직 소자(3)에서 팬 아웃되어 다시 양방향 버스(4)를 거쳐 최종적으로 메모리 장치(DUT)(5)까지 데이터를 주고 받는다. 반대로 데이터를 메모리 장치(DUT)로부터 독출할 경우에는 상기의 역순으로 진행되어 패턴 발생기까지 데이터가 도달하게 된다.

[0008] 그러나, 프로그래머블 로직에서부터 메모리 장치(DUT)까지 양방향 버스가 기록 및 독출시 한 방향으로 신호가 전송되기 때문에, 메모리 장치(DUT)가 존재하지 않으면 패턴 발생기에서 각 메모리 장치(DUT)까지 데이터 독출시 데이터 도달 시간을 알 수 없다.

[0009] 이와 같이, 데이터 도달 시간을 모를 경우, 시간을 판정할 수 없으므로 별도의 교정 과정을 거쳐 가면서 시간을 알아 내어야 한다. 또한, 프로그래머블 로직 소자의 내용 중 대량 또는 일부가 수정될 경우, 이전의 판정 시간을 사용할 수 없게 된다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로, 피시험장치(Device Under Test: DUT)인 메모리 장치가 없는 상태에서도, 그리고 물리적 버스 라인을 별도로 추가하지 않고도 패턴 발생기에서 메모리 장치(DUT)까지의 테스트 신호 왕복 시간을 계산할 수 있는 장치를 제공함에 그 목적이 있다.

과제의 해결 수단

[0011] 이러한 기술적 과제를 달성하기 위한 본 발명은 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 관한 것으로서, 두 쌍의 입출력핀(110, 120, 130, 140)을 포함하여, 테스트를 위한 패턴 신호를 발생시키며, 양방향 버스(200, 200')를 통해 입출력 라인(I00, I01)으로부터 케환된 신호를 입력받는 패턴 발생부(100); 두 쌍으로 형성되어, 상기 패턴 발생부(100)와 프로그래머블 로직부(300)에서 전달되는 신호를 중계하는 양방향 버스(200, 200'); 및 상기 양방향 버스(200, 200')를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하고, 입출력 라인(I00, I01)으로부터 케환된 신호를 양방향 버스(200, 200')로 전달하되, 케환 신호 계산 시, 다중화기(Multiplexer)(350)를 통해 신호 연결 방향을 교차시키는 프로그래머블 로직부(300); 를 포함하되, 상기 패턴 발생부(100)는, 패턴 신호를 보낸 시간을 기준으로 케환된 신호가 전달된 시간을 측정하여 신호 왕복 시간을 계산하는 것을 특징으로 한다.

[0012] 또한 상기 양방향 버스(200, 200')의 제 1 양방향 버스(200)는 상기 패턴 발생부(100)로부터 발생된 패턴 신호를 프로그래머블 로직부(300)로 전달하며, 제 2 양방향 버스(200')는 프로그래머블 로직부(300)로부터 케환된

신호를 패턴 발생부(100)로 전달하는 것을 특징으로 한다.

- [0013] 그리고 상기 프로그래머블 로직부(300)는, 상기 양방향 버스(200, 200')와 연결되어, 양방향 버스(200, 200')를 통해 전달된 패턴 신호를 다중화기(Multiplexer)(350)로 전달하거나, 입출력 라인(I00, I01)으로부터 케환된 신호를 다중화기(Multiplexer)(350)로부터 전달받아 양방향 버스(200, 200')로 전달하는 제 1 연결 입출력핀(310,320,330,340); 두 쌍의 제 1 연결 입출력핀(310,320,330,340)과 입출력 라인(I00, I01)과 연결된 두 쌍의 제 2 연결 입출력핀(360,370,380,390)과 연결되어 있으며, 케환 신호 계산 시, 상기 제 1 연결 입출력핀으로의 신호 연결 방향을 교차시키는 다중화기(Multiplexer)(350); 및 입출력 라인(I00, I01)과 각각 연결되어, 상기 다중화기(Multiplexer)(350)를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하거나, 입출력 라인(I00, I01)으로부터 케환된 신호를 다중화기(Multiplexer)(350)로 전달하는 제 2 연결 입출력핀(360,370,380,390); 를 포함하는 것을 특징으로 한다.

발명의 효과

- [0014] 상기와 같은 본 발명에 따르면, 피시험장치(Device Under Test: DUT)인 메모리 장치가 없는 상태에서도, 그리고 물리적 버스 라인을 별도로 추가하지 않고도 패턴 발생기에서 메모리 장치(DUT)까지의 테스트 신호 왕복 시간을 계산할 수 있는 효과가 있다.
- [0015] 그리고 본 발명에 따르면, 피시험장치(Device Under Test: DUT)인 메모리 장치의 시간적 위치정보를 알 수 있어, 각 데이터 핀 별로 발생한 스큐(skew) 차이를 알아낼 수 있는 효과도 있다.

도면의 간단한 설명

- [0016] 도 1 은 종래의 프로그래머블 로직을 이용한 메모리 테스트 장치에 관한 도면.
- 도 2 는 본 발명에 따른 평상시 일반 테스트시의 다중화기 연결 방향을 보이는 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 관한 구성도.
- 도 3 은 본 발명에 따른 입출력 라인에 대한 케환에 따른 왕복 시간 계산시의 다중화기 연결 방향을 보이는 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 관한 전체 구성도.

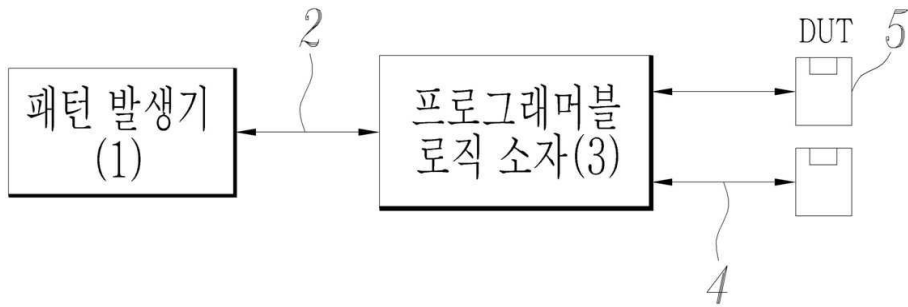
발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명의 구체적 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다. 이에 앞서 본 발명에 관련된 공지 기능 및 그 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 구체적인 설명을 생략하였음에 유의해야 할 것이다.
- [0018] 이하, 첨부된 도면을 참조하여 본 발명을 상세하게 설명한다.
- [0019] 본 발명에 따른 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 관하여 도 2 내지 도 3 을 참조하여 설명하면 다음과 같다.
- [0020] 상기 도 1 에 도시된 종래에서의 양방향 버스(200)의 경우, 프로그래머블 로직 내부에서는 기록 경로와 독출 경로가 다르게 이루어지는데, 평상시 일반 테스트시에는 도 2 에 도시된 바와 같이 프로그래머블 로직부(300)의 다중화기(Multiplexer)의 연결이 각 IO 라인의 데이터 흐름 방향과 일치하도록 한다.
- [0021] 도 3 은 본 발명에 따른 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치에 관한 전체 구성도로서, 도시된 바와 같이 패턴 발생부(100), 양방향 버스(200, 200') 및 프로그래머블 로직부(300)를 포함하여 이루어진다.
- [0022] 패턴 발생부(100)는 테스트를 위한 패턴 신호를 발생시키며, 양방향 버스(200, 200')를 통해 입출력 라인(I00, I01)으로부터 케환된 신호를 입력받는다. 이때, 패턴 발생부(100)는 두 쌍의 입출력핀(110, 120, 130, 140)을 가진다.
- [0023] 이에 따라, 패턴 발생부(100)는 입출력핀에서 패턴 신호를 보낸 시간을 기준으로 케환된 신호가 전달된 시간을 측정하여 신호 왕복 시간을 계산할 수 있다.

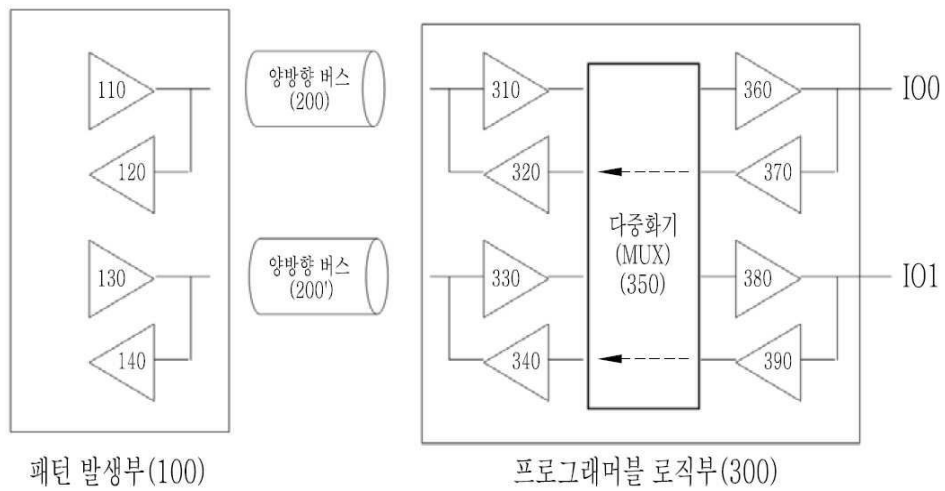
- [0024] 양방향 버스(200, 200')는 두 쌍으로 형성되어, 패턴 발생부(100)와 프로그래머블 로직부(300)에서 전달되는 신호를 증계한다.
- [0025] 구체적으로, 제 1 양방향 버스(200)는 패턴 발생부(100)로부터 발생된 패턴 신호를 프로그래머블 로직부(300)로 전달하며, 제 2 양방향 버스(200')는 프로그래머블 로직부(300)로부터 케환된 신호를 패턴 발생부(100)로 전달한다.
- [0026] 즉, 제 1 및 제 2 양방향 버스(200, 200')는 패턴 발생부(100)와 프로그래머블 로직부(300)와 연결되어, 입출력 방향을 설정할 수 있다.
- [0027] 프로그래머블 로직부(300)는 양방향 버스(200, 200')를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하고, 입출력 라인(I00, I01)으로부터 케환된 신호를 양방향 버스(200, 200')로 전달하되, 케환 신호 계산 시, 다중화기(Multiplexer)(350)를 통해 신호 연결 방향을 교차시키는 기능을 수행하는 바, 도 3 에 도시된 바와 같이 제 1 연결 입출력핀(310,320,330,340), 다중화기(Multiplexer)(350) 및 제 2 연결 입출력핀(360,370,380,390)을 포함한다.
- [0028] 구체적으로, 제 1 연결 입출력핀(310,320,330,340)은 양방향 버스(200, 200')와 연결되어, 양방향 버스(200, 200')를 통해 전달된 패턴 신호를 다중화기(Multiplexer)(350)로 전달하거나, 입출력 라인(I00, I01)으로부터 케환된 신호를 다중화기(Multiplexer)(350)로부터 전달받아 양방향 버스(200, 200')로 전달한다.
- [0029] 다중화기(Multiplexer)(350)는 두 쌍의 제 1 연결 입출력핀(310,320,330,340)과 입출력 라인(I00, I01)과 연결된 두 쌍의 제 2 연결 입출력핀(360,370,380,390)과 연결되어 있으며, 케환 신호 계산 시, 제 1 연결 입출력핀으로의 신호 연결 방향을 교차시킨다.
- [0030] 제 2 연결 입출력핀(360,370,380,390)은 입출력 라인(I00, I01)과 각각 연결되어, 다중화기(Multiplexer)(350)를 통해 전달된 패턴 신호를 입출력 라인(I00, I01)으로 전달하거나, 입출력 라인(I00, I01)으로부터 케환된 신호를 다중화기(Multiplexer)(350)로 전달한다.
- [0031] 평상시 일반 테스트시, 도 2 에 도시된 바와 같이 다중화기(Multiplexer)(350)의 신호 연결 방향을 일반적인 흐름 방향과 일치하도록 하며, 케환 시간을 구할 경우, 도 3 에 도시된 바와 같이 다중화기(Multiplexer)(350)는 신호 연결 방향을 타 조의 연결 입출력핀으로 교차시킨다.
- [0032] 즉, 패턴 발생부(100)의 입출력핀(110, 120)과, 제 1 양방향 버스(210), 제 1 연결 입출력핀(310, 320)과, 제 2 연결 입출력핀(360, 370)은 한 조로 설정하고, 패턴 발생부(100)의 입출력핀(130, 140)과, 제 2 양방향 버스(220), 제 1 연결 입출력핀(330, 340)과, 제 2 연결 입출력핀(380, 390)은 한 조로 설정할 경우, 다중화기(Multiplexer)(350)는 패턴 신호의 입력과 케환 신호의 출력이 서로 다른 조에서 이루어지도록 신호 연결 방향을 설정한다.
- [0033] 상술한 프로그래머블 로직을 이용한 메모리 테스트 왕복 시간 계산 장치를 이용하여, 평상시 일반 테스트시, 그리고 입출력 라인에 대한 케환에 따른 왕복 시간 계산시에 관하여 설명하면 다음과 같다.
- [0034] 도 2 에 도시된 바와 같이, 입출력 라인 I00의 평상시 일반 테스트시에는, 패턴 발생부(100)의 입출력핀 110은 패턴 신호를 출력하고, 제 1 양방향 버스 200은 출력된 패턴 신호를 증계한다. 이후, 프로그래머블 로직부(300)의 제 1 연결 입출력핀 310은 증계된 패턴 신호를 전달받아 다중화기 350으로 전달하며, 다중화기 350은 패턴 신호를 제 2 연결 입출력핀 360을 통해 입출력 라인 I00으로 전달한다.
- [0035] 뒤이어, 제 2 연결 입출력핀 370은 케환된 신호를 출력하고, 다중화기 350은 출력된 케환 신호를 제 1 연결 입출력핀 320으로 전달한다. 이후, 제 1 연결 입출력핀 320은 케환 신호를 전달받아 제 1 양방향 버스 200으로 전달하며, 패턴 발생부(100)의 입출력핀 120은 케환 신호를 출력한다.

도면

도면1



도면2



도면3

