

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 12 月 23 日(23.12.2010)

PCT

(10) 国際公開番号
WO 2010/147029 A1

(51) 国際特許分類:

G11C 17/14 (2006.01) H01L 27/10 (2006.01)
G11C 13/00 (2006.01) H01L 27/105 (2006.01)
H01L 21/8246 (2006.01)

(21) 国際出願番号: PCT/JP2010/059704

(22) 国際出願日: 2010 年 6 月 8 日(08.06.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2009-142682 2009 年 6 月 15 日(15.06.2009) JP

(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 鳥毛 裕二 (TORIGE Yuji) [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 藤島 洋一郎, 外(FUJISHIMA Youichiro et al.); 〒1600022 東京都新宿区新宿 1 丁目 9 番 5 号大台ビル 2 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

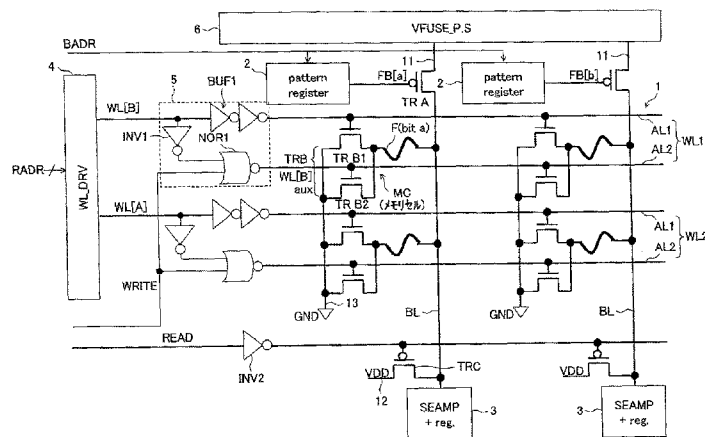
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体デバイス

[図1]



(57) Abstract: Disclosed is a semiconductor device wherein a reduction in access time or power consumption and an improvement in the number of memory bits per word line can be balanced. A memory cell array (1) has a configuration in which memory cells (MC) which comprise fuse elements (F), the resistance values of which vary in accordance with a flowing current, and a plurality of cell transistors (TRB1, TRB2) connected in parallel to the fuse elements (F) are arranged by at least one line's worth. In the semiconductor device, the number of cell transistors to be turned on among the plurality of cell transistors (TRB1, TRB2) can be controlled by a write control signal (WRITE) to be inputted from the outside, and a logic circuit (5) (and a word line driver circuit (4)) in the inside.

(57) 要約:

[続葉有]

WO 2010/147029 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲 (条約第 19 条(1))

アクセスタイムの短縮や消費電力の低減と、ワード線 1 本当たりの記憶ビット数の向上を両立させる。メモリセルアレイ 1 は、流れる電流に応じて抵抗値が変化するフューズ素子 F と、フューズ素子 F に対し並列接続された複数のセルトランジスタ (TRB 1, TRB 2) とをもつメモリセル MC を少なくとも 1 ライン分配置した構成を有する。当該半導体デバイスは、複数のセルトランジスタ (TRB 1, TRB 2) のうち、オンするセルトランジスタの数が、外部から入力される書き込み制御信号 (WR I T E) と内部のロジック回路 5 (およびワード線駆動回路 4) により制御可能である。

明 細 書

発明の名称 : 半導体デバイス

技術分野

[0001] 本発明は、流れる電流に応じて抵抗値が変化する記憶素子と、そのアクセスのためのセルトランジスタとをもつメモリセルをメモリセルアレイ内に有する半導体デバイスに関する。

背景技術

[0002] 流れる電流に応じて抵抗値が変化する代表的な記憶素子としては、抵抗変化型メモリ素子とフューズ素子とが知られている。抵抗変化型メモリ素子は、導電性イオンの絶縁膜への入出力、磁性膜の磁化の向きに応じた導電率の変化、あるいは、結晶構造の相変化等を利用したメモリデバイスであり、可逆的に抵抗値を変化させることができる。

[0003] これに対しフューズ素子は、レーザ光で焼き切るタイプのほかに、例えばポリシリコンからなるフューズを電氣的に溶断することで、その抵抗値を制御するものが知られている（例えば、非特許文献 1 参照）。フューズ素子のその他の例としては、MOS トランジスタのゲート酸化膜を電氣的に絶縁破壊するか否かでデータ記憶を行うものも知られている（例えば、特許文献 1 参照）。これらの電氣的に制御可能なフューズ素子は、特に電気フューズ（**e F U S E**）と呼ばれる。

[0004] 電気フューズでは、電氣的に抵抗値を変化させる上記抵抗変化型メモリに比べ、占有面積や抵抗変化時に流す電流量が大きい、構造が簡単で製造プロセスの追加工程がほとんど要らない。そのため、電気フューズは、いわゆる汎用メモリではなく、付加情報の記憶に用いられることが多い。例えば、電気フューズは、半導体デバイス（集積回路）の特性調整（トリミング）用途あるいは冗長回路の選択用途、さらには、特性値その他の情報をデバイス完成後に書き換え可能に記憶する用途などに用いられる。

[0005] 一般に、電気フューズを利用したメモリセルは、1つの電気フューズと 1

つのアクセストランジスタとを直列接続して形成される。一般に、電気フューズとアクセストランジスタとの直列接続経路（セル電流経路）の一方端がビット線を介する電源供給経路に接続され、上記セル電流経路の他方端が接地される。電気フューズは、例えば導電層の溶断や絶縁膜の破壊等により、抵抗値を桁違いに変化でき、それにより1ビットデータの記憶が可能である。この場合、導電層の溶断や絶縁膜の破壊によりデータ記憶を行なう書き込み動作では、上記電源供給経路に書き込み電源電圧（以下、プログラム電圧ともいう）を印加する。これにより、電気フューズの抵抗値が低抵抗から高抵抗に変化するが、その逆の動作はできない。

- [0006] 記憶データ（抵抗値が初期の低抵抗であるか、高抵抗に遷移したかの情報）を読み出す動作では、上記電源供給経路に読み出し電源電圧（以下、リード電圧ともいう）を印加する。そして、アクセストランジスタをオンして、流れる電流の大きさを、例えば電圧値に変換してセンシングする。

先行技術文献

特許文献

- [0007] 特許文献1：米国特許第7 2 6 9 0 8 1号明細書

非特許文献

- [0008] 非特許文献1：J. Safran, et.al., "A Compact eFUSE Programmable Array Memory for SOI CMOS", IEEE, 2007 Symposium on VLSI Circuit of Technical Papers, pp. 72-73.

発明の概要

- [0009] 流れる電流に応じて抵抗値が変化する記憶素子をメモリセルにもつ半導体デバイスにおいて、データを書き込むときの電流値が大きい場合には、それだけアクセストランジスタのサイズを大きくする必要がある。アクセストランジスタの必要サイズはプログラム電圧の大きさに依存するが、より低電圧でプログラムを行う場合は、アクセストランジスタのサイズをより大きくする必要がある。例えば、電気フューズ素子を例にとると、アクセストランジ

スタには、同世代のSRAMのアクセストランジスタと比較して100倍以上のサイズが必要となることもある。

[0010] アクセストランジスタのゲートは、例えば行方向にライン状に配置された複数のメモリセルで共通なアクセス線（これは、一般には、ワード線と呼ばれる。）に接続されている。したがって、個々のアクセストランジスタのサイズが大きい場合には、ワード線の容量（配線容量と負荷容量の総合的な容量）が非常に大きくなる。

[0011] ワード線容量が非常に大きくなることは、大電流を流す書き込み動作の要請から不可避であるが、このことが読み出し動作でマイナスの影響を与えている。具体的には、読み出し動作時は書き込み動作ほどワード線の電位を大きくする必要がないので、読み出し時にワード線に印加するリード電圧は、書き込み時にワード線に印加するプログラム電圧より低い場合がある。実際には、書き込み動作で変化させた抵抗値を維持しながら記憶データを読み出す要請から、リード電圧はプログラム電圧より低くなる。しかし、大きな容量のワード線を低電圧で駆動するとアクセスタイムが長くなる。また、ワード線容量が非常に大きいことから、ワード線を充放電するときに過大な電力を消費してしまい、このことが半導体デバイスの消費電力を削減できない阻害要因となっている。

[0012] このようなリード時のアクセスタイムが長く、所望の動作時間を満足できない場合にあっては、ワード線1本当たりに接続できるメモリセル数（記憶ビット数）が制限されてしまう。このメモリセル数の制限は、当該メモリを搭載するシステムの要請からメモリ消費電力が大き過ぎる場合でも同様に生じることがある。以上より、アクセスタイムの短縮や消費電力の低減と、ワード線1本当たりの記憶ビット数の向上はトレードオフの関係にある。

[0013] なお、このトレードオフは、書き込み時に必要な電流が大きい電気フューズメモリでより厳しいが、流れる電流に応じて抵抗値が変化する他のメモリ（例えば、抵抗変化型メモリ）にも程度の差はあるが共通する改善点である。

- [0014] 本発明はかかる問題点に鑑みてなされたもので、その目的は、上記トレードオフを解消または緩和することの可能な半導体デバイスを提供するものである。
- [0015] 本発明に関わる半導体デバイスは、複数のメモリセルが少なくとも 1 行分配置されたメモリセルアレイを備えている。メモリセルは、流れる電流に応じて抵抗値が変化する記憶素子と、記憶素子に直列接続されるとともに、互いに並列接続された複数のセルトランジスタとを有している。
- [0016] この構成によれば、メモリセルごとに互いに並列接続された複数のセルトランジスタを有することから、記憶素子に流れる電流を動作時に最適に制御することができる。例えば、データ記憶の場合に必要な電流値が、データ読み出し時に必要な電流値より大きい場合は、データ記憶時にオンするセルトランジスタ数を、データ読み出し時のそれより大きくできる。そのため、トータルの動作時間は必要最小限にまで低減される。また、複数のセルトランジスタのうち必要数のみオンさせる動作では、すべてのセルトランジスタをオンさせる動作より消費電力が低減される。一方、この動作時間の短縮と低消費電力のために、同時駆動するメモリセル数を大きくすることもできる。
- [0017] 本発明によれば、アクセスタイムの短縮や消費電力の低減と、ワード線 1 本当たりの記憶ビット数の向上とに関するトレードオフを解消または緩和した半導体メモリデバイスを提供することが可能となる。

図面の簡単な説明

- [0018] [図1] 第 1 の実施の形態に関わる半導体デバイスのチップ構成図である。
- [図2] 図 1 のチップ構成図に、プログラム時とリード時の電流経路を付加した図である。
- [図3] 比較例のデバイス構成を示す図である。
- [図4] 第 2 の実施の形態に関わる半導体デバイスのチップ構成図である。
- [図5] 図 4 のチップ構成図に、プログラム時とリード時の電流経路を付加した図である。
- [図6] 図 4 の半導体デバイスにおける、切り替え信号の論理の組み合わせと、

アクセストランジスタのトータルのゲート幅（W長）との関係を表すものである。

[図7]図4の半導体デバイスにおける、テスト時の制御例を示すフローチャートである。

発明を実施するための形態

[0019] 本発明の実施形態を、図面を参照して以下の順に説明する。なお、説明は以下の順序で行う。

1. 第1の実施の形態：アクセストランジスタが、互いに並列配置された2つのセルトランジスタによって構成されている例（比較例と対比説明を含む）。
2. 第2の実施の形態：アクセストランジスタが、互いに並列配置された3つ以上のセルトランジスタによって構成され、アクセストランジスタの実効ゲート幅が、入力される制御信号で変更可能な構成となっている例。
3. その他の変形例：上記第1および第2の実施の形態の説明中で適宜述べた変形例以外の変形例。

[0020] < 1. 第1の実施の形態 >

[チップ構成]

図1は、第1の実施の形態に関わる半導体デバイスのチップ構成図を示すものである。本実施の形態の半導体デバイスは、メモリセルアレイ1と、メモリセルアレイ1のプログラム（書き込み）と読み出しを制御する各種制御回路を含む。

[0021] メモリセルアレイ1は、複数のメモリセルMCがマトリクス状に配置されたものである。各メモリセルMCは、後に詳述するように、ビット線BLと、第3電圧供給線（GND線13）との間に設けられており、例えば、フューズ素子Fと、フューズ素子Fに直列接続されたアクセストランジスタTRBとを有している。図1には、4個のメモリセルMCが2列（2ビット）×2行（2ロウ）で配列されている場合が例示されているが、複数のメモリセ

ルMCの配列は図1の配置に限定されるものではなく、例えば、1行であってもよい。なお、以下では、特段の言及がなされていない場合には、複数のメモリセルMCの配列が複数列×複数行となっているものとする。

[0022] 複数のメモリセルMCが列方向に配列された構成を以下、ビット構成と呼ぶ。図1には、各列のビット構成が互いに同じ構成となっている場合が例示されているが、各列のビット構成が互いに同じ構成となっていなくてもよい。なお、以下では、各列のビット構成が互いに同じ構成となっているものとして、1つのビット構成のみ説明する。

[0023] 本実施の形態では、アクセストランジスタTRBが2つのセルトランジスタ、即ち、第1セルトランジスタTRB1と第2セルトランジスタTRB2で構成されている。第1および第2セルトランジスタTRB1, TRB2は、それぞれNMOSトランジスタからなり、互いに並列に接続されている。第1セルトランジスタTRB1は、リード時およびプログラム時に常に使用される（オンする）セルトランジスタである。さらに、アクセストランジスタTRBに含まれる2つのセルトランジスタのうち、セルトランジスタX以外の1つのセルトランジスタ（第2セルトランジスタTRB2）が、リード時にだけ使用されるセルトランジスタである。第1および第2セルトランジスタTRB1, TRB2は、それぞれ、例えば、アクセストランジスタTRBが単一のアクセストランジスタによって構成されている場合のアクセストランジスタTRBのサイズよりも小さなサイズとなっている。また、第1および第2セルトランジスタTRB1, TRB2の合計サイズが、例えば、アクセストランジスタTRBが単一のアクセストランジスタによって構成されている場合のアクセストランジスタTRBのサイズと同等のサイズとなっている。

[0024] 本実施の形態の半導体デバイスは、行方向に延在する複数のワード線WL1, WL2, …を有している。各ワード線WL1, WL2, …は、各メモリセルMCにおいて複数（本実施の形態では2つ）のセルトランジスタのうち少なくとも1つが他のセルトランジスタとは独立してオンオフすることが可能な態様で、各セルトランジスタのゲートに接続された複数のアクセス線を

含んでいる。具体的には、各ワード線WL 1, WL 2, …は、ワード線駆動信号WL[A], WL[B], …（後述）が入力される第1アクセス線AL 1と、ワード線駆動信号WL[A], WL[B], …に応じて発生する補助ワード線駆動信号WL[A]aux, WL[B]aux, …（後述）が入力される第2アクセス線AL 2とにより構成されている。各セル行において、各メモリセルMCに含まれる第1セルトランジスタTRB 1のゲートが、第1アクセス線AL 1に接続されている。同様に、各セル行において、各メモリセルMCに含まれる第2セルトランジスタTRB 2のゲートが、第2アクセス線AL 2に接続されている。

[0025] ワード線駆動信号WL[A], WL[B], …は、フューズ素子Fを含む、ビット線BLから第3電圧供給線（GND線13）までの電流経路の電氣的な継断を制御するものである。例えば、フューズ素子Fがビット線BLに接続されている場合には、ワード線駆動信号WL[A], WL[B], …は、フューズ素子Fと第3電圧供給線（GND線13）との電氣的な継断を制御するものである。また、例えば、フューズ素子Fが第3電圧供給線（GND線13）に接続されている場合には、ワード線駆動信号WL[A], WL[B], …は、ビット線BLとフューズ素子Fとの電氣的な継断を制御するものである。

[0026] 本実施の形態の半導体デバイスは、ワード線駆動信号WL[A], WL[B], …を発生するワード線駆動回路（WL_DRV）4と、ワード線駆動信号WL[A], WL[B], …から補助ワード線駆動信号WL[A]aux, WL[B]aux, …を発生するロジック回路5とを備えている。ワード線駆動回路4は、図1の例では、各セル行に共通な回路として設けられている。ワード線駆動回路4の出力には、各ワード線WL 1, WL 2, …が接続されている。ワード線駆動回路4は、例えば、ワード線WL 1に含まれる第1アクセス線AL 1にワード線駆動信号WL[A]を入力し、ワード線WL 2に含まれる第1アクセス線AL 1にワード線駆動信号WL[B]を入力するようになっている。

[0027] ロジック回路5は、図1の例では、列ごとに1つずつ設けられており、バ

ッファ回路B U F 1、インバータ I N V 1およびノア回路N O R 1を含む。
なお、複数のメモリセルM Cの配列が1行である場合には、ロジック回路5
は、メモリセルごとに設けられている。

[0028] バッファ回路B U F 1は、第1アクセス線A L 1に挿入されている。バッ
ファ回路B U F 1は、ワード線駆動回路4から入力されたワード線駆動信号
W L [A], W L [B], …を、第1アクセス線A L 1に接続された各第1セル
トランジスタT R B 1に出力するようになっている。

[0029] ノア回路N O R 1は2入力1出力構成となっている。ノア回路N O R 1の
出力は第2アクセス線A L 2に接続されている。ノア回路N O R 1の一方の
入力は、インバータ I N V 1を介して第1アクセス線A L 1に接続されてお
り、ノア回路N O R 1の他方の入力は、書き込み制御線に接続されている。
上記の書き込み制御線は、書き込み制御信号 (W R I T E) が入力される線
である。本実施の形態では、書き込み制御信号 (W R I T E) は、ワード線
駆動信号W L [A], W L [B], …に応じて発生する補助ワード線駆動信号W
L [A] a u x, W L [B] a u x, … (図1の例では、ワード線駆動信号W L [
A], W L [B], …の信号波形を反転させた信号) の、第2アクセス線A L
2への出力を制御するものである。

[0030] ノア回路N O R 1は、第1アクセス線A L 1からインバータ I N V 1を介
して入力された信号 (ワード線駆動信号W L [A], W L [B], …の信号波形
を反転させた信号) と、書き込み制御線から入力された信号 (制御信号 (W
R I T E)) との論理和を否定する演算を行い、2つの入力端子のいずれに
も入力がないときにだけH (ハイ) を出力し、2つの入力端子の少なくとも
一方に入力があるときにL (ロー) を出力するようになっている。

[0031] 以上のことから、ワード線駆動回路4およびロジック回路5は、ワード線
駆動信号W L [A], W L [B], …を第1アクセス線A L 1に入力するととも
に、補助ワード線駆動信号W L [A] a u x, W L [B] a u x, …を第2アク
セス線A L 2に入力することにより、各メモリセルに含まれる複数のセルト
ランジスタのオンオフを制御するようになっている。ワード線駆動回路4お

よびロジック回路5は、後に詳述するように、リード動作（読み出し動作時）にオンするセルトランジスタの数がプログラム動作時（書き込み動作時）にオンするセルトランジスタの数より小さくなるように、各メモリセルに含まれる複数のセルトランジスタのオンオフを制御するようになっている。

[0032] なお、バッファ回路B U F 1は、第1アクセス線A L 1の負荷が大きい場合はワード線駆動回路4を補助する回路として設けられることが望ましいが、ワード線駆動回路4の駆動力が十分なときは省略することも可能である。

[0033] また、図1には、ワード線駆動回路4が当該半導体デバイス内に設けられている場合が例示されているが、当該半導体デバイスとは別体で設けられていてもよい。この場合、ワード線駆動信号W L [A]、W L [B]、…は、別体で設けられたワード線駆動回路4から（つまり、外部から）当該半導体デバイス内の第1アクセス線A L 1に入力されることになる。また、この場合、第1アクセス線A L 1を駆動するためのバッファ回路B U F 1は必須であり、また、インバータI N V 1とノア回路N O R 1も第2アクセス線A L 2を駆動するドライブ能力が必要である。

[0034] 図1には、書き込み制御信号（W R I T E）がデバイスの外部から与えられている場合が例示されているが、デバイスの内部に設けられた回路から与えられるようにしても構わない。

[0035] つぎに、ビット線電圧制御のための構成を説明する。

本実施の形態の半導体デバイスは、列方向に延在する複数のビット線B Lを有しており、複数のビット線B Lが、列ごとに1つずつ割り当てられている。また、本実施の形態の半導体デバイスは、列ごとに、第1電圧供給線1 1と、第2電圧供給線（V D D線1 2）と、第3電圧供給線（G N D線1 3）と、書込ビット選択トランジスタT R Aと、パターンレジスタ（pattern register）2と、読み出し回路（S E A M P+reg.）3とを有している。さらに、本実施の形態の半導体デバイスは、各ビット構成に共通なフューズ電圧供給回路（V F U S E__P. S）6を有している。

[0036] 各ビット線B Lの一端に、書込ビット選択トランジスタT R Aの一端（ソ

ースまたはドレイン）が接続されており、各ビット線BLの他端に、読み出し回路3と、読出ビット選択トランジスタTRCの一端（ソースまたはドレイン）とが接続されている。各ビット線BLの中途には、メモリセルMCごとに1つずつ設けられた複数のフューズ素子Fの一端が接続されている。各フューズ素子Fの他端には、互いに並列接続された第1および第2セルトランジスタTRB1, TRB2の一端（ソースまたはドレイン）が接続されている。互いに並列接続された第1および第2セルトランジスタTRB1, TRB2の他端（ソースおよびドレインのうちフューズ素子Fに未接続の方）には、第3電圧供給線（GND線13）が接続されている。書込ビット選択トランジスタTRAの他端（ソースおよびドレインのうちビット線BLに未接続の方）には、フューズ電圧供給回路6の出力端が接続されている。書込ビット選択トランジスタTRAのゲートには、パターンレジスタ2の出力端が接続されている。読出ビット選択トランジスタTRCの他端（ソースおよびドレインのうちビット線BLに未接続の方）には、VDD線12が接続されている。読出ビット選択トランジスタTRCのゲートには、読み出し制御線が接続されている。

[0037] フューズ電圧供給回路6は、第1電圧供給線11へ出力する電圧値として、書き込み時に例えば数[V]の書き込み電圧VWを発生する回路である。なお、フューズ電圧供給回路6に代えて、書き込み電圧VWを外部のテスト、あるいは、当該半導体デバイス（IC）が実装される基板から与えてもよい。

[0038] 第1電圧供給線11から、書込ビット選択トランジスタTRA、ビット線BL、メモリセルMCを介してGND線13に至る経路が、第1電流（書き込み電流Iw）を流す第1電流経路（書き込み電流経路）である。

[0039] 書込ビット選択トランジスタTRAは、PMOSTランジスタからなる。なお、以下の理由から、書込ビット選択トランジスタTRAがNMOSTランジスタからなってもよい。PMOSTランジスタは、いわゆる“閾値電圧（Vth）落ち”と呼ばれる電圧降下がないため、フューズ電圧供給回

路6からの書き込み電圧VWを正確にビット線BLに与える利点がある。

[0040] その一方で、P型チャネルのトランジスタを使用することで、その占有面積が大きくなる。また、プログラミング（書き込み）にP型チャネルのトランジスタ（TRA）とN型チャネルのトランジスタ（TRB）を使用していることで、製造時にP型チャネルのトランジスタの管理も必要となる。さらに、P型チャネルのトランジスタ（TRA）とN型チャネルのトランジスタ（TRB）の特性バランスを考慮した設計が必要となる。このため、フューズ素子Fを抵抗変化させる印加電圧の最適設計が、図1のプログラム時の電流経路に挿入されるトランジスタがN型のアクセストランジスタTRBのみの場合より格段に難しくなる。

[0041] 書込ビット選択トランジスタTRAに、図1のようにPMOSTランジスタを使うか、あるいは、NMOSTランジスタを使うかは、上記の利点と不利益を総合的に勘案して決めるとよい。

[0042] 上記書込ビット選択トランジスタTRAは、例えば、メモリセルアレイ1のビット制御回路に含まれる。ビット制御回路には、書込ビット選択トランジスタTRAの他に、入力データを保持してビットの制御ビットを出力するパターン保持回路2と、センスアンプおよび読み出しデータのレジスタを含む読み出し回路3とが含まれる。

[0043] パターンレジスタ2は、入力されるビットアドレス信号BADRに基づいて、プログラム時のビット選択制御を書込ビット選択トランジスタTRAに対して行う回路である。具体的には、ある列に対応して設けられたパターンレジスタ2は、この列に対応して設けられた書込ビット選択トランジスタTRAのゲートに、入力されたビットアドレス信号BADRに基づいて生成した第1ビットFB[a]を入力するようになっている。また、別の列に対応して設けられたパターンレジスタ2は、この列に対応して設けられた書込ビット選択トランジスタTRAのゲートに、入力されたビットアドレス信号BADRに基づいて生成した第2ビットFB[b]を入力するようになっている。

- [0044] なお、図 1 には、マトリクス状に配置された複数のメモリセル MC における列の数が 2 である場合が例示されているが、列の数は、通常、それより多く、例えば 64 となっている。この場合、ビットアドレス信号 B A D R は 6 ビットの制御信号として各パターンレジスタ 2 に与えられる。なお、列の数は、64 より大きい 128, 256, … とすることもでき、また、64 より小さい 4, 8, 16, 32 とすることもできる。列の数に応じてビットアドレス信号 B A D R のビット数が決められる。
- [0045] なお、このようなパターンレジスタ 2 の機能は、いわゆるカラムデコーダにより代替できる。カラムデコーダは、入力されるカラムアドレスから選択するビット線スイッチ（この場合、書込ビット選択トランジスタ T R A）を決める回路である。
- [0046] 読み出し回路 3 は、ビット線 B L に接続され、ビット線 B L の電位をセンスアンプで検出して読み出す機能をもつ。ビット線 B L に、例えば電源電圧 V D D を供給制御するための P M O S トランジスタからなる読出ビット選択トランジスタ T R C が接続されている。読出ビット選択トランジスタ T R C も、メモリセルアレイ 1 のビット制御回路に含まれる。読出ビット選択トランジスタ T R C のソースが V D D 線 12 に接続され、そのドレインがビット線 B L に接続されている。
- [0047] 読出ビット選択トランジスタ T R C は、書込ビット選択トランジスタ T R A と同様な利点と不利益があり、図 1 では“V t h 落ち”がない P M O S トランジスタ構成となっている。ただし、全てのトランジスタを N M O S トランジスタ構成とする利益を優先させる場合、読出ビット選択トランジスタ T R C を N M O S トランジスタ構成としてもよい。
- [0048] 図 1 では読出ビット選択トランジスタ T R C が P M O S トランジスタ構成であることに対応して、入力される読み出し制御信号 (R E A D) を反転し、読出ビット選択トランジスタ T R C のゲートに与えるインバータ I N V 2 が設けられている。したがって、読出ビット選択トランジスタ T R C が N M O S トランジスタ構成の場合、インバータ I N V 2 は不要である。また、読み

出し制御信号 (READ) がローアクティブの信号の場合もインバータ INV 2 は不要である。

[0049] 図 1 では読み出し制御信号 (READ) はデバイスの外部から与えられるが、この制御信号を内部で発生するようにしても構わない。図 1 の構成では、書き込み制御信号 (WRITE) がローアクティブの信号であり、読み出し制御信号 (READ) がハイアクティブの信号である。よって、書き込み (プログラム) 時には “(WRITE), (READ)=L” となり、読み出し時には “(WRITE), (READ)=H” となる。

[0050] なお、ロジック回路 5 やビット制御回路 (パターンレジスタ 2 および読み出し回路 3) の接続関係は、上述した接続関係と同様の接続関係となっている。

[0051] 図 2 は、プログラム動作時に流れる電流を模式的に表すものである。図 2 には、プログラム動作時の電流経路 (第 1 電流経路) が太い実線により示されており、リード動作時の電流経路 (第 2 電流経路) が太い破線により示されている。以下、図 1 および図 2 を参照して、プログラム動作とリード動作について説明する。

[0052] [プログラム動作]

第 1 ビット [a] のプログラム動作の一例を、上記構成を前提として説明する。

[0053] プログラムの初期状態では、図 1 および図 2 においてすべてのトランジスタ (TRA ~ TRC) がオフ状態をとる。その状態で、フューズ電圧供給回路 6 が、正の書き込み電圧 VW、例えば 3 [V] の電圧を出力し、パターンレジスタ 2、ワード線駆動回路 4 およびロジック回路 5 等が、トランジスタ (TRA ~ TRC) を制御する信号を書き込み時の論理に設定する。

[0054] より詳細には、パターンレジスタ 2 が、ビット選択信号として書込ビット FB [a] = 0 を出力し、これにより PN チャネル型の書込ビット選択トランジスタ TRA をオン状態にする。また、ワード線駆動回路 4 (図 1) はワード線駆動信号 WL [B] = 1 を出力し、さらに、外部から、書き込み制御信

号 (WR I T E) = L、読み出し制御信号 (R E A D) = L が入力される。これにより、“b i t a” と表記されたフューズ素子 F をもつメモリセル MC において、第 1 および第 2 セルトランジスタ T R B 1, T R B 2 がともにオンし、読出ビット選択トランジスタ T R C がオフする。

[0055] 以上のバイアス設定により、フューズ電圧供給回路 6 から与えられた書き込み電圧 VW を正の電源電圧とする比較的大きな第 1 電流 (書き込み電流 I_w) が、図 2 のように流れる。書き込み電流 I_w は、第 1 電圧供給線 1 1、オン状態の書込ビット選択トランジスタ T R A、ビット線 B L を通って、“b i t a” と表記されたフューズ素子 F に流れる。この電流は、第 1 セルトランジスタ T R B 1 と第 2 セルトランジスタ T R B 2 に分流されて G N D 線 1 3 に流れ込む。

[0056] このようにして形成された電流パス (第 1 電流経路) に比較的大きな電流が流れると、その途中の最も高抵抗なフューズ素子 F が発熱し、フューズ素子 F が例えばポリシリコンフューズからなる場合には、溶断により、フューズ素子 F の抵抗値が桁違いに大きくなる。フューズ素子 F が例えば MOS フューズからなる場合には、絶縁破壊により、フューズ素子 F の抵抗値が桁違いに小さくなる。

[0057] これに対し、書込ビット F B [b] = 1 となる隣のビット構成では、書込ビット F B [b] に応じて制御される書込ビット選択トランジスタ T R A がオンしないので、電流パスが形成されず、フューズ素子 F の高抵抗化も起こらない。

[0058] [リード動作]

第 1 ビット [a] のリード動作を、上記構成を前提として説明する。

[0059] 第 1 ビット [a] をメモリセル MC から読み出す動作の初期状態では、図 1, 図 2 においてすべてのトランジスタ (T R A ~ T R C) がオフ状態をとる。このとき望ましくは、フューズ電圧供給回路 6 の出力 (書き込み電圧 VW) はローレベルの、例えば 0 [V] の電圧に制御される。そして、パターンレジスタ 2、ワード線駆動回路 4 およびロジック回路 5 等が、トランジスタ (

TRA～TRC)を制御する信号をリード時の論理に設定する。

[0060] より詳細には、パターンレジスタ2が、ビット選択信号として書込ビットFB[a]=1を出力し、これによりPチャネル型の書込ビット選択トランジスタTRAをオフ状態に制御する。また、ワード線駆動回路4はワード線駆動信号WL[B]=1を出力し、さらに、外部から書き込み制御信号(WRITE)=H、読み出し制御信号(READ)=Hが入力される。書き込み制御信号(WRITE)がHとなっているので、“bit a”と表記されたフューズ素子FをもつメモリセルMCにおいて、第1セルトランジスタTRB1はオンするが、第2セルトランジスタTRB2はオンできない。また、読み出し制御信号(READ)がHとなっているので、読出ビット選択トランジスタTRCがオンする。

[0061] このバイアス設定により、VDD線12に供給されたVDD電圧を正の電源電圧とする第2電流(読み出し電流Ir)が流れる。このとき用いるVDD電圧が読み出し電圧VRとなるが、読み出し電圧VRは書き込み電圧VWより小さいため、読み出し電流Irは書き込み電流Iwより小さい値をもつ。読み出し電流Irは、VDD線12から、オン状態の読出ビット選択トランジスタTRC、ビット線BLを通過して、“bit a”と表記されたフューズ素子Fに流れる。この電流は、オン状態の第1セルトランジスタTRB1を通過してGND線13に流れ込む。

[0062] この電流によるビット線BLの電位は、読出ビット選択トランジスタTRCのオン抵抗と、第1セルトランジスタTRB1のオン抵抗にフューズ素子F等の抵抗を加えた合成抵抗とで、電源電圧VDDを分圧した値をもつ。

[0063] 読み出し回路3内のセンスアンプは、読出ビット選択トランジスタTRCのドレイン端の分圧値VDを入力し、当該分圧値VDを、例えばある基準に対して高いか低いかを判断し、その結果を、例えば電源電圧振幅のリード信号として増幅する。増幅後のリード信号は、読み出し回路3内の出力レジスタに一時的に保持され、他のビット構成から読み出された全てのビットが揃ったタイミングで外部に出力される。なお、このリード信号を、例えば外部

テストで読み取ると、ユーザは、その情報を知ることができ、これを評価に利用することができる。

[0064] つぎに、比較例の構成を述べて、それとの比較において図 1 および図 2 に示す第 1 の実施の形態に関わる回路の動作上の利点を説明する。

[0065] [比較例]

図 3 は、比較例のデバイス構成を示す図である。

[0066] 比較例において、パターンレジスタ 2、書込ビット選択トランジスタ T_{RA} 、読み出し回路 3、読出ビット選択トランジスタ T_{RC} 、およびフューズ電圧供給回路 6 の接続関係および機能は、本実施の形態の半導体デバイスにおけるこれらの接続関係および機能と同様である。しかし、比較例では、本実施の形態のノア回路 $NOR\ 1$ 、インバータ $INV\ 1$ 、第 2 アクセス線 $AL\ 2$ 、書き込み制御信号 ($WRITE$) が入力される書き込み制御線、および第 2 セルトランジスタ $T_{RB}\ 2$ が設けられていない。

[0067] 比較例におけるメモリセル MC では、フューズ素子 F に接続されるアクセストランジスタ T_{RB} が単一の $NMOS$ トランジスタによって構成されている。そのため、アクセストランジスタ T_{RB} のサイズは、書き込み時に比較的大きな電流を駆動する要請から、比較的大きく設定されている。

[0068] [比較例のプログラム動作]

つぎに、第 1 ビット $[a]$ のプログラム動作を、上記比較例の構成 (図 3) を前提として説明する。

[0069] プログラムの初期状態では、図 3 においてすべてのトランジスタ ($T_{RA} \sim T_{RC}$) がオフ状態をとる。その状態で、フューズ電圧供給回路 6 が、正の書き込み電圧 VW 、例えば $3[V]$ の電圧を出力し、パターンレジスタ 2 およびワード線駆動回路 4 等が、トランジスタ ($T_{RA} \sim T_{RC}$) を制御する信号を書き込み時の論理に設定する。

[0070] より詳細には、パターンレジスタ 2 が、ビット選択信号として書込ビット $FB\ [a] = 0$ を出力し、これにより P チャネル型の書込ビット選択トランジスタ T_{RA} をオン状態にする。また、ワード線ドライバ (WL_DRV)

はワード線駆動信号 $WL[B]=1$ を出力し、さらに、外部から読み出し制御信号($READ$)= L が入力される。これにより、“ $bit\ a$ ”と表記されたフューズ素子 F をもつメモリセル MC において、単一のサイズが大きいアクセストランジスタ TRB がオンし、読出ビット選択トランジスタ TRC がオフする。

[0071] 以上のバイアス設定により、フューズ電圧供給回路6から与えられた書き込み電圧 VW を正の電源電圧とする比較的大きな第1電流（書き込み電流 I_w ）が、図3のように流れる。書き込み電流 I_w は、第1電圧供給線11、オン状態の書込ビット選択トランジスタ TRA 、ビット線 BL を通して、“ $bit\ a$ ”と表記されたフューズ素子 F に流れる。この電流は、単一のサイズが大きいアクセストランジスタ TRB を通して GND 線13に流れ込む。

[0072] このようにして形成された電流パス（第1電流経路）に比較的大きな電流が流れると、その途中の最も高抵抗なフューズ素子 F が発熱し、例えばポリシリコンフューズなら溶断により、フューズ素子 F の抵抗値が桁違いに大きくなる。例えば MOS フューズなら絶縁破壊により、フューズ素子 F の抵抗値が桁違いに小さくなる。

[0073] これに対し、書込ビット $FB[b]=1$ となる隣のビット構成では、書込ビット $FB[b]$ に応じて制御される書込ビット選択トランジスタ TRA がオンしないので、電流パスが形成されず、フューズ素子 F の高抵抗化も起こらない。

[比較例のリード動作]

つぎに、第1ビット $[a]$ のリード動作を、上記比較例の構成（図3）を前提として説明する。

[0074] 第1ビット $[a]$ をメモリセル MC から読み出す動作の初期状態では、図3においてすべてのトランジスタ（ $TRA\sim TRC$ ）がオフ状態をとる。このとき望ましくは、フューズ電圧供給回路6の出力（書き込み電圧 VW ）はローレベルの、例えば $0[V]$ の電圧に制御される。そして、パターンレジスタ2およびワード線駆動回路4等が、トランジスタ（ $TRA\sim TRC$ ）を制御

する信号をリード時の論理に設定する。

- [0075] より詳細には、パターンレジスタ 2 が、ビット選択信号として書込ビット $FB[a] = 1$ を出力し、これにより P チャンネル型の書込ビット選択トランジスタ T_{RA} をオフ状態に制御する。また、ワード線駆動回路 4 はワード線駆動信号 $WL[B] = 1$ を出力し、単一のサイズが大きいアクセストランジスタ T_{RB} をオン状態に制御する。さらに、外部から読み出し制御信号 ($READ$) = H が入力される。読み出し制御信号 ($READ$) = H となっているので、読出ビット選択トランジスタ T_{RC} がオンする。
- [0076] このバイアス設定により、 VDD 線 12 に供給された VDD 電圧を正の電源電圧とする第 2 電流（読み出し電流 I_r ）が流れる。このとき用いる VDD 電圧が読み出し電圧 V_R となるが、読み出し電圧 V_R は書き込み電圧 V_W より小さいため、読み出し電流 I_r は書き込み電流 I_w より小さい値をもつ。読み出し電流 I_r は、 VDD 線 12 から、オン状態の読出ビット選択トランジスタ T_{RC} 、ビット線 BL を通って、“bit a” と表記されたフューズ素子 F に流れる。この電流は、オン状態のアクセストランジスタ T_{RB} を通って GND 線 13 に流れ込む。
- [0077] この電流によるビット線 BL の電位は、読出ビット選択トランジスタ T_{RC} のオン抵抗と、アクセストランジスタ T_{RB} のオン抵抗にフューズ素子 F 等の抵抗を加えた合成抵抗とで、電源電圧 VDD を分圧した値をもつ。
- [0078] 読み出し回路 3 内のセンスアンプは、読出ビット選択トランジスタ T_{RC} のドレイン端の分圧値 V_D を入力し、当該分圧値 V_D を、例えばある基準に対して高いか低いかを判断し、その結果を、例えば電源電圧振幅のリード信号として増幅する。増幅後のリード信号は、読み出し回路 3 内の出力レジスタに一時的に保持され、他のビット構成から読み出された全てのビットが揃ったタイミングで外部に出力される。なお、このリード信号を、例えば外部テストで読み取ると、ユーザは、その情報を知ることができ、これを評価に利用することができる。
- [0079] つぎに、図 3 の比較例との対比において、図 1 および図 2 に示す本実施の

形態の回路の利点を説明する。

[0080] 本実施の形態では、アクセストランジスタ T_{RB} が第 1 セルトランジスタ T_{RB1} および第 2 セルトランジスタ T_{RB2} に分割されており、第 1 アクセス線 A_{L1} に、第 1 セルトランジスタ T_{RB1} が接続され、第 2 アクセス線 A_{L2} に、第 2 セルトランジスタ T_{RB2} が接続されている。一方、比較例では、アクセストランジスタ T_{RB} は単一のサイズが大きいアクセストランジスタによって構成されており、単一のワード線に、アクセストランジスタ T_{RB} が接続されている。このように、それぞれのメモリセルの構成は相違している。しかし、本実施の形態では、プログラム動作時には、第 1 アクセス線 A_{L1} および第 2 アクセス線 A_{L2} の双方が同時に駆動され、フューズ素子 F を流れた電流は、第 1 セルトランジスタ T_{RB1} および第 2 セルトランジスタ T_{RB2} に分流されるので、プログラム動作に関しては、本実施の形態と比較例とで、大きな差はない。

[0081] なお、図 1 ～図 3 において、容量が大きなワード線を立ち上げてから、書込ビット選択トランジスタ T_{RA} をオンする制御を行なうようにした場合には、ワード線容量が大きなことのプログラミング速度への影響はない。

[0082] 一方、リード動作においては、本実施の形態と比較例とで違いが現れる。本実施の形態では、リード時には、第 1 アクセス線 A_{L1} だけが駆動され、その結果、アクセストランジスタ T_{RB} の一部、即ち第 1 セルトランジスタ T_{RB1} がオンし、アクセストランジスタ T_{RB} の残りの部分である第 2 セルトランジスタ T_{RB2} がオフする。そのため、リード時のワード線 WL の容量（配線容量と負荷容量の総合的な容量）は、第 1 アクセス線 A_{L1} の容量だけになるので、第 1 セルトランジスタ T_{RB1} のゲート負荷を主に決める第 1 アクセス線 A_{L1} の容量を、比較例におけるワード線の容量よりも小さく設定することができる。従って、そのようにした場合には、リード時に、第 1 セルトランジスタ T_{RB1} のスイッチングを速くすることができる。

[0083] 例えば、プログラム時に使用し（オンし）、リード時に使用しない（オフする）第 2 セルトランジスタ T_{RB2} のサイズを大きくし、リード時および

プログラム時に使用する（オンする）第1セルトランジスタTRB1のサイズを小さくした場合には、比較例と比べて、リード時のスイッチング速度を速くすることができる。

[0084] 例えば第1セルトランジスタTRB1と第2セルトランジスタTRB2の分割比率（サイズ比率）を1：3とする。この場合、リード時に単独使用される第1セルトランジスタTRB1のゲート容量は、第2セルトランジスタTRB2の1／4程度となる。各アクセス線（AL1, AL2）には、数十～数百、場合によっては数千ものトランジスタゲート容量が接続されている。このため、そのゲート容量が配線自体の容量より十分大きいとすると、おおよそ、各アクセス線（AL1, AL2）の負荷容量も、上記トランジスタのサイズ比率に正の相関をもつ値をとる。

[0085] リード時のアクセスタイムは、フューズ素子Fの抵抗値や、読出ビット選択トランジスタTRCのオン抵抗等にも関係するが、そのアクセスタイムを長くする要因は、アクセス線（またはワード線）の負荷容量が主である。本実施の形態では、アクセス線（またはワード線）の負荷容量を比較例の場合より各段に小さくできるため、その分、アクセスタイムを大幅に短くできるという利点がある。

[0086] これに対し、図3のアクセストランジスタTRBは単一であり、そのサイズが書き込み時に大きな電流を流す要請から決められているため、このサイズは読出ビット選択トランジスタTRCや他の周辺回路のトランジスタのよりもはるかに大きい。よって、比較例ではリード時のアクセスタイムが長いという改善点を有している。

[0087] また、消費電力は電位を何度も上げ下げするときの配線の容量を充放電するために、その多くが消費される。よって、アクセス線（またはワード線）の負荷容量を比較例の場合より各段に小さくできることは、低消費電力化にも大きく寄与する。

[0088] さらに比較例の構成では、リード時のアクセスタイムが長く所望の動作時間を満足できない場合があり、その場合、ワード線1本当たりに接続できる

メモリセル数（記憶ビット数）が制限されてしまう。このメモリセル数の制限は、当該メモリを搭載するシステムの要請からメモリ消費電力が大き過ぎる場合でも同様に生じることがある。比較例のデバイス構成では、アクセスタイムの短縮や消費電力の低減と、ワード線 1 本当たりの記憶ビット数の向上とを同時に達成できない。

[0089] 本実施の形態では、このトレードオフを解消または緩和して、より設計に自由度が生じ、小規模なメモリから大規模なメモリまで任意に、所望の高速性や低消費電力特性を満足しつつ実現することが可能となる。

[0090] < 2. 第 2 の実施の形態 >

図 4 は、第 2 の実施の形態に関わる半導体デバイスのチップ構成図を表すものである。また、図 5 は、動作時に流れる電流経路を表すものである。以下、第 1 の実施の形態に関わる図 1 および図 2 との相違を述べる。ここで図 4 および図 5 において、図 1 および図 2 と同一符号を付した構成についての説明は省略するものとする。

[0091] 本実施の形態では、アクセストランジスタ TRB は、3 つのセルトランジスタ、即ち、第 1 セルトランジスタ TRB 1、第 2 セルトランジスタ TRB 2 および第 3 セルトランジスタ TRB 3 で構成されている。第 1、第 2 および第 3 セルトランジスタ TRB 1、TRB 2、TRB 3 は、それぞれ NMOS トランジスタからなり、互いに並列に接続されている。

[0092] 本実施の形態では、第 1 セルトランジスタ TRB 1 が、リード時およびプログラム時に常に使用される（オンする）セルトランジスタ（以下、「セルトランジスタ X」とする）である。さらに、第 2 および第 3 セルトランジスタ TRB 2、TRB 3 が、リード時およびプログラム時に使用するか否か（オンするかオフするか）が後述の切り替え信号に基づいて決定されるセルトランジスタ（以下、「セルトランジスタ Y」とする）である。第 1、第 2 および第 3 セルトランジスタ TRB 1、TRB 2、TRB 3 は、それぞれ、例えば、アクセストランジスタ TRB が単一のアクセストランジスタによって構成されている場合のアクセストランジスタ TRB のサイズよりも小さなサイ

ズとなっている。また、第1、第2および第3セルトランジスタTRB1, TRB2, TRB3の合計サイズが、例えば、アクセストランジスタTRBが単一のアクセストランジスタによって構成されている場合のアクセストランジスタTRBのサイズと同等のサイズとなっている。なお、第1および第2セルトランジスタTRB1, TRB2の合計サイズが、例えば、アクセストランジスタTRBが単一のアクセストランジスタによって構成されている場合のアクセストランジスタTRBのサイズと同等のサイズとなってもよい。また、第1および第3セルトランジスタTRB1, TRB3の合計サイズが、例えば、アクセストランジスタTRBが単一のアクセストランジスタによって構成されている場合のアクセストランジスタTRBのサイズと同等のサイズとなってもよい。

[0093] さらに、本実施の形態では、各ワード線WLは、アクセストランジスタTRBに含まれるセルトランジスタの数と等しい数（3つ）のアクセス線AL1, AL2, AL3により構成されている。アクセス線AL1が第1セルトランジスタTRB1のゲートに接続されており、アクセス線AL2が第2セルトランジスタTRB2のゲートに接続されており、アクセス線AL3が第3セルトランジスタTRB3のゲートに接続されている。ここで、アクセス線AL1は、ワード線駆動信号WL[A], WL[B], …が入力される線である。アクセス線AL2, AL3は、それぞれ、ワード線駆動信号WL[A], WL[B], …に応じて発生する補助ワード線駆動信号WL[A]_{aux}, WL[B]_{aux}, …が入力される線である。

[0094] ロジック回路5は、列ごとに1つずつ設けられている。本実施の形態において、ロジック回路5は、例えば、1つのバッファ回路BUF1と、1つのインバータINV1と、アクセストランジスタTRBに含まれるセルトランジスタYの数と等しい数（2つ）のノア回路NOR1, NOR2とを含む。なお、複数のメモリセルMCの配列が1行である場合には、ロジック回路5は、メモリセルごとに設けられている。

[0095] ノア回路NOR1, NOR2は、2入力1出力構成となっている。ノア回

路NOR 1の出力は第2アクセス線AL 2に接続されている。ノア回路NOR 1の一方の入力は、インバータINV 1を介して第1アクセス線AL 1に接続されており、ノア回路NOR 1の他方の入力は、切り替え信号線に接続されている。同様に、ノア回路NOR 2の出力は第3アクセス線AL 3に接続されている。ノア回路NOR 2の一方の入力は、インバータINV 1を介して第1アクセス線AL 1に接続されており、ノア回路NOR 2の他方の入力は、切り替え信号線に接続されている。上記の切り替え信号線には、切り替え信号が入力される線である。切り替え信号は、ワード線駆動信号WL[A], WL[B], …に応じて発生する補助ワード線駆動信号WL[A]aux, WL[B]aux, …の、アクセス線AL 2, AL 3への出力を制御する信号である。つまり、切り替え信号は、アクセス線AL 2, AL 3に接続された第2および第3セルトランジスタTRB 2, TRB 3のオンオフを制御する信号である。

[0096] ノア回路NOR 1, NOR 2は、第1アクセス線AL 1からインバータINV 1を介して入力された信号（ワード線駆動信号WL[A], WL[B], …の信号波形を反転させた信号）と、切り替え信号線から入力された信号（切り替え信号）との論理和を否定する演算を行い、2つの入力端子のいずれにも入力がないときにだけH（ハイ）を出力し、2つの入力端子の少なくとも一方に入力があるときにL（ロー）を出力するようになっている。

[0097] 以上のことから、ワード線駆動回路4およびロジック回路5は、ワード線駆動信号WL[A], WL[B], …を第1アクセス線AL 1に入力するとともに、補助ワード線駆動信号WL[A]aux, WL[B]aux, …を第2アクセス線AL 2および第3アクセス線AL 3に入力することにより、各メモリセルに含まれる複数のセルトランジスタのオンオフを制御するようになっている。ワード線駆動回路4およびロジック回路5は、後に詳述するように、リード動作（読み出し動作時）にオンするセルトランジスタの数がプログラム動作時（書き込み動作時）にオンするセルトランジスタの数より小さくなるように、各メモリセルに含まれる複数のセルトランジスタのオンオフを制

御するようになっている。

- [0098] なお、本実施の形態では、アクセストランジスタ T_{RB} に含まれるセルトランジスタ Y の数が 2 となっているので、リード時にのみオンするセルトランジスタの数は図 4 では最大で “2” となるが、その数が “1” となってもよい。
- [0099] ノア回路 NOR_2 の 2 つの入力のうち一方の入力には、切り替え信号として、書込テストモードの切り替え信号 $WTEST_0$ が入力される。また、ノア回路 NOR_1 の 2 つの入力のうち一方の入力には、図 1 の場合の書き込み制御信号 ($WRITE$) に代えて、書込テストモードの切り替え信号 $WTEST_1$ が、切り替え信号として入力される。なお、これらの 2 つの切り替え信号 $WTEST_0$, $WTEST_1$ は、デバイスの外部から入力された信号であってもよいし、外部の入力信号に基づいてデバイス内部の回路で発生した信号でも構わない。
- [0100] その他の構成は、第 1 および第 2 の実施の形態で共通する。なお、図 4 においても、図示を省略しているが図 1 と同様にパターンレジスタ 2 を制御する信号が入力され、また、必要に応じてワード線駆動回路 4 をデバイス内部に設けることができる。
- [0101] 図 4 の回路構成では、プログラミング時のアクセストランジスタのサイズを 4 段階で変えることができ、プログラミング条件の調整が可能となる。また、調整後のプログラミング条件で、リード時の電流経路を第 1 セルトランジスタ T_{RB1} のみではなく、さらにオンするセルトランジスタ数を増やすこともできる。ただし、以下の説明では、第 1 セルトランジスタ T_{RB1} がリード時に必要な駆動力を与えるサイズに固定され、プログラミング時のアクセストランジスタのサイズ（総ゲート幅）を、4 段階で切り替える動作を前提とする。
- [0102] 図 6 は、切り替え信号 $WTEST_0$, $WTEST_1$ の論理の組み合わせと、第 1 ～第 3 セルトランジスタ $T_{RB1} \sim T_{RB3}$ のトータルのゲート幅（ W 長）との関係を表すものである。この例では、第 1 セルトランジスタ T_{RB1}

1のW長が5 [μm]、第2セルトランジスタTRB2のW長が20 [μm]、第3アクセストランジスタTRB3のW長が10 [μm]となっている。

[0103] 図示のように、切り替え信号WTEST0, WTEST1の論理の組み合わせを、外部のテスト等で制御する。このとき、アクセストランジスタの書き込み電流 I_w の電流駆動能力を決めるトータルのW長を5 [μm]、15 [μm]、25 [μm]および35 [μm]の4段階に制御することができる。

[0104] 図7は、テスト時の制御例を示すものである。このような制御の前提として、例えばフューズ素子Fの適切なブロー電流（書き込み電流）が製品の出来具合により異なる場合の最適化、あるいは、顧客ブロー条件を満足するためのW長最適化を挙げることができる。以下、顧客ブロー条件を満足するためのW長最適化を例とする。

[0105] 図7のステップST1では、（試作等の）製品評価時または製品の出荷テスト時に、テストビットをもつテストのためのメモリセルアレイにおいて、切り替え信号WTEST0, WTEST1の論理を図6のように種々変更する。そして、その変更のたびに、フューズ素子Fのブローを繰り返し行なう。なお、テストのためのメモリセルアレイは、製品の中に予め形成しておいてもよいし、同一のウェハまたはウェハロットから任意にサンプリングしたデバイス（チップ）をテストのために用いてもよい。

[0106] ステップST2では、様々な条件でブローしたフューズ素子Fをもつデバイスについて、そのときの書き込み電流値や読み出し結果に基づいて、顧客ブロー条件に最適な切り替え信号WTEST0, WTEST1の論理の組み合わせを求める。

[0107] ステップST3では、求めた切り替え信号WTEST0, WTEST1の論理の最適な組み合わせを、半導体デバイス内のレジスタ（図4および図5では不図示）に設定する。以後、この設定が行なわれた出荷後の製品では、その出荷先の顧客ブロー条件に最適なブロー条件でフューズのプログラミングが可能となる。

[0108] つぎに、一例として図6の切り替え信号WTEST0=0、WTEST1

= 1 の組み合わせのプログラム動作を説明する。なお、プログラム動作およびリード動作の基本は、第 1 の実施の形態と同様である。つまり、バイアス設定を行なう書込ビット選択トランジスタ T_{RA} と読出ビット選択トランジスタ T_{RC} の制御、ワード線駆動信号 $WL[B]$ の駆動、読み出し回路 3 の動作は、以下の説明では省略する。

- [0109] プログラム動作において、切り替え信号 $WTEST0 = 0$ のため、図 5 のノア回路 $NOR1$ の出力、即ち第 2 アクセス線 $AL2$ がハイレベルに駆動される。また、切り替え信号 $WTEST1 = 1$ のため、図 5 のノア回路 $NOR2$ の出力、即ち第 3 アクセス線 $AL3$ はローレベルの初期状態のままである。よって、第 1 セルトランジスタ T_{RB1} と第 2 セルトランジスタ T_{RB2} がオンし、第 3 アクセストランジスタ T_{RB3} はオフする。図 5 では、書き込み電流 I_w が第 1 および第 2 セルトランジスタ T_{RB1} , T_{RB2} の 2 つの経路を通して流れ、第 3 アクセストランジスタ T_{RB3} の経路には流れないことを太い実線と、細かなピッチの破線により示している。
- [0110] 一方、リード時には、図 5 の論理の組み合わせにおいて、切り替え信号 $WTEST0$, $WTEST1$ が共に “1” に設定されることで、図 5 の荒いピッチの破線に示すように読み出し電流 I_r が第 1 セルトランジスタ T_{RB1} のみ流れる。
- [0111] 第 2 の実施の形態では、アクセストランジスタ T_{RB} が第 1、第 2 および第 3 セルトランジスタ T_{RB1} , T_{RB2} , T_{RB3} に分割されており、第 1 アクセス線 $AL1$ に、第 1 セルトランジスタ T_{RB1} が接続され、第 2 アクセス線 $AL2$ に、第 2 セルトランジスタ T_{RB2} が接続され、第 3 アクセス線 $AL3$ に、第 3 セルトランジスタ T_{RB3} が接続されている。一方、比較例では、アクセストランジスタ T_{RB} は単一のサイズが大きいアクセストランジスタによって構成されており、単一のワード線に、アクセストランジスタ T_{RB} が接続されている。このように、それぞれのメモリセルの構成は相違している。しかし、第 2 の実施の形態では、プログラム動作時には、第 1 アクセス線 $AL1$ 、第 2 アクセス線 $AL2$ および第 3 アクセス線 $AL3$ の

全てが、第1アクセス線AL1および第2アクセス線AL2だけが、または、第1アクセス線AL1および第3アクセス線AL3だけが同時に駆動され、フューズ素子Fを流れた電流は、駆動されたアクセス線に接続された複数のセルトランジスタに分流されるので、プログラム動作に関しては、本実施の形態と比較例とで、大きな差はない。

[0112] 一方、リード動作においては、本実施の形態と比較例とで違いが現れる。

本実施の形態では、リード時には、第1アクセス線AL1だけが駆動され、その結果、アクセストランジスタTRBの一部、即ち第1セルトランジスタTRB1がオンし、アクセストランジスタTRBの残りの部分である第2および第3セルトランジスタTRB2, TRB3がオフする。そのため、リード時のワード線WLの容量（配線容量と負荷容量の総合的な容量）は、第1アクセス線AL1の容量だけになるので、第1セルトランジスタTRB1のゲート負荷を主に決める第1アクセス線AL1の容量を、比較例におけるワード線の容量よりも小さく設定することができる。従って、そのようにした場合には、読み出し時のアクセス時間を高速化と低消費電力化が可能となる。また、ワード線1本あたりに接続できるビット数を増やすことができるため大容量化が可能となる。さらに、本実施の形態では、プログラミング時には、プログラミングに使用するトランジスタのサイズを変更することができるので、プログラミング時の電圧や時間などを調整することができる。

[0113] < 3. その他の変形例 >

上記第1および第2の実施の形態のセル構成と、そのアクセストランジスタの制御手法は、流れる電流に応じて抵抗値が変化する記憶素子をもつものであれば広く適用できる。例えば、抵抗変化型のメモリデバイスについて適用が可能である。本発明を適用可能な抵抗変化型のメモリデバイスとしては、導電性イオンの絶縁膜への入出力、磁性膜の磁化の向きに応じた導電率の変化、あるいは、結晶構造の相変化等を用いたものを挙げることができる。

[0114] 第2の実施の形態に関わる図6に例示するように、W長は「TRB1 : T

「 $RB2 : TRB3 = 1 : 2 : 4$ 」に限定されず、その他の比率の組み合わせでも可能である。また、第1の実施の形態で例示したW長は「 $TRB1 : TRB2 = 1 : 3$ 」に限定されず、例えば、 $1 : 2$ 、 $1 : 4$ 、 $1 : 5$ 、…と、どのようにしてもよい。

[0115] また、プログラム時とリード時の両方でオンする第1セルトランジスタ $TRB1$ のW長を、他のセルトランジスタのW長より小さくすることに限定されない。記憶素子がフューズ素子Fの場合、書き込み電流 I_w が読み出し電流 I_r より各段に大きい電流値が必要なので、その電流差が大きい場合は、第1セルトランジスタ $TRB1$ のW長を、他のセルトランジスタのW長より小さくすることが望ましい。ただし、特に上述した他の抵抗変化型メモリデバイスで、この電流差が比較的小さい場合等にあつては、第1セルトランジスタ $TRB1$ のW長を、他のセルトランジスタのW長と同じか、より小さくすることもできる。

[0116] 第1および第2の実施の形態では、外部からの制御信号である書き込み制御信号(WRITE)または切り替え信号WTEST0, WTEST1と、内部のロジック回路5（およびワード線駆動回路4）により、セルトランジスタの切り替えを行なっている。セルトランジスタの切り替えを、外部の制御信号のみで行なうこともできる。その場合、第1アクセス線AL1、第2アクセス線AL2（および第3アクセス線AL3）の各々の駆動信号が外部から制御信号として入力される。

[0117] また、第2の実施の形態でテスト後の切り替え信号WTEST0, WTEST1を最適化した後は、内部のレジスタで保持するようにした如く、セルトランジスタの切り替えを内部の回路のみで制御することもできる。この場合「内部の回路」としては、ロジック回路5と不図示のレジスタを含む構成が例示される。

[0118] 以上、実施の形態および変形例を挙げて本発明を説明したが、本発明は実施の形態等に限定されるものではなく、種々変形が可能である。

[0119] 例えば、第2の実施の形態では、リード時およびプログラム時に使用する

か否か（オンするかオフするか）が切り替え信号に基づいて決定されるセルトランジスタの数が2である場合についての説明がなされていたが、その数は、3つ以上であってもよい。

[0120] また、上記実施の形態等では、リード時およびプログラム時に常に使用される（オンする）セルトランジスタの数が1つである場合についての説明がなされていたが、その数は、2つ以上であってもよい。

請求の範囲

- [請求項1] 複数のメモリセルが少なくとも1行分配置されたメモリセルアレイを備え、
前記メモリセルは、
流れる電流に応じて抵抗値が変化する記憶素子と、
前記記憶素子に直列接続されるとともに、互いに並列接続された複数のセルトランジスタと
を有する
半導体デバイス。
- [請求項2] 各メモリセルにおいて前記複数のセルトランジスタのうち少なくとも1つが他のセルトランジスタとは独立してオンオフすることが可能な態様で、各セルトランジスタのゲートに接続された複数のアクセス線を備えた
請求項1に記載の半導体デバイス。
- [請求項3] 前記複数のメモリセルの配列が1行である場合にはメモリセルごとに、前記複数のメモリセルの配列が複数行×複数列である場合には列ごとに、前記記憶素子に相対的に大きな第1電流を流す第1電流経路と、前記記憶素子に相対的に小さい第2電流を流す第2電流経路とを備えるとともに、
各メモリセルにおいて、前記第2電流経路に前記第2電流を流すときにオンするセルトランジスタの数が、前記第1電流経路に前記第1電流を流すときにオンするセルトランジスタの数より小さくなるように、各メモリセルに含まれる複数のセルトランジスタのオンオフを制御する制御回路を備える
請求項2に記載の半導体デバイス。
- [請求項4] 各メモリセルは、前記複数のセルトランジスタとして、1つの第1セルトランジスタと、1つの第2セルトランジスタとを含み、
前記制御回路は、各メモリセルにおいて、前記記憶素子に前記第1

電流を流すときに前記第 1 セルトランジスタをオンさせ、前記記憶素子に前記第 2 電流を流すときにも前記第 1 セルトランジスタをオンさせ、

前記制御回路は、各メモリセルにおいて、前記記憶素子に前記第 1 電流を流すときに前記第 2 セルトランジスタをオンさせ、前記記憶素子に前記第 2 電流を流すときには前記第 2 セルトランジスタをオフさせる

請求項 3 に記載の半導体デバイス。

[請求項 5]

前記複数のアクセス線は、

1 行内の各メモリセルに含まれる第 1 セルトランジスタのゲートに接続された 1 つの第 1 アクセス線と、

1 行内の各メモリセルに含まれる第 2 セルトランジスタのゲートに接続された 1 つの第 2 アクセス線と

を含み、

前記制御回路は、第 1 制御信号を前記第 1 アクセス線に入力するとともに、前記第 1 制御信号と第 2 制御信号とにより生成される第 3 制御信号を前記第 2 アクセス線に入力することにより、前記第 1 セルトランジスタおよび前記第 2 セルトランジスタのオンオフを制御する

請求項 4 に記載の半導体デバイス。

[請求項 6]

各メモリセルは、前記複数のセルトランジスタとして、1 つの第 1 セルトランジスタと、複数の第 2 セルトランジスタとを含み、

前記制御回路は、各メモリセルにおいて、前記記憶素子に前記第 1 電流を流すときに前記第 1 セルトランジスタをオンさせ、前記記憶素子に前記第 2 電流を流すときにも前記第 1 セルトランジスタをオンさせ、

前記制御回路は、各メモリセルにおいて、前記記憶素子に前記第 1 電流を流すときに全ての第 2 セルトランジスタをオンさせ、前記記憶素子に前記第 2 電流を流すときに前記複数の第 2 セルトランジスタの

一部である 1 または複数のセルトランジスタだけをオンさせる
請求項 3 に記載の半導体デバイス。

[請求項 7]

前記複数のアクセス線は、

1 行内の各メモリセルに含まれる第 1 セルトランジスタのゲートに
接続された 1 つの第 1 アクセス線と、

1 行内の各メモリセルに含まれる複数の第 2 セルトランジスタのゲートに、メモリセルごとに 1 つずつ接続された複数の第 2 アクセス線
と

を含み、

前記制御回路は、第 1 制御信号を前記第 1 アクセス線に入力すると
ともに、前記第 1 制御信号と第 2 制御信号とにより生成される第 3 制御信号を前記複数の第 2 アクセス線に入力することにより、前記第 1
セルトランジスタおよび前記複数の第 2 セルトランジスタのオンオフ
を制御する

請求項 6 に記載の半導体デバイス。

[請求項 8]

前記記憶素子は、流れる電流に応じて抵抗値が不可逆的に変化する
電気フューズ素子である

請求項 2 に記載の半導体デバイス。

補正された請求の範囲
[2010年10月18日(18.10.2010)国際事務局受理]

[請求項 1] (補正後) 複数のメモリセルが少なくとも 1 行分配置されたメモリセルアレイを備えた半導体デバイスであって、

前記メモリセルは、

流れる電流に応じて抵抗値が変化する電気フューズ素子と、

ソースまたはドレインが前記電気フューズ素子の一端に接続された複数のセルトランジスタと

を有し、

当該半導体デバイスは、

各メモリセルにおいて、全てのセルトランジスタのうち読み出し時の電流経路上にある全てのセルトランジスタと、全てのセルトランジスタのうち読み出し時の電流経路上にはない全てのセルトランジスタとを独立してオンオフすることが可能な態様で、各セルトランジスタのゲートに接続された複数の第 1 配線と、

前記電気フューズ素子の他端に接続された第 2 配線と、

各セルトランジスタのソースおよびドレインのうち前記電気フューズ素子に未接続の方に接続された第 3 配線と

をさらに備えた

半導体デバイス。

[請求項 2] (補正後) 前記複数の第 1 配線は、各メモリセルにおいて、各セルトランジスタを互いに独立してオンオフすることが可能な態様で、各セルトランジスタのゲートに接続されている

請求項 1 に記載の半導体デバイス。

[請求項 3] (補正後) 前記複数のメモリセルの配列が 1 行である場合にはメモリセルごとに、前記複数のメモリセルの配列が複数行×複数列である場合には列ごとに、前記電気フューズ素子に相対的に大きな第 1 電流を流す第 1 電流経路と、前記電気フューズ素子に相対的に小さい第 2 電流を流す第 2 電流経路とを備えるとともに、

各メモリセルにおいて、前記第 2 電流経路に前記第 2 電流を流すときにオンするセルトランジスタの数が、前記第 1 電流経路に前記第 1 電流を流すときにオンするセルトラ

ンジスタの数より小さくなるように、各メモリセルに含まれる複数のセルトランジスタのオンオフを制御する制御回路を備える

請求項2に記載の半導体デバイス。

[請求項4] (補正後) 各メモリセルは、前記複数のセルトランジスタとして、1つの第1セルトランジスタと、1つの第2セルトランジスタとを含み、

前記制御回路は、各メモリセルにおいて、前記電気フューズ素子に前記第1電流を流すときに前記第1セルトランジスタをオンさせ、前記電気フューズ素子に前記第2電流を流すときにも前記第1セルトランジスタをオンさせ、

前記制御回路は、各メモリセルにおいて、前記電気フューズ素子に前記第1電流を流すときに前記第2セルトランジスタをオンさせ、前記電気フューズ素子に前記第2電流を流すときには前記第2セルトランジスタをオフさせる

請求項3に記載の半導体デバイス。

[請求項5] (補正後) 前記複数の第1配線は、

1行内の各メモリセルに含まれる第1セルトランジスタのゲートに接続された1つの第1アクセス線と、

1行内の各メモリセルに含まれる第2セルトランジスタのゲートに接続された1つの第2アクセス線と

を含み、

前記制御回路は、第1制御信号を前記第1アクセス線に入力するとともに、前記第1制御信号と第2制御信号とにより生成される第3制御信号を前記第2アクセス線に入力することにより、前記第1セルトランジスタおよび前記第2セルトランジスタのオンオフを制御する

請求項4に記載の半導体デバイス。

[請求項6] (補正後) 各メモリセルは、前記複数のセルトランジスタとして、1つの第1セルトランジスタと、複数の第2セルトランジスタとを含み、

前記制御回路は、各メモリセルにおいて、前記電気フューズ素子に前記第1電流を流すときに前記第1セルトランジスタをオンさせ、前記電気フューズ素子に前記第2電流を流すときにも前記第1セルトランジスタをオンさせ、

前記制御回路は、各メモリセルにおいて、前記電気フューズ素子に前記第1電流を流すときに全ての第2セルトランジスタをオンさせ、前記電気フューズ素子に前記第2電流を流すときに前記複数の第2セルトランジスタの一部である1または複数のセルトランジスタだけをオンさせる

請求項3に記載の半導体デバイス。

[請求項7]

(補正後) 前記複数の第1配線は、

1行内の各メモリセルに含まれる第1セルトランジスタのゲートに接続された1つの第1アクセス線と、

1行内の各メモリセルに含まれる複数の第2セルトランジスタのゲートに、メモリセルごとに1つずつ接続された複数の第2アクセス線と

を含み、

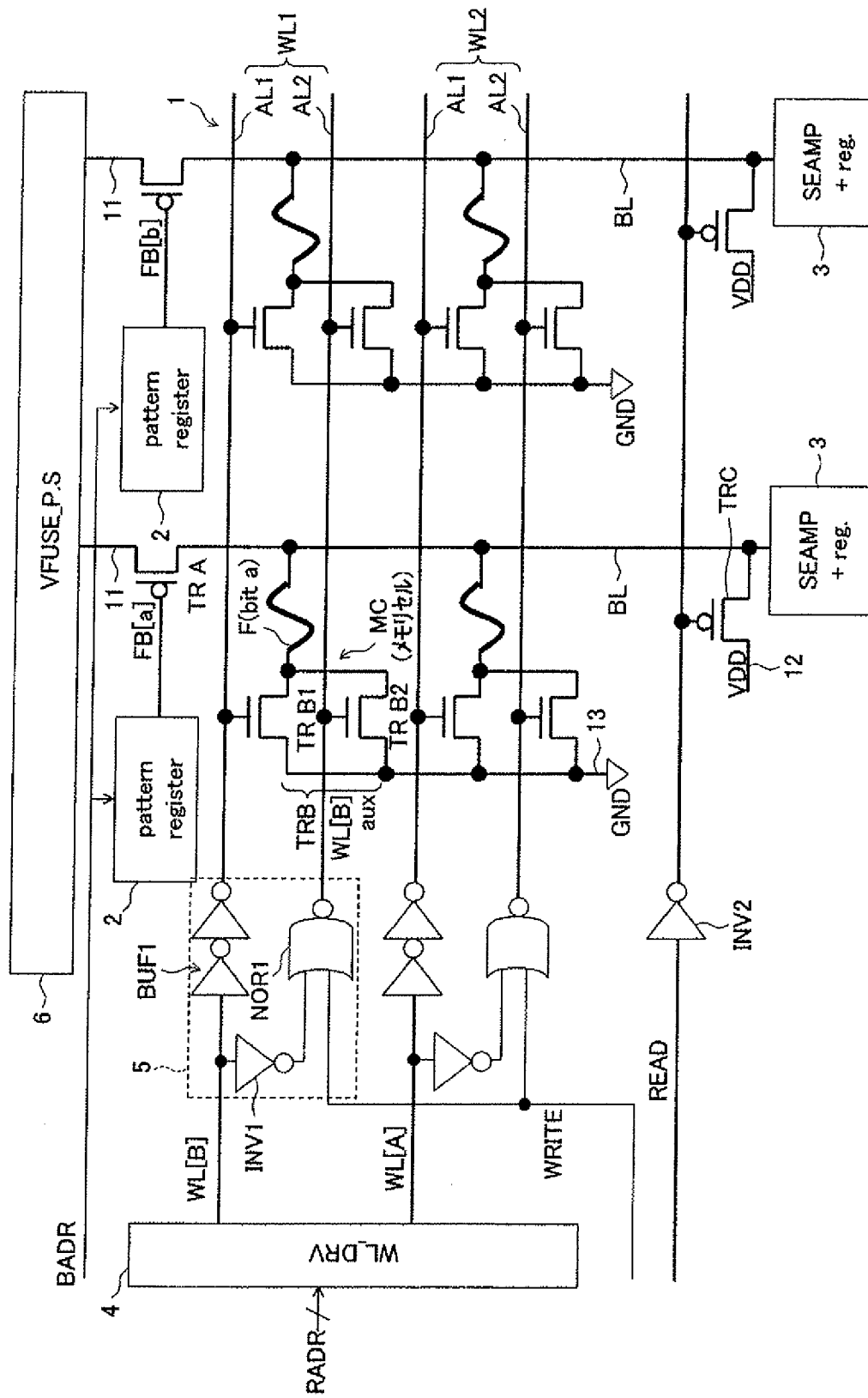
前記制御回路は、第1制御信号を前記第1アクセス線に入力するとともに、前記第1制御信号と第2制御信号とにより生成される第3制御信号を前記複数の第2アクセス線に入力することにより、前記第1セルトランジスタおよび前記複数の第2セルトランジスタのオンオフを制御する

請求項6に記載の半導体デバイス。

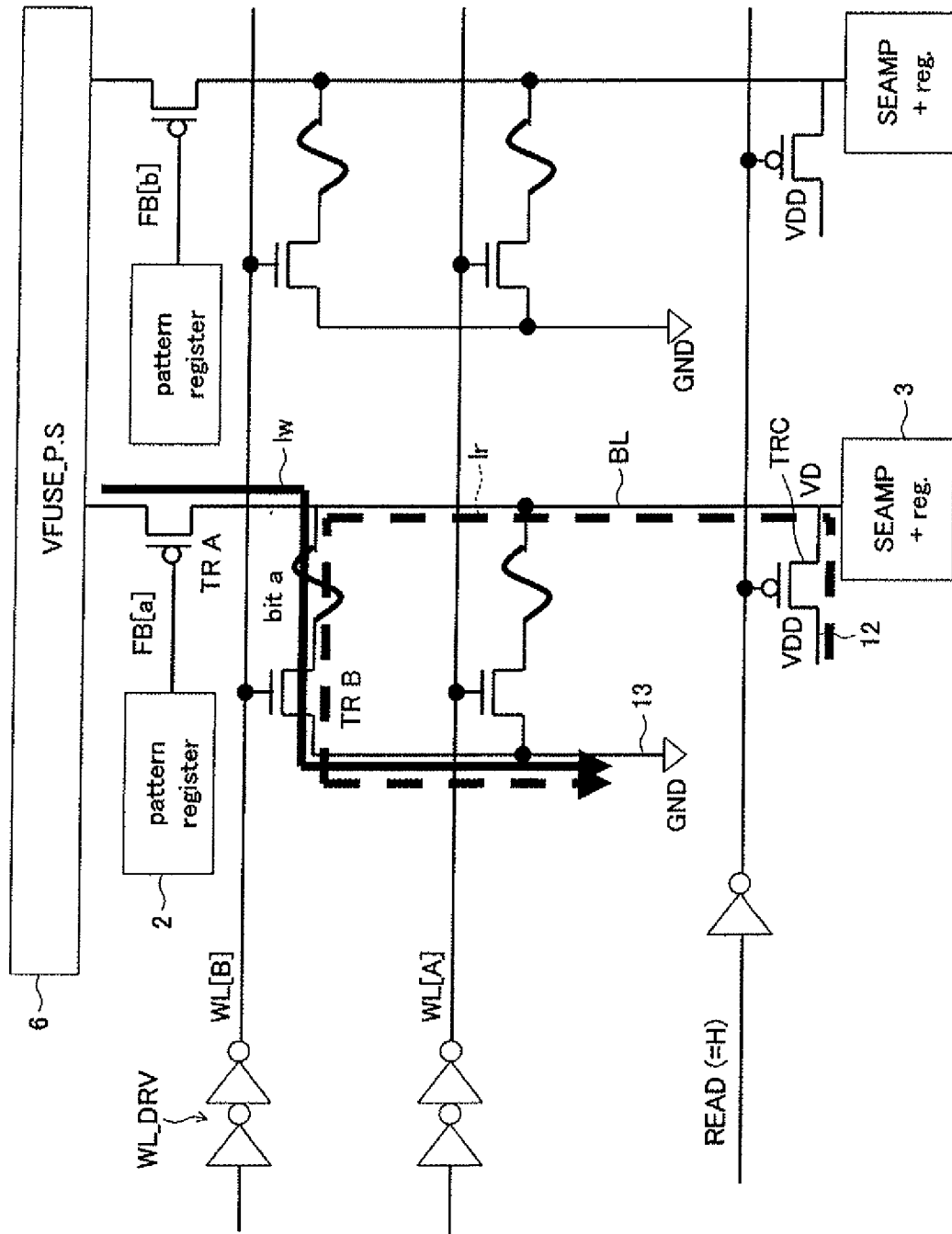
[請求項8]

(削除)

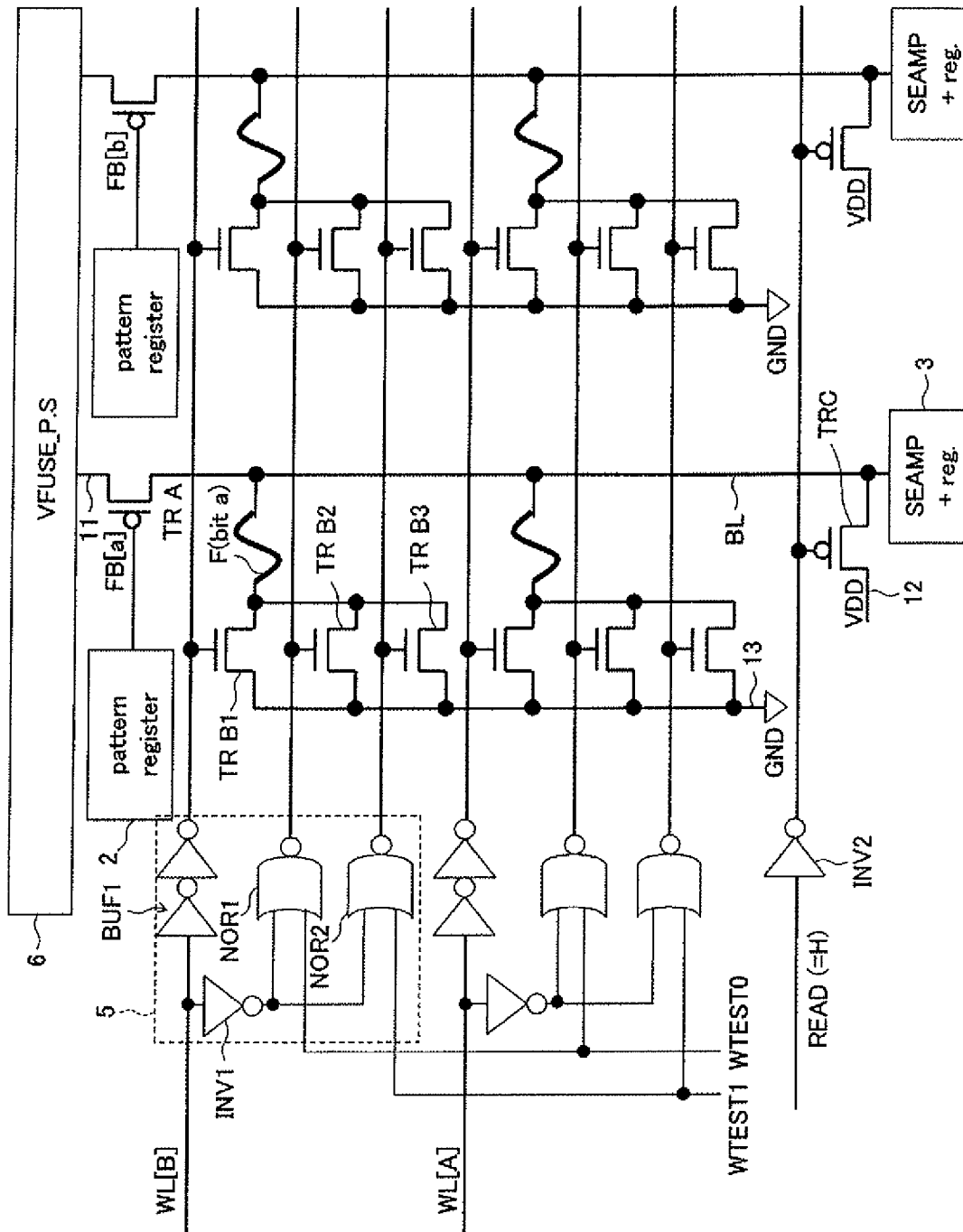
[図1]

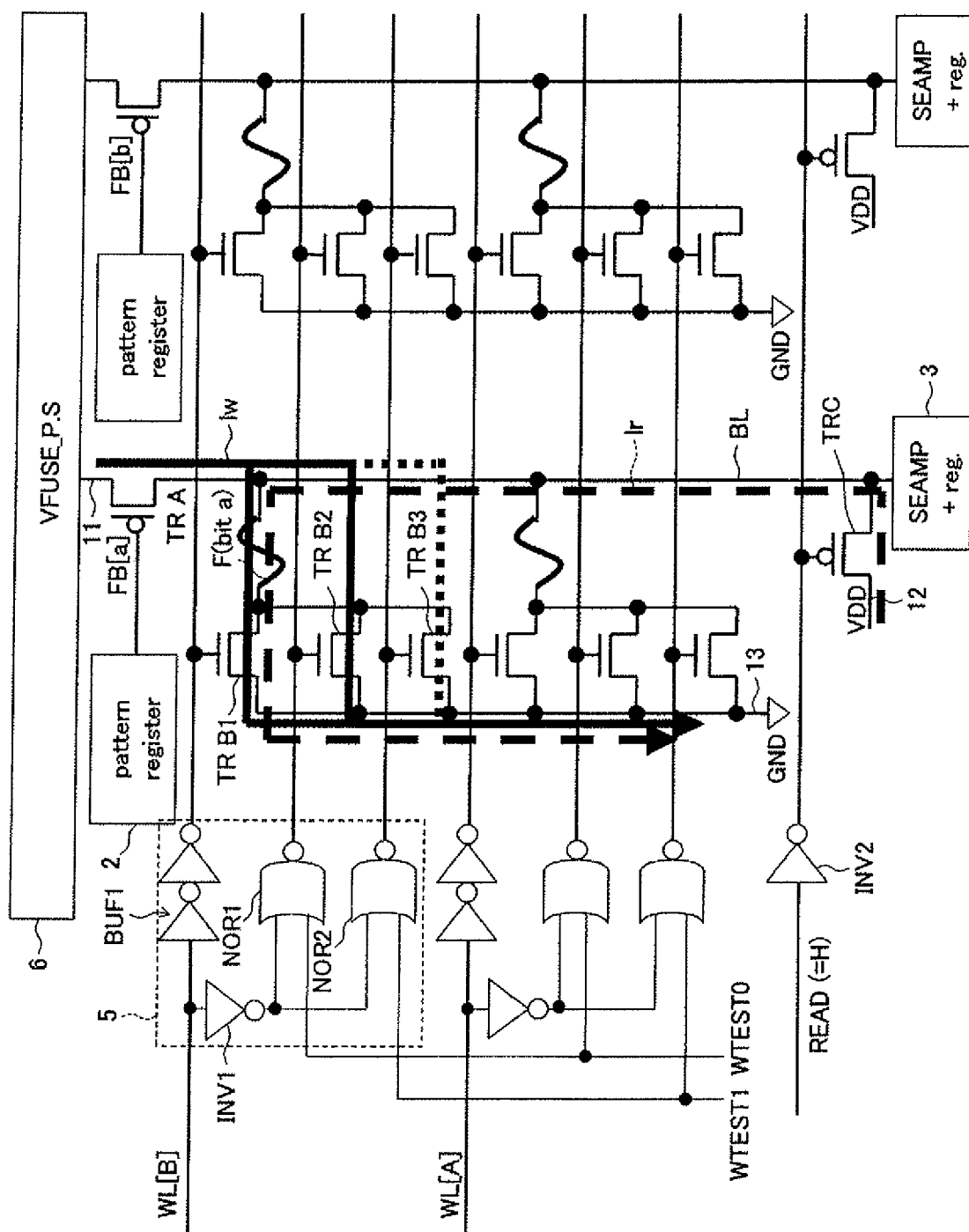


[図3]



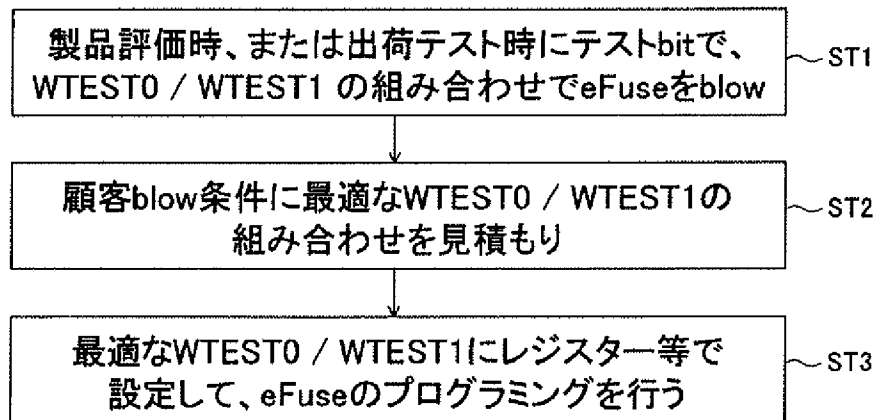
[図4]





WTEST0	WTEST1	Total W長
0	0	35 μ m
1	0	15 μ m
0	1	25 μ m
1	1	5 μ m

[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059704

A. CLASSIFICATION OF SUBJECT MATTER

G11C17/14(2006.01)i, G11C13/00(2006.01)i, H01L21/8246(2006.01)i,
H01L27/10(2006.01)i, H01L27/105(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C17/14, G11C13/00, H01L21/8246, H01L27/10, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-171481 A (Toshiba Corp.), 24 July 2008 (24.07.2008), paragraphs [0015] to [0061]; fig. 1 to 6A & US 2008/0165564 A1	1-6, 8
P, X	JP 2010-050456 A (Intel Corp.), 04 March 2010 (04.03.2010), paragraphs [0005] to [0020]; fig. 2A, 2B & US 2010/0046269 A1 & KR 10-2010-0022935 A & CN 1656109 A	1, 2, 8
A	JP 2008-016085 A (Toshiba Corp.), 24 January 2008 (24.01.2008), entire text; all drawings & US 2008/0002504 A1	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 August, 2010 (09.08.10)

Date of mailing of the international search report
17 August, 2010 (17.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059704

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter common to the inventions of claims 1-5, the inventions of claims 6, 7, and the invention of claim 8 is a point of comprising memory cells, resistance values of which vary with a current, and a plurality of cell transistors which are connected in series to the memory cells, and are interconnected in parallel, and being provided with a plurality of access lines which are connected to the gate of each of the cell transistors in a mode in which at least one of the plurality of cell transistors can be turned on/off independently of the other cell transistors. However, the search has revealed that the common matter is not novel since it is disclosed in document JP 2008-171481 A (Toshiba Corp.), 24 July 2008 (24.07.2008), (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059704

Continuation of Box No.III of continuation of first sheet (2)

paragraphs [0015] to [0061]; fig. 1 to 6A. In consequence, the above-described common matter is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since it makes no contribution over the prior art. Therefore, there is no matter common to all the inventions of the above-described claims 1-8. There exists no other common matter that can be considered to be a special technical feature within the meaning of PCT Rule 13.2, second sentence, so that a technical relationship within the meaning of PCT rule 13 cannot be seen among those different inventions. Consequently, the inventions of the above-described claims obviously do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C17/14(2006.01)i, G11C13/00(2006.01)i, H01L21/8246(2006.01)i, H01L27/10(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C17/14, G11C13/00, H01L21/8246, H01L27/10, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-171481 A (株式会社東芝) 2008.07.24, 段落【0015】 - 【0061】, 図1-6 A & US 2008/0165564 A1	1-6, 8
P, X	JP 2010-050456 A (インテル・コーポレーション) 2010.03.04 段落【0005】 - 【0020】, 図2 A, 2 B & US 2010/0046269 A1 & KR 10-2010-0022935 A & CN 1656109 A	1, 2, 8

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 0 8 . 2 0 1 0

国際調査報告の発送日

1 7 . 0 8 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

外山 毅

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 8 5

5 N

3 9 8 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-016085 A (株式会社東芝) 2008.01.24, 全文, 全図 & US 2008/0002504 A1	1-8

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1－5に係る発明、請求項6、7に係る発明、請求項8に係る発明に共通の事項は、電流に応じて抵抗値が変化する記憶素子と、前記記憶素子に直列接続されるとともに、互いに並列接続された複数のセルトランジスタとを有し、前記複数のセルトランジスタのうち少なくとも1つが他のセルトランジスタとは独立にオンオフすることが可能な態様で、各セルトランジスタのゲートに接続された複数のアクセス線を備える、点である。しかしながら、調査の結果、この共通の事項は、文献JP 2008-171481 A（株式会社東芝）2008.07.24、段落【0015】－【0061】、図1－6 Aに開示されており、新規なものではない。結果として、上記共通の事項は先行技術の域を出ないから、PCT 規則 13.2 の第2文の意味において特別な技術的特徴ではない。それ故、上記請求項1－8に係る発明全てに共通の事項はない。PCT 規則 13.2 の第2文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間に PCT 規則 13 の意味おける技術的な連関を見いだすことはできない。よって、上記請求項に係る発明は発明の単一性の要件を満たしていないことが明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。