



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월24일
(11) 등록번호 10-1277776
(24) 등록일자 2013년06월17일

(51) 국제특허분류(Int. Cl.)

H01L 29/73 (2006.01) H01L 21/328 (2006.01)

(21) 출원번호 10-2012-0031927

(22) 출원일자 2012년03월28일

심사청구일자 2012년03월28일

(56) 선행기술조사문헌

JP2003017577 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이희덕

대전 서구 둔산동 크로바아파트 103동 1405호

정의정

대전 유성구 관평동 한화 꿈에그린 101동 502호

(74) 대리인

유미특허법인

전체 청구항 수 : 총 5 항

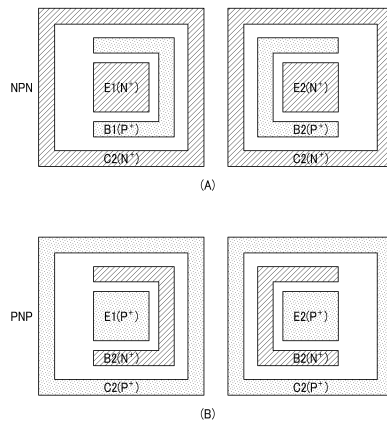
심사관 : 한주철

(54) 발명의 명칭 정합 특성이 개선된 쌍극성 접합 트랜지스터

(57) 요약

두 개의 트랜지스터를 포함하는 형태의 쌍극성 접합 트랜지스터에서, 두 트랜지스터가 각각 독립적인 구조로 이루어지며, 각각의 베이스가 에미터를 둘러싸면서 에미터의 소정 방향은 개방시키는 형태로 이루어진다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 2010-06-대-02-028

부처명 교육과학기술부

연구사업명 지역혁신인력양성사업

연구과제명 비메모리 융합 반도체 소자(스마트소자)기술 인력 양성

주관기관 충남대학교

연구기간 2011.05.11 ~ 2012.04.30

특허청구의 범위

청구항 1

제1 도전성의 불순물을 포함하여 형성되는 제1 접합;

제2 도전성의 불순물을 포함하여 상기 제1 접합을 둘러싸고 있으면서 상기 제1 접합의 미리 설정된 방향은 개방시키는 형태로 이루어지는 제1 웰; 및

제1 도전성의 불순물을 포함하고 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는 제2웰을 포함하고,

상기 제2 웰은 상기 제1 웰의 하부에 형성되어 상기 제1 웰을 둘러싸고 있는 형태로 이루어지고,

상기 제1 웰은 n 자 형태로 이루어지는, 쌍극성 접합 트랜지스터.

청구항 2

제1항에 있어서

상기 쌍극성 접합 트랜지스터는 제1 트랜지스터와 제2 트랜지스터를 포함하며,

상기 제1 트랜지스터와 제2 트랜지스터는 상기 제1 접합, 제1웰 및 제2웰을 각각 포함하는 형태로 이루어지는 쌍극성 접합 트랜지스터.

청구항 3

삭제

청구항 4

제1 트랜지스터; 및

상기 제1 트랜지스터와 분리되어 형성되는 제2 트랜지스터

를 포함하고,

상기 제1 트랜지스터는

제1 도전성의 불순물을 포함하여 형성되는 제1-1 접합,

제2 도전성의 불순물을 포함하여 상기 제1-1 접합을 둘러싸고 있으면서 상기 제1 접합의 제1 방향은 개방시키는 형태로 이루어지는 제1-1 웰, 그리고

제1 도전성의 불순물을 포함하고 상기 제1-1 웰을 둘러싸고 있는 형태로 이루어지는 제2-1웰

를 포함하고,

상기 제2 트랜지스터는

제1 도전성의 불순물을 포함하여 형성되는 제1-2 접합,

제2 도전성의 불순물을 포함하여 상기 제1-2 접합을 둘러싸고 있으면서 상기 제1 접합의 제2 방향은 개방시키는 형태로 이루어지는 제1-2 웰, 그리고

제1 도전성의 불순물을 포함하고 상기 제1-2 웰을 둘러싸고 있는 형태로 이루어지는 제2-2웰

를 포함하고,

상기 제1 방향과 제2 방향은 서로 반대 방향인, 쌍극성 접합 트랜지스터.

청구항 5

삭제

청구항 6

제4항에 있어서

상기 제1-1 웰 및 상기 제1-2웰은 π 자 형태로 이루어지는, 쌍극성 접합 트랜지스터.

청구항 7

제1항 또는 제4항에 있어서

상기 제1 도전성은 N형이며, 상기 제2 도전성은 P형인, 쌍극성 접합 트랜지스터.

명세서**기술분야**

[0001] 본 발명은 트랜지스터의 구조에 관한 것으로, 더욱 상세하게 말하자면, 쌍극성 접합 트랜지스터(bipolar junction transistor: BJT)에 관한 것이다.

배경기술

[0002] 아날로그 회로에서 널리 사용되는 밴드갭 레퍼런스(Band-gap reference), 차동 증폭기(Differential amplifier), 고속도 신호 변환기(High speed A/D converter)는 일반적으로 두 개 이상의 쌍으로 구성되는 소자를 사용하기 때문에, 소자간의 정밀한 정합(matching) 특성이 확보되지 않으면 회로가 오동작을 일으킬 수 있으므로 소자 간 정합 특성은 무엇보다 중요하다고 할 수 있다.

[0003] BJT MOSFET(Metal Oxide Semiconductor Field Effect Transistor)에 비해 높은 전류 이득과 우수한 정합 특성을 가지고 있기 때문에 아날로그 회로에서 다양하게 사용되고 있다. 정합 특성이 우수하다는 것은 두 소자의 특성이 이상적으로 같아야 하는 것을 나타내는데, 구체적으로 두 소자의 베이스, 콜렉터, 에미터의 각각의 넓이, 도핑 깊이와 농도 등이 모두 일치하여야 한다. 그러나 현실적으로 두 소자가 이상적으로 같을 수는 없다.

[0004] 가능한 정합 특성을 개선하는 방법으로, 두 소자의 도핑 깊이 및 농도를 가능한 일치시키고 열점에 의한 데미지(damage)의 차이를 줄이기 위해 두 소자간의 거리를 최대한 가깝게 하여야 한다. 그리고 각 소자 내의 전류가 흐르는 경로의 길이가 짧고 폭이 좁아야 하며, DNW(deep N well)과 같이 저항의 변화가 큰 부분이 차지하는 부분이 적어야 한다.

발명의 내용**해결하려는 과제**

[0005] 본 발명이 해결하려는 과제는 보다 정합 특성이 개선되는 트랜지스터를 제공하는 것이다.

과제의 해결 수단

[0006] 위의 과제를 위한, 본 발명의 특징에 따른 쌍극성 접합 트랜지스터는 제1 도전성의 불순물을 포함하여 형성되는 제1 접합; 제2 도전성의 불순물을 포함하여 상기 제1 접합을 둘러싸고 있으면서 상기 제1 접합의 미리 설정된 방향은 개방시키는 형태로 이루어지는 제1 웰; 및 제1 도전성의 불순물을 포함하고 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는 제2웰을 포함한다.

[0007] 상기 쌍극성 접합 트랜지스터는 제1 트랜지스터와 제2 트랜지스터를 포함할 수 있으며, 상기 제1 트랜지스터와 제2 트랜지스터는 상기 제1 접합, 제1웰 및 제2웰을 각각 포함하는 형태로 이루어진다.

[0008] 여기서 상기 제2 웰은 상기 제1 웰의 하부에 형성되어 상기 제1 웰을 둘러싸고 있는 형태로 이루어지고, 상기 제1 웰은 π 자 형태로 이루어질 수 있다.

[0009] 또한 본 발명의 다른 특징에 따른 쌍극성 접합 트랜지스터는 제1 트랜지스터; 및 상기 제1 트랜지스터와 분리되어 형성되는 제2 트랜지스터를 포함한다. 여기서 상기 제1 트랜지스터는 제1 도전성의 불순물을 포함하여 형성되는 제1-1 접합, 제2 도전성의 불순물을 포함하여 상기 제1-1 접합을 둘러싸고 있으면서 상기 제1 접합의 제1

방향은 개방시키는 형태로 이루어지는 제1-1 웰, 그리고 제1 도전성의 불순물을 포함하고 상기 제1-1 웰을 둘러싸고 있는 형태로 이루어지는 제2-1웰을 포함한다. 또한 상기 제2 트랜지스터는 제1 도전성의 불순물을 포함하여 형성되는 제1-2 접합, 제2 도전성의 불순물을 포함하여 상기 제1-2 접합을 둘러싸고 있으면서 상기 제1 접합의 제2 방향은 개방시키는 형태로 이루어지는 제1-2 웰, 그리고 제1 도전성의 불순물을 포함하고 상기 제1-2 웰을 둘러싸고 있는 형태로 이루어지는 제2-2 웰을 포함한다. 여기서 제1 방향과 제2 방향은 서로 반대 방향이며, 상기 제1-1 웰 및 상기 제1-2웰은 ㄷ자 형태로 이루어질 수 있다.

발명의 효과

[0010] 본 발명의 실시 예에 따르면, 보다 정합 특성이 개선된 트랜지스터가 제공됨으로써, 해당 트랜지스터를 사용하여 아날로그의 회로의 오동작을 개선할 수 있다.

[0011] 또한 쌍극성 접합 트랜지스터를 구성하는 각 소자 내의 전류가 흐르는 경로의 길이가 짧고 폭이 좁아지게 되어 정합 특성을 개선시킬 수 있다. 특히, 두 소자의 에미터와 콜렉터의 거리가 가까워져 전류 흐름이 길이가 보다 짧아지고 전류 흐름의 폭이 줄어들어, 저항의 변화가 큰 딥 N 웰(Deep N well) 영역이 감소되어, 정합 특성을 보다 개선시킬 수 있다. 또한 쌍극성 접합 트랜지스터의 전체 평면적을 감소시킬 수 있으므로, 제작 비용절감 효과도 볼 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 나타낸 평면도이다.

도 2 및 도 3은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 단면도이다.

도 4 내지 도 6은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터와 기존 쌍극성 접합 트랜지스터의 특성을 나타낸 도이다.

도 7 내지 도 9는 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터와 기존 쌍극성 접합 트랜지스터의 다른 특성을 나타낸 도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.

[0014] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할 때, 이는 '직접적으로 연결'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결'되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

[0015] 이하, 도면을 참조하여 본 발명의 실시 예에 따른 트랜지스터에 대하여 설명한다.

[0016] 본 발명의 실시 예에는 정합 특성을 개선하기 위하여, 하나의 쌍으로 이루어지는 쌍극성 접합 트랜지스터를 다음과 같은 구조로 형성한다.

[0017] 도 1은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 나타낸 평면도이다.

[0018] 첨부한 도 1에서와 같이, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터는 제1 트랜지스터(T1)와 제2 트랜지스터(T2)를 포함한다.

[0019] 본 발명의 실시 예에 따른 제1 및 제2 트랜지스터(T1, T2)는 쌍극성 접합 트랜지스터이며, 에미터(E), 베이스(B), 콜렉터(C)를 포함하며, 서로 분리되어 있는 형태로 이루어진다. 제1 및 제2 트랜지스터 (T1, T2)는 에미터(E1, E2)를 중심으로 베이스(B1, B2), 콜렉터(C1, C2)가 순차적으로 각각 형성되면서 에미터, 베이스, 콜렉터가 각각 도넛 형태로 이루어진다. 이에 따라 베이스(B1, B2)가 에미터(E1, E2)를 둘러싸고 있는 형태로 구현되고, 콜렉터(C1, C2)가 베이스(B1, B2)를 둘러싸고 있는 형태로 구현된다.

[0020] 그러나 베이스(B1, B2)는 에미터(E1, E2)의 사방을 둘러싸는 형태가 아니라 임의 방향을 개방시키는 형태로 이

루어진다. 구체적으로, 도 1에서와 같이, 제1 트랜지스터(T1)의 베이스(B1)는 에미터(E1)의 제1 방향을 개방시키는 형태로 이루어지며, 이에 따라 에미터(E1)를 둘러싸는 형태로 이루어지는 베이스(B1)의 제1 부분 즉, 제1 방향에 대응하는 부분이 제거된 형태로 이루어진다. 또한 제2 트랜지스터(T2)의 베이스(B1)는 에미터(E2)의 제2 방향을 개방시키는 형태로 이루어지며, 이에 따라 에미터(E2)를 둘러싸는 형태로 이루어지는 베이스(B2)의 제2 부분 즉, 제2 방향에 대응하는 부분이 제거된 형태로 이루어진다. 그러므로 제1 및 제2 트랜지스터(T1, T2)의 베이스(B1, B2)는 'ㄷ'자 같은 형태를 가질 수 있다. 여기서 제1 방향과 제2 방향은 두 개의 에미터가 서로 마주보는 방향에 각각 반대되는 방향으로, 서로 반대 방향을 나타낸다.

[0021] 이러한 구조를 가지는 두 개의 쌍극성 접합 트랜지스터는 도 1에서와 같이 하나의 쌍으로 구현되며, NPN 타입이나 PNP타입의 경우에도 동일하게 이루어진다.

[0022] 도 2 및 도 3은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 단면도이다. 도 2는 NPN 타입의 경우에 해당하는 쌍극성 접합 트랜지스터의 단면도이며, 도 3은 PNP 타입의 쌍극성 접합 트랜지스터의 단면도이다.

[0023] 먼저, NPN타입의 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 살펴보면, 제1트랜지스터(T1)는 베이스로 기능하는 P-웰(well)(11), 에미터로 기능하는 N+접합(12), 그리고 컬렉터로 기능하는 딥 N-웰(13)을 포함한다. 제2트랜지스터(T2)는 베이스로 기능하는 P-웰(well)(21), 에미터로 기능하는 N+접합(22), 그리고 컬렉터로 기능하는 딥 N-웰(23)을 포함한다.

[0024] P-웰(11, 21)은 P형의 불순물을 포함하여 형성되며, 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 각각의 베이스(B1, B2)로 기능한다.

[0025] N+접합(12,22)은 N형의 불순물을 포함하여 형성되며, N+접합(12)은 제1 트랜지스터(T1)의 에미터(E1)로 기능하며, N+접합(22)은 제2 트랜지스터(T2)의 에미터(E2)로 기능한다.

[0026] 딥 N-웰(13, 23)은 N형의 불순물을 포함하여 형성되며, 본 발명의 실시 예에 따른 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 컬렉터(C1, C2)로 각각 기능한다. 이러한 딥 N-웰(13, 23)은 P-웰(11, 21)의 하부에 접하여 형성되어 있다.

[0027] 제1 및 제2 트랜지스터의 베이스(B1, B2)가 에미터(E1, E2)를 각각 둘러싸면서 소정 방향은 개방시키는 형태로 이루어짐으로써, 제1 트랜지스터(T1)에서 에미터를 형성하는 N+ 접합(12)의 제1 방향에 대응하는 위치에 베이스를 형성하는 P-웰(11)이 형성되어 있지 않으며, N+ 접합(12)의 제1 방향의 반대 방향에 해당하는 제2 방향에는 베이스를 형성하는 P-웰(11)이 형성되어 있다. 또한 제2 트랜지스터(T2)에서 에미터를 형성하는 N+ 접합(22)의 제2 방향에 대응하는 위치에 베이스를 형성하는 P-웰(21)이 형성되어 있지 않으며, N+ 접합(22)의 제2 방향의 반대 방향에 해당하는 제1 방향에는 베이스를 형성하는 P-웰(21)이 형성되어 있다.

[0028] 이와 같이 제1 트랜지스터(T1)와 제2 트랜지스터(T2)이 각각 분리되어 형성되어 있지만, 에미터를 형성하는 N+ 접합(12, 22)의 소정 방향에 대응하는 위치에 베이스를 형성하는 P-웰(11, 21)을 형성하지 않음으로써, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 평면적이 감소된다.

[0029] 또한 저항의 변화가 큰 부분(예를 들어, P웰)이 줄어든다. 그러므로 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터를 통하여 전류가 흐르는 경로의 길이가 짧아지고 폭이 좁아지게 되어, 정합 특성이 향상된다.

[0030] 또한 에미터와 컬렉터 사이가 가까워지게 되어, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 정합 특성이 보다 향상될 수 있다.

[0031] 한편, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터가 PNP 타입으로 구현되는 경우에도, 도3에서와 같이, 베이스로 기능하는 N-웰(well)(11', 21'), 에미터로 기능하는 제1 P+ 접합(12', 22'), 그리고 컬렉터로 기능하는 제2 P+ 접합(13', 23')을 포함한다.

[0032] 이 경우에도 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터를 구성하는, 제1 트랜지스터(T1)는 N-웰(11'), 제1 P접합(12'), 그리고 제2 P+ 접합(23')을 포함하며, 제2 트랜지스터(T2)는 N-웰(21'), 제1 P+접합(22'), 그리고 제2 P+ 접합(23')을 포함한다. 여기서는 컬렉터(C)를 형성하는 제2 P+ 접합(13', 23')를 형성하기 위한 딥 P웰을 제거한 형태로 구현된 것이며, 이에 따라 평면적을 보다 감소시킬 수 있다.

[0033] 물론 이 경우에도 도 3에서와 같이, 제1 트랜지스터(T1)에서 에미터를 형성하는 제1 P+ 접합(12')의 제1 방향에 대응하는 위치에 베이스를 형성하는 N-웰(11')이 형성되어 있지 않으며, 제1 P+ 접합(12')의 제1 방향의 반대 방향에 해당하는 제2 방향에는 베이스를 형성하는 N-웰(11')이 형성되어 있다. 또한 제2 트랜지스터(T2)에서 에

미터를 형성하는 제1 P+ 접합(22')의 제2 방향에 대응하는 위치에 베이스를 형성하는 N-웰(21')이 형성되어 있지 않으며, 제1 P+ 접합(22')의 제2 방향의 반대 방향에 해당하는 제1 방향에는 베이스를 형성하는 N-웰(21')이 형성되어 있다.

[0034] 이러한 구조로 따라 위에서 살펴본 바와 같은 효과가 발생하여, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 정합 특성이 향상된다.

[0035] 한편 본 발명의 실시 예에서 설명의 편의를 위하여, NPN 또는 PNP 타입의 트랜지스터에서, 베이스로 기능하는 P-웰 또는 N-웰(11, 11', 21, 21')을 제1 웰, 제1-1웰 또는 제1-2웰이라고 명명하고, 컬렉터로 기능하는 딥 N-웰 및 제2 P+ 접합(13, 23, 13', 23')을 제2 웰, 제2-1웰, 또는 제2-2웰이라고 명명할 수 있다. 그리고 에미터로 기능하는 제1 트랜지스터의 N+ 접합 또는 제1 P+ 접합(12, 22, 12', 22')을 제1 접합, 제1-1 접합 또는 제1-2 접합이라고 명명할 수 있다.

[0036] 다음에는 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 보다 구체적인 효과에 대하여 살펴본다.

[0037] 기존의 구조를 가지는 쌍극성 접합 트랜지스터를 TS1-1이라고 하고, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터를 TS2-1라고 하자. 기존의 구조를 가지는 쌍극성 접합 트랜지스터 TS1-1은 동일한 구조로 이루어지는 두개의 트랜지스터가 하나의 쌍으로 이루어지는 구조이다.

[0038] 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터와 기존 쌍극성 접합 트랜지스터에 대하여 시뮬레이션을 수행하여 에미터 크기를 토대로 매칭(matching) 특성을 확인하였다. 특히, 에미터의 크기 예를 들어, 높이/넓이를 각각 2/2, 5/2, 5/5, 10/5, 10/10으로 변경하면서 매칭 특성을 평가하였으며, 여기서는 PNP 타입의 쌍극성 접합 트랜지스터를 토대로 매칭 특성을 평가하였다.

[0039] 도 4 내지 도 6은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터와 기존 쌍극성 접합 트랜지스터의 특성을 나타낸 도이다. 구체적으로 도 4는 베이스 전류 특성을 나타낸 도이고, 도 5는 컬렉터 전류 특성을 나타낸 도이며, 도 6은 트랜지스터의 베타(beta) 특성을 나타낸 도이다.

[0040] 첨부한 도 4 내지 도 5에서, 해당 쌍극성 접합 트랜지스터의 특성을 나타내는 직선의 기울기가 작을수록 매칭 특성이 뛰어남을 나타낸다. 따라서 첨부한 도 4 내지 도 5를 보면, 기존 쌍극성 접합 트랜지스터(TS1-1)의 매칭 특성에 비하면, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터(TS2-1)의 매칭 특성이 보다 현저히 높음을 알 수 있다.

[0041] 이러한 매칭 특성을 수치적으로 나타내면 다음과 같다.

표 1

[0042]

BETA	TS1-1	TS2-1
매칭계수	5.739	4.292
차이		25.213
IB(베이스 전류)	TS1-1	TS2-1
매칭계수	7.227	4.520
차이		37.457
IC(컬렉터 전류)	TS1-1	TS2-1
매칭계수	2.285	1.563
차이		31.597

[0043] 여기서, 차이는 기존 쌍극성 접합 트랜지스터(TS1-1)과 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터(TS2-1)의 구조적 차이를 TS1-1을 기준으로 백분율로 나타낸 값으로, $\text{차이} = 100 \times (\text{TS1-1} - \text{TS2-1}) / \text{TS1-1} [\%]$ 로 나타낼 수 있다.

[0044] 매칭계수는 도 4 내지 도 6에서 측정 직선의 기울기를 나타내는 값이며, 작을수록 매칭 특성이 좋음을 나타낸다.

[0045] 도 7 내지 도 9는 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터와 기존 쌍극성 접합 트랜지스터의 다른 특성을 나타낸 도이다. 구체적으로 도 7은 컬렉터 전류 밀도(density) 특성을 나타낸 도이고, 도 8은 베이스 전류 밀도 특성을 나타낸 도이며, 도 9는 전류 이득 특성을 나타낸 도이다.

[0046] 첨부한 도 7 및 도 8에서, 컬렉터 전류 밀도는 기존과 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터들 사

이에 큰 차이가 없지만, 베이스 전류 밀도는 기존의 쌍극성 접합 트랜지스터에 비하여 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 구조에서 더 작아짐을 알 수 있다. 이것은 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터에서 에미터를 둘러싸면서 일부 방향은 개방된 형태로 이루어지는 베이스 구조의 면적 변화에 따라, 콘택 저항과 전류 경로가 되는 영역의 크기 변화로 저항이 기존의 쌍극성 접합 트랜지스터에 비하여 감소하였기 때문이다.

[0047] 한편, 도 9에서, 전류 이득 측면에서는 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 전류 이득이 기존의 쌍극성 접합 트랜지스터에 비하여 현저히 뛰어남을 알 수 있다.

[0048] 이러한 특성을 수치적으로 나타내면 다음과 같다.

표 2

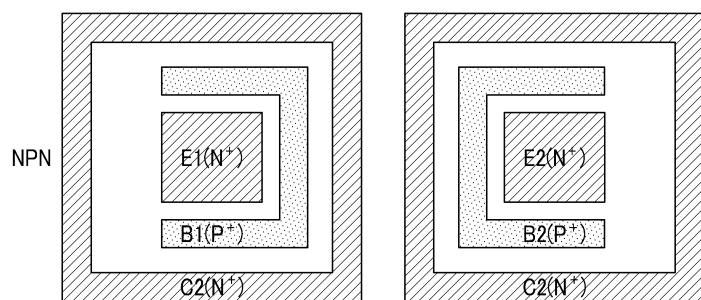
	TS1-1	TS2-1
콜렉터 전류밀도	6.32654	6.52138
차이		-3.080
	TS1-1	TS2-1
베이스전류밀도	0.04869	0.04700
차이		3.471
	TS1-1	TS2-1
전류이득	0.30767	0.30772
차이		-0.016

[0050] 여기서, 차이는 기존 쌍극성 접합 트랜지스터(TS1-1)과 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터(TS2-1)의 구조적 차이를 TS1-1을 기준으로 백분율로 나타낸 값으로, $\text{차이} = 100 \times (\text{TS1-1} - \text{TS2-1}) / \text{TS1-1} [\%]$ 로 나타낼 수 있다. 전류 밀도의 단위는 $\mu\text{A}/\mu\text{m}^2$ 이다.

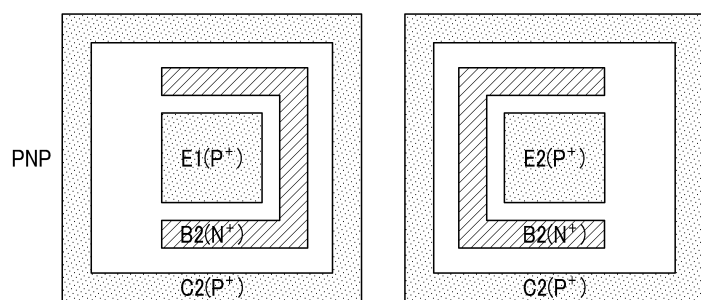
[0051] 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

도면1

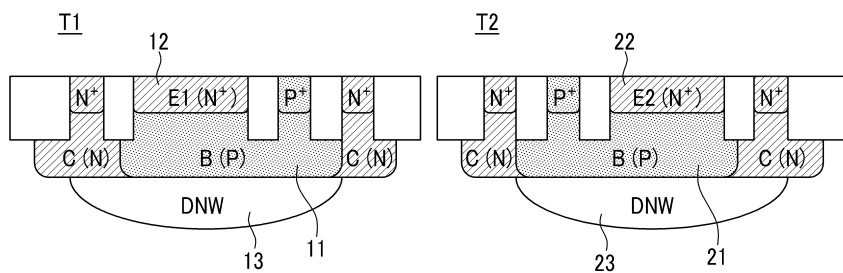


(A)

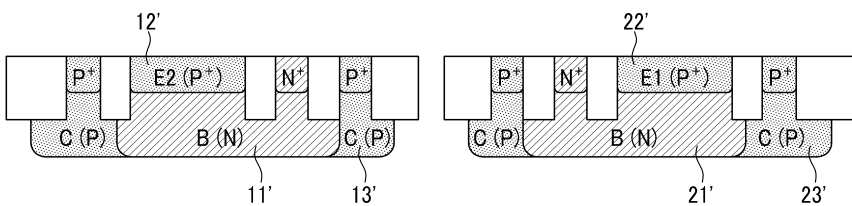


(B)

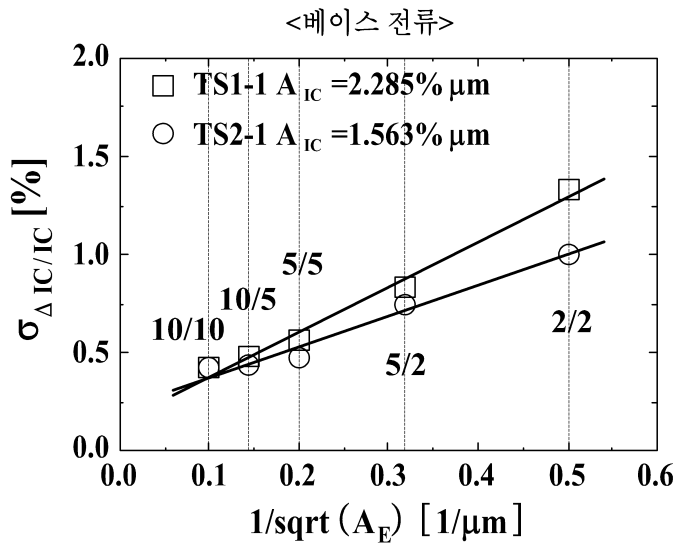
도면2



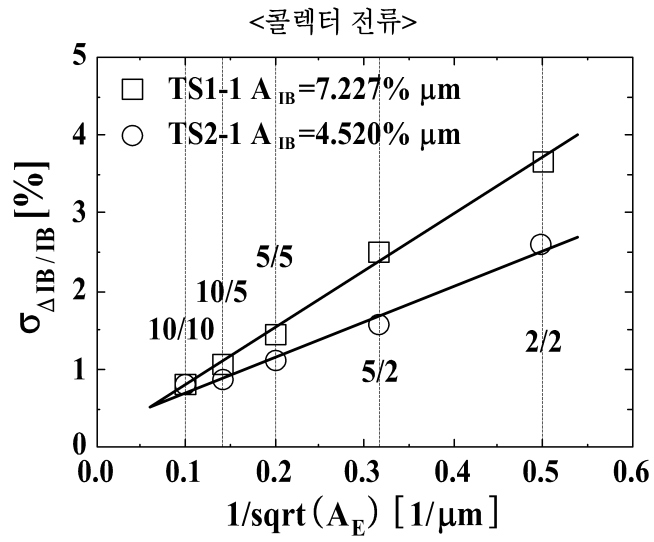
도면3



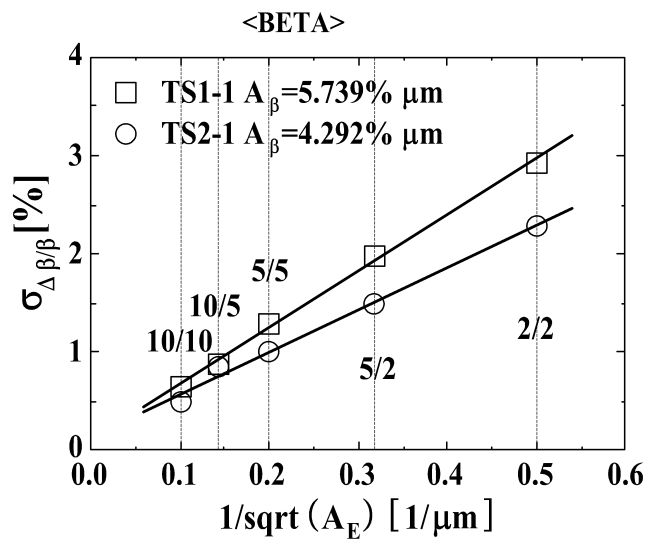
도면4



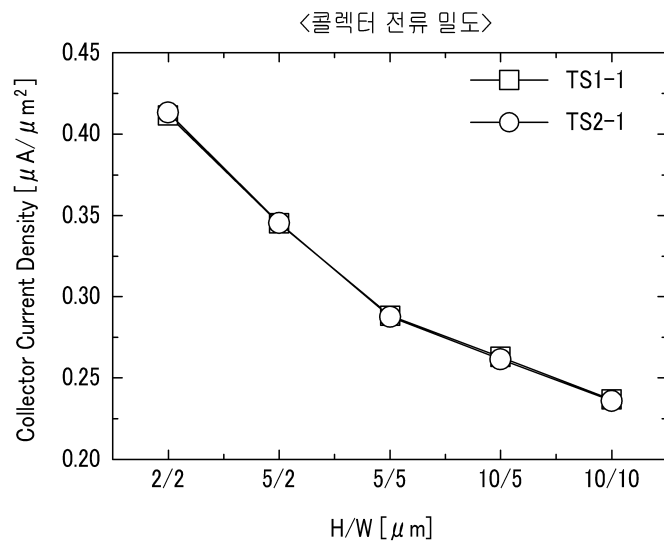
도면5



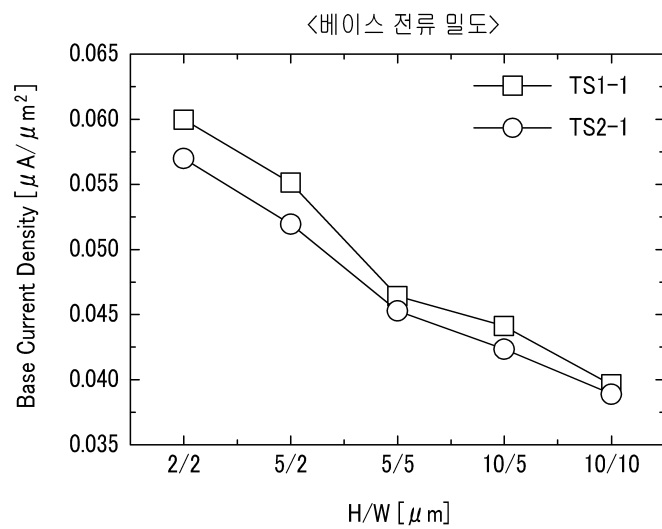
도면6



도면7



도면8



도면9

