

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成30年7月5日 (2018.7.5)

【公開番号】特開2016-225364(P2016-225364A)

【公開日】平成28年12月28日 (2016.12.28)

【年通号数】公開・登録公報2016-070

【出願番号】特願2015-107672(P2015-107672)

【国際特許分類】

H 0 1 L 27/10 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

【F I】

H 0 1 L 27/10 4 3 1

H 0 1 L 45/00 Z

H 0 1 L 45/00 A

H 0 1 L 49/00 Z

【手続補正書】

【提出日】平成30年5月24日 (2018.5.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の領域および前記第 1 の領域に電氣的に接続するための第 2 の領域にわたって、交互に積層された複数の導電層および複数の絶縁層と、

前記第 2 の領域において、前記複数の導電層および前記複数の絶縁層を貫通する複数の貫通電極と、

各貫通電極と各導電層との間に形成されたアンチヒューズとを備えた半導体装置。

【請求項 2】

各貫通電極は、前記複数の導電層のうちの単一の導電層に、その貫通電極とその導電層との間に形成されたアンチヒューズを介して電氣的に接続された

請求項 1 に記載の半導体装置。

【請求項 3】

各貫通電極は、前記複数の導電層のうちの単一の導電層とそれぞれ対応づけられ、

対応づけられた貫通電極および導電層の間に形成されたアンチヒューズの抵抗状態は低抵抗状態であり、

対応づけられていない貫通電極および導電層の間に形成されたアンチヒューズの抵抗状態は高抵抗状態である

請求項 1 に記載の半導体装置。

【請求項 4】

前記複数の貫通電極のうちの第 1 の貫通電極は、前記複数の導電層のうちの第 1 の導電層に、前記第 1 の貫通電極と前記第 1 の導電層との間に形成されたアンチヒューズを介して電氣的に接続され、

前記複数の貫通電極のうちの第 2 の貫通電極は、前記第 1 の導電層に、前記第 2 の貫通電極と前記第 1 の導電層との間に形成されたアンチヒューズを介して電氣的に接続されて

いる

請求項 1 に記載の半導体装置。

【請求項 5】

前記複数の貫通電極の数は、前記複数の導電層の数より多い

請求項 1 に記載の半導体装置。

【請求項 6】

前記複数の貫通電極の数は、前記複数の導電層の数の 1 . 3 7 倍以上である

請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の領域に形成されたメモリアレイを備えた

請求項 1 に記載の半導体装置。

【請求項 8】

交互に積層された複数の導電層および複数の絶縁層を貫通し、前記複数の導電層との間にアンチヒューズが形成された複数の貫通電極から、第 1 の貫通電極を選択し、

前記複数の貫通電極のうちの前記第 1 の貫通電極以外の貫通電極に対して第 1 の電圧を印加するとともに、前記第 1 の貫通電極に対して第 2 の電圧を印加する

半導体装置の製造方法。

【請求項 9】

前記第 1 の貫通電極に対して、前記第 2 の電圧を印加した後、前記第 1 の貫通電極を電氣的にフローティングにする

請求項 8 に記載の半導体装置の製造方法。

【請求項 10】

前記複数の貫通電極のうちの前記第 1 の貫通電極以外の貫通電極から、第 2 の貫通電極を選択し、

前記複数の貫通電極のうちの前記第 1 の貫通電極および前記第 2 の貫通電極以外の貫通電極に対して前記第 1 の電圧を印加するとともに、前記第 2 の貫通電極に対して前記第 2 の電圧を印加し、前記第 1 の貫通電極に対して前記第 1 の電圧と前記第 2 の電圧の間の第 3 の電圧を印加する

請求項 8 に記載の半導体装置の製造方法。

【請求項 11】

前記第 2 の貫通電極に対して、前記第 2 の電圧を印加した後、前記第 2 の貫通電極を電氣的にフローティングにする

請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記第 2 の貫通電極を電氣的にフローティングにする際、前記第 1 の貫通電極に対して前記第 3 の電圧を印加し続ける

請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

前記第 2 の貫通電極を電氣的にフローティングにする際、前記第 1 の貫通電極をも電氣的にフローティングにする。

請求項 11 に記載の半導体装置の製造方法。

【請求項 14】

前記第 1 の電圧は接地電圧であり、

前記第 3 の電圧は前記第 2 の電圧の半分の電圧である

請求項 10 に記載の半導体装置の製造方法。

【請求項 15】

前記複数の貫通電極のうちまだ選択されていない貫通電極から第 3 の貫通電極を選択し

、

前記第 1 の貫通電極に前記第 1 の電圧を印加するとともに、前記第 3 の貫通電極に第 4 の電圧を印加する

請求項 8 に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

図 3 は、コンタクト部 12 の一構成例を表すものである。コンタクト部 12 は、アンチヒューズ膜 AF を有している。アンチヒューズ膜 AF は、複数の貫通電極 EL (この例では 4 本の EL1 ~ EL4) のそれぞれを覆うように形成されている。アンチヒューズ膜 AF は、ストレス電圧を印加することにより、抵抗状態が高抵抗状態から低抵抗状態に変化するものである。アンチヒューズ膜 AF は、例えば、ストレス電圧を印加することにより絶縁破壊が生じる材料を用いてもよい。具体的には、例えば、アンチヒューズ膜 AF は、酸化シリコン、窒化シリコン、酸化ハフニウム、酸化チタン、酸化タンタルなどにより構成された膜や、これらの複合膜であってもよい。また、このような膜と薄い導電膜との複合膜であってもよい。また、ストレス電圧を印加することにより状態変化が生じ、抵抗状態が変化する材料を用いてもよい。具体的には、例えば、金属酸化物、相変化材料、電界励起抵抗変化効果を有する材料、電解質材料を有する抵抗変化材料を用いてもよい。また、電圧値に応じて、高抵抗状態と低抵抗状態との間で相互に切り替わる素子を用いてもよい。また、高抵抗シリコン、高抵抗ポリシリコン、低抵抗アモルファスシリコンなどにより構成された膜であってもよいし、それらの一部を含んだ複合膜であってもよい。また、以上に記したものを任意に組み合わせたものであってもよい。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

このようにして、図 10 (C) に示したように、貫通電極 EL2 の電圧 V_o は、貫通電極 EL2 と導電層 LB2 との間のアンチヒューズ膜 AF (部分 W2) の抵抗状態が高抵抗状態から低抵抗状態に変化したのに応じて、書込電圧 V_w から $5/12 \times V_w$ に低下する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0079

【補正方法】変更

【補正の内容】

【0079】

図 21 は、4 層の導電層 LB1 ~ LB4 と 5 つの貫通電極 EL1 ~ EL5 を設けた参考例 R1 において、貫通電極 EL4 を、導電層 LB3 と接続する工程を表すものである。すなわち、すでに、貫通電極 EL1 は電氣的に導電層 LB4 に接続されており、貫通電極 EL2 は導電層 LB2 に電氣的に接続されており、貫通電極 EL3 は導電層 LB1 に電氣的に接続されている。この工程では、ロウデコーダ 13 は、貫通電極 EL5 を接地する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

[効果]

以上のように本実施の形態では、積層された絶縁層および導電層を貫通するように貫通電極を形成するとともに、その貫通電極を覆うようにアンチヒューズ膜を形成したので、面積を小さくすることができる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正の内容】

【0098】

図30は、このような工程を行った後のコンタクト部12の一例を表すものである。この例では、貫通電極EL1, EL5は導電層LB4に電氣的に接続され、貫通電極EL2, EL6は導電層LB2に電氣的に接続され、貫通電極EL3, EL7は導電層LB1に電氣的に接続され、貫通電極EL4, EL8は導電層LB3に電氣的に接続されている。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0105

【補正方法】変更

【補正の内容】

【0105】

図34は、貫通電極EL(N)と導電層LB3とが電氣的に接続された後の、コンタクト部12の等価回路を表すものである。この例では、スイッチSW4がオフ状態になるため、上記実施の形態の場合(図28)とは異なり、貫通電極EL1~EL(N-1)にチャージされた電荷Qcは維持される。そして、電圧Voは、図34に示した式で表される電圧へと低下する。以下、この電圧Voを電圧Vbとする。誤書込を避けるためには、この電圧Vbは、アンチヒューズ膜AFの抵抗状態を高抵抗状態から低抵抗状態に変化させない電圧である必要がある。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0131

【補正方法】変更

【補正の内容】

【0131】

(14) 前記第1の電圧は接地電圧であり、

前記第3の電圧は前記第2の電圧の半分の電圧である

前記(10)から(13)のいずれかに記載の半導体装置の製造方法。