

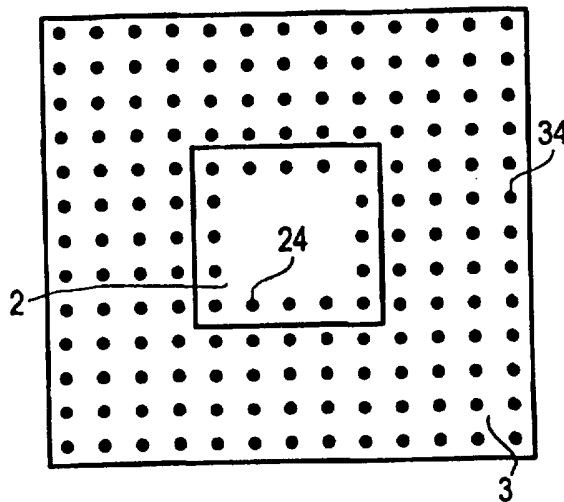


PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation⁶ : H01L	A2	(11) Internationale Veröffentlichungsnummer: WO 97/21240 (43) Internationales Veröffentlichungsdatum: 12. Juni 1997 (12.06.97)
(21) Internationales Aktenzeichen: PCT/DE96/02189 (22) Internationales Anmeldedatum: 18. November 1996 (18.11.96) (30) Prioritätsdaten: 195 45 554.1 6. December 1995 (06.12.95) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): SEDLAK, Holger [DE/DE]; Balanstrasse 63, D-81541 München (DE).	(81) Bestimmungsstaaten: CN, JP, KR, RU, UA, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.</i>	

(54) Title: CMOS DEVICE

(54) Bezeichnung: CMOS-ANORDNUNG



(57) Abstract

Described is a CMOS device with at least one NMOS zone (2) and at least one PMOS zone (3) and, located on its surface, contacts (24, 34) by means of which pre-determined voltages are applied to particular areas (1, 30) of the substrate of the device. The CMOS device described is characterized in that the average number of contacts (24, 34) per unit surface area and/or the average contact area per unit surface area within the at least one NMOS zone (2) is significantly lower than within the at least one PMOS zone (3).

(57) Zusammenfassung

Es wird eine CMOS-Anordnung beschrieben, welche mindestens einen NMOS-Bereich (2) und mindestens einen PMOS-Bereich (3) aufweist, und welche an ihrer Oberfläche mit Substratkontakten (24, 34) versehen ist, über welche jeweilige Substratabschnitte (1, 30) der CMOS-Anordnung mit vorbestimmten Spannungswerten beaufschlagbar sind. Die beschriebene CMOS-Anordnung zeichnet sich dadurch aus, daß die durchschnittliche Anzahl der Substratkontakte (24, 34) pro Flächeneinheit und/oder die durchschnittliche Substratkontaktfläche pro Flächeneinheit innerhalb des mindestens einen NMOS-Bereiches (2) wesentlich geringer ist als innerhalb des mindestens einen PMOS-Bereiches (3).

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AM	Armenien	GB	Vereinigtes Königreich	MX	Mexiko
AT	Österreich	GE	Georgien	NE	Niger
AU	Australien	GN	Guinea	NL	Niederlande
BB	Barbados	GR	Griechenland	NO	Norwegen
BE	Belgien	HU	Ungarn	NZ	Neuseeland
BF	Burkina Faso	IE	Irland	PL	Polen
BG	Bulgarien	IT	Italien	PT	Portugal
BJ	Benin	JP	Japan	RO	Rumänien
BR	Brasilien	KE	Kenya	RU	Russische Föderation
BY	Belarus	KG	Kirgisistan	SD	Sudan
CA	Kanada	KP	Demokratische Volksrepublik Korea	SE	Schweden
CF	Zentrale Afrikanische Republik	KR	Republik Korea	SG	Singapur
CG	Kongo	KZ	Kasachstan	SI	Slowenien
CH	Schweiz	LI	Liechtenstein	SK	Slowakei
CI	Côte d'Ivoire	LK	Sri Lanka	SN	Senegal
CM	Kamerun	LR	Liberia	SZ	Swasiland
CN	China	LK	Litauen	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
EE	Estland	MG	Madagaskar	UG	Uganda
ES	Spanien	ML	Mali	US	Vereinigte Staaten von Amerika
FI	Finnland	MN	Mongolei	UZ	Usbekistan
FR	Frankreich	MR	Mauretanien	VN	Vietnam
GA	Gabon	MW	Malawi		

Beschreibung

CMOS-Anordnung

5 Die vorliegende Erfindung betrifft eine CMOS-Anordnung gemäß dem Oberbegriff des Patentanspruchs 1, d.h. eine CMOS-Anordnung, welche mindestens einen NMOS-Bereich und mindestens einen PMOS-Bereich aufweist, und welche an ihrer Oberfläche mit Substratkontakten versehen ist, über welche jeweilige
10 Substratabschnitte der CMOS-Anordnung mit vorbestimmten Spannungswerten beaufschlagbar sind.

Derartige CMOS-Anordnungen sind seit langem bekannt und werden in großem Umfang verwendet. Eine praktische Ausführungsform einer derartigen Anordnung ist in Figur 2 gezeigt.
15

Die Figur 2 ist eine schematische Querschnittsansicht einer herkömmlichen CMOS-Anordnung.

20 Die gezeigte CMOS-Anordnung weist ein p^- -Substrat 1 auf, in dem ein NMOS-Bereich 2 und ein PMOS-Bereich 3 ausgebildet sind.

Im NMOS-Bereich 2 ist ein NMOS-Transistor 21 ausgebildet, dessen Sourceabschnitt 22 und dessen Drainabschnitt 23 als
25 innerhalb des p^- -Substrates 1 vorgesehene n^- -Bereiche ausgebildet sind.

Zur Realisierung des PMOS-Bereiches 3 ist innerhalb des p^- -Substrats 1 ein wannenartig eingebettetes n^- -Substrat 30 vorgesehen. In diesem PMOS-Bereich 3 ist ein PMOS-Transistor 31
30 ausgebildet, dessen Sourceabschnitt 32 und dessen Drainabschnitt 33 als innerhalb des n^- -Substrates 30 vorgesehene p^+ -Bereiche ausgebildet sind.

35

Die Gateabschnitte sowie die Wirkungsweise und die Funktion der jeweiligen Transistoren sind für die nachfolgenden Aus-

führungen nicht von Interesse; sie sind daher weder in der Figur 2 veranschaulicht noch werden sie in der Beschreibung näher erläutert.

5 Ausgangspunkt für die weiteren Betrachtungen ist vielmehr die pnpn-Zonenfolge in der in der Figur 2 gezeigten CMOS-Anordnung, die durch die Aufeinanderfolge von (1) Source- bzw. Drainabschnitt 32 bzw. 33 des PMOS-Transistors 31, (2) n⁻-Substrat 30 des PMOS-Transistors 31, (3) p⁻-Substrat 1 der
10 CMOS-Anordnung bzw. des NMOS-Transistors 21 und (4) Source- bzw. Drainabschnitt 22 bzw. 23 des NMOS-Transistors 21 gebildet wird.

Die genannte pnpn-Zonenfolge ist die Zonenfolge eines Thyristors.
15

Solange der pn-Übergang zwischen Zone (2) und Zone (3), d.h. der Übergang zwischen dem n⁻-Substrat 30 des PMOS-Transistors 31 und dem p⁻-Substrat 1 der CMOS-Anordnung bzw. dem NMOS-
20 Transistor 21 sperrend ist, ist auch der Thyristor gesperrt, und dessen Vorhandensein wirkt sich auf die Funktion der jeweiligen Transistoren nicht aus.

Wird dieser Übergang allerdings (infolge von in den jeweiligen Substraten unerwünscht umherwandernden Ladungsträgern)
25 leitend, so sind die Zonen (1) und (4), d.h. der Source- bzw. Drainabschnitt 32 bzw. 33 des PMOS-Transistors 31 und der Source- bzw. Drainabschnitt 22 bzw. 23 des NMOS-Transistors 21 elektrisch miteinander verbunden, was zu einer Fehlfunktion oder sogar zu einer Zerstörung der jeweiligen Transistoren führt.
30

Um derartige unerwünschte Thyristoreffekte in CMOS-Anordnungen zu vermeiden, d.h. um die sogenannte latch-up-Festigkeit
35 zu erhöhen, wird die Oberfläche der CMOS-Anordnung mit Substratkontakten versehen.

Diese Substratkontakte sind im NMOS-Bereich 2 als mit Masse verbundene p⁺-Abschnitte 24, und im PMOS-Bereich 3 als mit einer positiven Spannung verbundene n⁺-Abschnitte 34 realisiert. Auf diese Weise wird ein freies Umherwandern von den in Rede stehenden pn-Übergang leitend machenden Ladungsträgern in den jeweiligen Substraten verhindert, so daß ein unbeabsichtigtes Zünden des Thyristors ausgeschlossen ist.

Um diesen Effekt zuverlässig zu gewährleisten, müssen jedoch bestimmte Maximalabstände zwischen benachbarten Substratkontakten und zwischen den Substratkontakten und den Source- und Drainabschnitten der jeweiligen Transistoren eingehalten werden. Ein typischer Maximalwert für den Abstand zwischen benachbarten Substratkontakten beträgt ca. 50 µm, und ein typischer Maximalwert für den Abstand zwischen den Substratkontakten und den Source- und Drainabschnitten der jeweiligen Transistoren beträgt ca. 25 µm.

Um diese Bedingungen zuverlässig einzuhalten, sind die bekannten CMOS-Anordnungen in der Regel von einem gleichmäßigen Raster von Substratkontakten überzogen. Ein derartiger Aufbau ist in Figur 3 veranschaulicht.

Die Figur 3 veranschaulicht die Anordnung der Substratkontakte auf der Oberfläche einer herkömmlichen CMOS-Anordnung.

Die jeweils durch einen • gekennzeichneten Substratkontakte sind dabei über die gesamte CMOS-Anordnung gleichmäßig verteilt, wobei der Abstand zwischen benachbarten Substratkontakten im wesentlichen konstant ca. 50 µm beträgt.

Es liegt auf der Hand, daß das Vorsehen derartiger Substratkontakte zu einer nicht unerheblichen Vergrößerung der CMOS-Anordnung führt bzw. einer weiteren Miniaturisierung derselben Grenzen setzt.

Der vorliegenden Erfindung liegt daher die Aufgabe zugrunde, die CMOS-Anordnung gemäß dem Oberbegriff des Patentanspruchs 1 derart weiterzubilden, daß diese unter Beibehaltung ihrer latch-up-Festigkeit weiter miniaturisierbar ist.

5

Diese Aufgabe wird erfindungsgemäß durch das im kennzeichnenden Teil des Patentanspruchs 1 beanspruchte Merkmal gelöst.

Demnach ist vorgesehen, daß die durchschnittliche Anzahl der Substratkontakte pro Flächeneinheit und/oder die durchschnittliche Substratkontaktfläche pro Flächeneinheit innerhalb des mindestens einen NMOS-Bereiches wesentlich geringer ist als innerhalb des mindestens einen PMOS-Bereiches.

15 Das Vorsehen dieses Merkmals bewirkt

(1) daß sich die Gesamtanzahl der auf einer CMOS-Anordnung vorzusehenden Substratkontakte und/oder die von diesen benötigte Substratkontaktfläche verringern kann, und

(2) daß die innerhalb der CMOS-Anordnung ausgebildeten elektronischen Bauelemente an den Stellen, an denen eine geringe Anzahl von Substratkontakten pro Flächeneinheit und/oder eine geringe Substratkontaktfläche pro Flächeneinheit vorgesehen ist, dichter gepackt werden können.

25 Dies erlaubt es, eine gegebene, in CMOS-Technik aufzubauende Schaltung auf einer kleineren Fläche zu realisieren als dies bisher der Fall war.

30 Untersuchungen haben ergeben, daß sich die latch-up-Festigkeit durch das Vorsehen der erfindungsgemäßen Maßnahme nicht verschlechtert. Es wurde mithin eine CMOS-Anordnung geschaffen, die unter Beibehaltung ihrer latch-up-Festigkeit weiter miniaturisierbar ist.

35 Vorteilhafte Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher erläutert. Es zeigen:

- 5 Figur 1 eine schematische Darstellung einer Draufsicht auf eine erfindungsgemäß ausgebildete CMOS-Anordnung zur Veranschaulichung der Anordnung von Substratkontakten auf der Oberfläche derselben,
- 10 Figur 2 eine schematische Querschnittsansicht einer herkömmlichen CMOS-Anordnung, und
- Figur 3 eine schematische Darstellung einer Draufsicht auf eine herkömmliche CMOS-Anordnung zur Veranschaulichung der
15 Anordnung der Substratkontakte auf der Oberfläche derselben.

Die in der Figur 1 gezeigte CMOS-Anordnung weist abgesehen von den Substratkontakten den selben grundsätzlichen Aufbau
20 wie die in der Figur 2 veranschaulichte herkömmliche CMOS-Anordnung auf. D.h., sie umfaßt mindestens einen NMOS-Bereich 2 und mindestens einen PMOS-Bereich 3, die im wesentlichen wie in der Figur 2 gezeigt aufgebaut sein können und die wie in der Figur 1 gezeigt aneinandergrenzen können.

25 Zur Erhöhung der latch-up-Festigkeit sind auf der (in der Figur 1 in der Draufsicht gezeigten Anschlußseite der CMOS-Anordnung wiederum Substratkontakte vorgesehen. Die Anzahl und Anordnung der Substratkontakte ist jedoch erfindungsgemäß
30 derart modifiziert, daß die durchschnittliche Anzahl der Substratkontakte pro Flächeneinheit und/oder die durchschnittliche Substratkontaktfläche pro Flächeneinheit innerhalb des mindestens einen NMOS-Bereiches wesentlich geringer ist als innerhalb des mindestens einen PMOS-Bereiches.

35 Eine mögliche Ausführungsform der erfindungsgemäßen Maßnahme besteht darin, daß, wie in der Figur 1 gezeigt ist, der min-

destens eine PMOS-Bereich 3 in bekannter Art und Weise wie eingangs beschrieben mit Substratkontakten versehen ist, während der NMOS-Bereich 2 nur am Rand mit Substratkontakten versehen ist.

5

Es hat sich herausgestellt, daß entgegen der bisherigen Auffassung der Fachwelt bei Vorsehen ausreichend vieler und/oder großer Substratkontakte im PMOS-Bereich auf die Substratkontakte innerhalb des NMOS-Bereiches ganz oder wenigstens weitestgehend verzichtet werden kann, ohne nennenswerte Einbußen bei der latch-up-Festigkeit in Kauf nehmen zu müssen.

Gemäß der Figur 1 sind in dem dort gezeigten NMOS-Bereich 2 nur wenige Substratkontakte vorgesehen, wohingegen der PMOS-Bereich 3 Substratkontakte 34 in der bekannten Dichte und Größe, d.h. mit einem gegenseitigen Abstand von beispielsweise ca. 50 μm aufweist; die Verringerung der bisher üblicherweise vorgesehenen Substratkontaktanzahl und/oder Substratkontaktfläche (Summe der Flächen der einzelnen Substratkontakte) im NMOS-Bereich macht es nicht erforderlich, gleichzeitig die Substratkontaktanzahl und/oder die Substratkontaktfläche innerhalb des PMOS-Bereiches zu erhöhen.

Das Vorsehen von Substratkontakten an der Bereichsgrenze führt weitgehend unabhängig von der vorgesehenen Anzahl und/oder der belegten Fläche allenfalls zu einer geringfügig verringerten Verkleinerbarkeit der CMOS-Anordnung, weil die in dem in Rede stehenden NMOS-Bereich realisierten elektronischen Bauelemente aus Gründen der Sicherheit und Zuverlässigkeit ohnehin nicht beliebig nahe an die Bereichsgrenze gesetzt werden können.

Unabhängig von der gewählten Realisierungsform der erfindungsgemäßen Maßnahme kann infolge der absoluten Einsparbarkeit von Substratkontakten bzw. der belegten Substratkontaktfläche eine höhere Packungsdichte der elektrischen Bauele-

mente innerhalb des NMOS-Bereiches vorgesehen werden, was zu einer erheblichen Flächenreduzierung der Anordnung führt. Bei Versuchsanordnungen mit ausgewählten reinen NMOS-Gebieten, z.B. ROMs betrug die Flächenreduzierung mehrere zehn Prozent.

5

Abgesehen davon ermöglicht das Vorsehen der erfindungsgemäßen Maßnahme auch eine einfachere und billigere Herstellung von CMOS-Anordnungen (weniger Einschränkungen beim Layout, geringere Anzahl von zu verbindenden bzw. zu kontaktierenden Kontaktstellen, geringerer Materialverbrauch).

10

Patentansprüche

1. CMOS-Anordnung, welche mindestens einen NMOS-Bereich (2) und mindestens einen PMOS-Bereich (3) aufweist, und welche an
5 ihrer Oberfläche mit Substratkontakten (24, 34) versehen ist, über welche jeweilige Substratabschnitte (1, 30) der CMOS-Anordnung mit vorbestimmten Spannungswerten beaufschlagbar sind,

d a d u r c h g e k e n n z e i c h n e t ,

10 daß die durchschnittliche Anzahl der Substratkontakte (24, 34) pro Flächeneinheit und/oder die durchschnittliche Substratkontaktfläche pro Flächeneinheit innerhalb des mindestens einen NMOS-Bereiches (2) wesentlich geringer ist als innerhalb des mindestens einen PMOS-Bereiches (3).

15

2. CMOS-Anordnung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

daß der mindestens eine NMOS-Bereich (2) im wesentlichen frei von Substratkontakten (24, 34) ist.

20

3. CMOS-Anordnung nach Anspruch 1 oder 2,

d a d u r c h g e k e n n z e i c h n e t ,

daß die Anzahl der Substratkontakte (24, 34) pro Flächeneinheit in dem mindestens einen NMOS-Bereich (2) an der Be-
25 reichsgrenze höher ist als im Bereichszentrum.

1/2

FIG 1

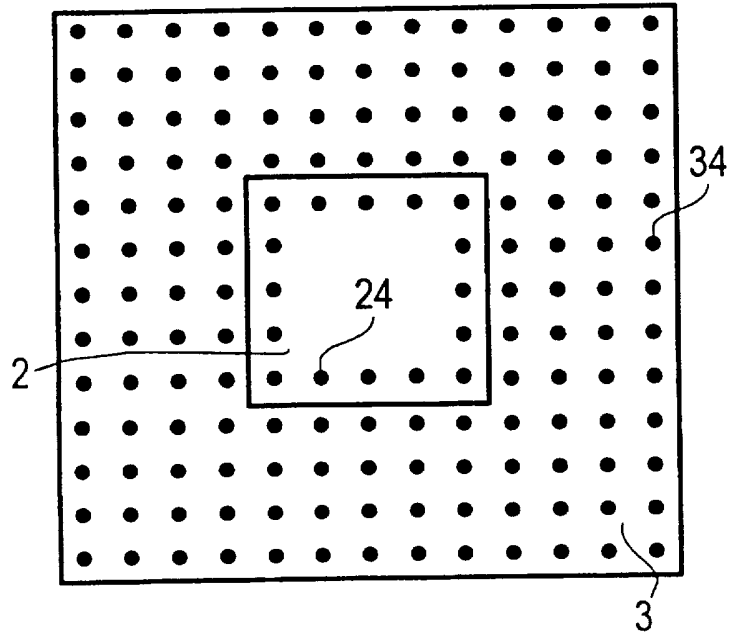


FIG 3

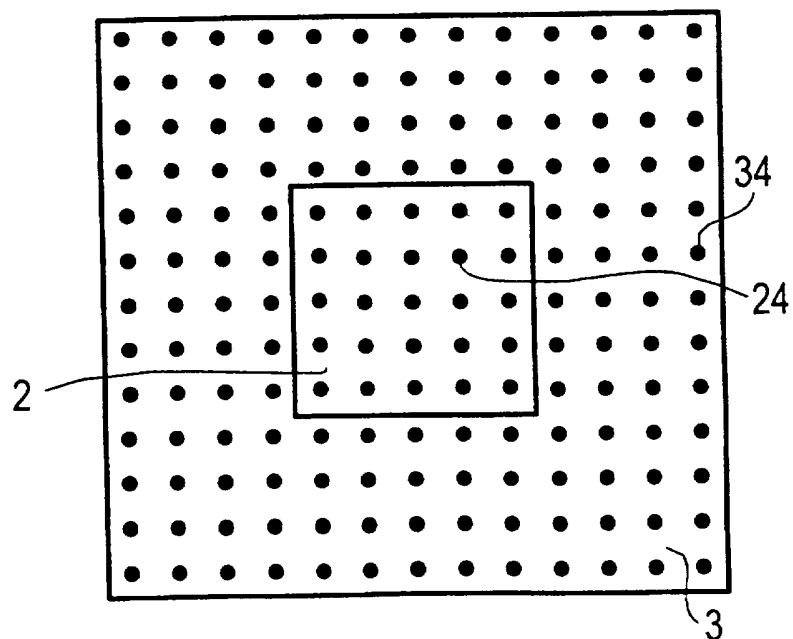


FIG 2

