

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和7年3月27日(2025.3.27)

【国際公開番号】WO2024/150368

【出願番号】特願2024-569941(P2024-569941)

【国際特許分類】

H 1 0 D 3 0 / 6 6 ( 2 0 2 5 . 0 1 )

H 1 0 D 1 2 / 0 0 ( 2 0 2 5 . 0 1 )

H 1 0 D 3 0 / 0 1 ( 2 0 2 5 . 0 1 )

H 1 0 D 6 2 / 1 0 ( 2 0 2 5 . 0 1 )

10

【 F I 】

H 1 0 D 3 0 / 6 6 2 0 1 C

H 1 0 D 1 2 / 0 0 1 0 1 A

H 1 0 D 3 0 / 6 6 1 0 2 G

H 1 0 D 3 0 / 6 6 1 0 3 Q

H 1 0 D 3 0 / 6 6 2 0 1 A

H 1 0 D 3 0 / 0 1 3 0 1 G

H 1 0 D 3 0 / 6 6 1 0 3 B

H 1 0 D 3 0 / 6 6 1 0 1 H

H 1 0 D 6 2 / 1 0 1 0 1 V

H 1 0 D 6 2 / 1 0 1 0 1 M

H 1 0 D 6 2 / 1 0 1 0 1 G

H 1 0 D 6 2 / 1 0 1 0 1 R

H 1 0 D 3 0 / 6 6 1 0 1 F

H 1 0 D 3 0 / 6 6 1 0 3 S

20

【手続補正書】

【提出日】令和7年1月17日(2025.1.17)

【手続補正1】

30

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の導電型のドリフト層と、

前記ドリフト層の表層に設けられる第2の導電型のベース領域と、

前記ベース領域の表層に複数設けられる第1の導電型のソース領域と、

前記ドリフト層の上面から前記ベース領域を介して前記ドリフト層内まで達する少なくとも1つのトレンチと、

40

前記トレンチの下方の前記ドリフト層内に設けられる第2の導電型の保護層と、

前記トレンチの上側角部を含む前記トレンチの内部に沿って設けられるゲート絶縁膜と

、  
前記ゲート絶縁膜に囲まれて少なくとも前記トレンチ内に設けられるゲート電極と、

前記トレンチに隣接する前記ソース領域に電氣的に接続されるソース電極と、

前記トレンチ内に設けられる前記ゲート電極の上面に設けられるゲート配線とをさらに備え、

前記トレンチの平面視で区切られる領域のうち、前記ソース電極が設けられる領域を第1の領域とし、前記ゲート配線が設けられる領域を第2の領域とし、

50

前記第 2 の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径が、前記第 1 の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径よりも大きい、  
半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であり、  
前記ゲート配線が、前記ソース領域の上面に延びる前記ゲート電極の前記上面に設けられる、  
半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置であり、  
前記ゲート配線が、前記ソース領域の前記上面に延びる前記ゲート電極の前記上面に、複数のコンタクトホールを介して接続される、  
半導体装置。

10

【請求項 4】

請求項 1 または 2 に記載の半導体装置であり、  
前記第 1 の領域における前記トレンチに設けられる前記ゲート絶縁膜の厚さと、前記第 2 の領域における前記トレンチに設けられる前記ゲート絶縁膜の厚さとが等しい、  
半導体装置。

【請求項 5】

請求項 1 または 2 に記載の半導体装置であり、  
前記トレンチが複数設けられ、  
少なくとも 1 つの前記トレンチが、活性領域と前記活性領域を平面視で囲む終端領域とにそれぞれ設けられ、  
前記終端領域に設けられる前記トレンチ内に設けられる前記ゲート電極が、前記ソース電極および前記ゲート配線と電氣的に接続されない、  
半導体装置。

20

【請求項 6】

請求項 1 または 2 に記載の半導体装置であり、  
前記トレンチが複数設けられ、  
複数の前記トレンチが、平面視でストライプ状に並んで設けられ、  
前記ゲート配線が、複数の前記トレンチ内に設けられるそれぞれの前記ゲート電極の前記上面に渡って設けられる、  
半導体装置。

30

【請求項 7】

請求項 1 または 2 に記載の半導体装置であり、  
前記トレンチが複数設けられ、  
少なくとも 1 つの前記トレンチが、活性領域と前記活性領域を平面視で囲む終端領域とに互いに離間しつつそれぞれ設けられ、  
前記終端領域に設けられる前記トレンチの形成幅が、前記活性領域に設けられる前記トレンチの形成幅よりも広い、  
半導体装置。

40

【請求項 8】

請求項 1 または 2 に記載の半導体装置であり、  
前記トレンチが複数設けられ、  
少なくとも 1 つの前記トレンチが、平面視で終端領域に囲まれる活性領域に設けられ、  
前記活性領域と前記終端領域との境界部分における前記トレンチに設けられる前記ゲート絶縁膜の厚さが、前記境界部分以外の前記活性領域および前記終端領域における前記トレンチに設けられる前記ゲート絶縁膜の厚さよりも厚い、  
半導体装置。

50

## 【請求項 9】

請求項 1 または 2 に記載の半導体装置であり、  
前記トレンチが複数設けられ、  
少なくとも 1 つの前記トレンチが、平面視で終端領域に囲まれる活性領域に設けられ、  
前記活性領域と前記終端領域との境界部分における前記トレンチの下方に設けられる前記保護層の不純物濃度が、前記境界部分以外の前記活性領域および前記終端領域における前記トレンチの下方に設けられる前記保護層の不純物濃度よりも低い、  
半導体装置。

## 【請求項 10】

第 1 の導電型のドリフト層の表層に、第 2 の導電型のベース領域を設け、  
前記ベース領域の表層に、第 1 の導電型のソース領域を複数設け、  
前記ドリフト層の上面から前記ベース領域を介して前記ドリフト層内まで達する少なくとも 1 つのトレンチを設け、  
前記トレンチの下方の前記ドリフト層内に、第 2 の導電型の保護層を設け、  
前記トレンチの平面視で区切られる領域を、第 1 の領域および第 2 の領域とし、  
前記第 1 の領域および前記第 2 の領域において、前記トレンチの上側角部をエッチングし、  
前記第 2 の領域において、前記トレンチの前記上側角部をエッチングし、  
前記トレンチの前記上側角部を含む前記トレンチの内部に沿ってゲート絶縁膜を設け、  
前記ゲート絶縁膜に囲まれる前記トレンチ内に、ゲート電極を設け、  
前記第 1 の領域における前記トレンチに隣接する前記ソース領域に電氣的に接続されるように、ソース電極を設け、  
前記第 2 の領域における前記トレンチ内に設けられる前記ゲート電極の上面にゲート配線を設け、  
前記第 2 の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径が、前記第 1 の領域における前記トレンチの前記上側角部に設けられる前記ゲート絶縁膜の曲率半径よりも大きい、  
半導体装置の製造方法。

10

20

30

40

50