

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年8月24日(24.08.2023)



(10) 国際公開番号

WO 2023/157624 A1

- (51) 国際特許分類:  
H01L 23/12 (2006.01) H01L 25/07 (2006.01)  
H01L 23/14 (2006.01) H01L 25/065 (2023.01)  
H01L 23/32 (2006.01) H01L 25/18 (2023.01)  
H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2023/002842
- (22) 国際出願日: 2023年1月30日(30.01.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-021044 2022年2月15日(15.02.2022) JP  
特願 2022-188815 2022年11月28日(28.11.2022) JP
- (71) 出願人: 凸版印刷株式会社 (TOPPAN INC.)  
[JP/JP]; 〒1100016 東京都台東区台東一丁目5番1号 Tokyo (JP).
- (72) 発明者: ▲高 ▼城 総夫 (TAKAGI, Fusao);  
〒1100016 東京都台東区台東一丁目5番1号  
凸版印刷株式会社内 Tokyo (JP). 小杉 正博

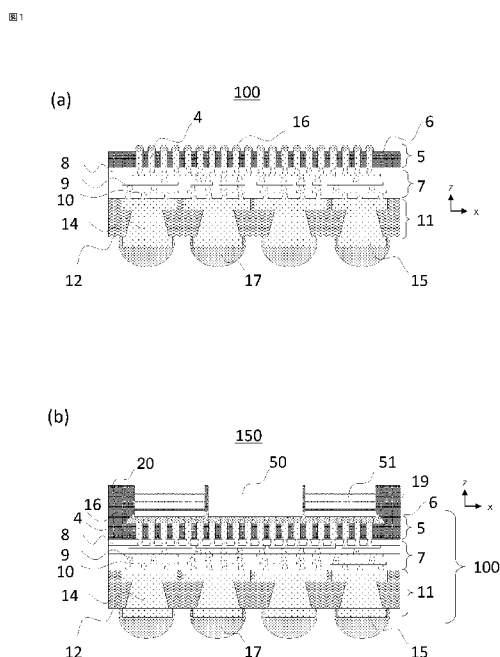
(KOSUGI, Masahiro); 〒1100016 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 藤田 貴志 (FUJITA, Takashi); 〒1100016 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP). 木内 脩治 (KIUCHI, Shuji); 〒1100016 東京都台東区台東一丁目5番1号 凸版印刷株式会社内 Tokyo (JP).

(74) 代理人: 弁理士法人第一国際特許事務所 (DAI-ICHI INTERNATIONAL PATENT OFFICE, P.C.); 〒1010041 東京都千代田区神田須田町二丁目8番地2 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

(54) Title: INTERPOSER, SEMICONDUCTOR PACKAGE, AND METHODS FOR MANUFACTURING SAME

(54) 発明の名称: インターポーザ、半導体パッケージ及びそれらの製造方法



(57) Abstract: The purpose of the present invention is to provide a system in package (SiP) in which the quality of an interposer can be checked before a semiconductor device is mounted thereon, and that has high yield. Accordingly, provided is an interposer comprising: an inner-layer structure which includes at least one inner-layer wiring layer; a first outer-layer structure which is disposed on a first surface of the inner-layer structure and has higher stiffness than the inner-layer structure; and a second outer-layer structure which is disposed on a second surface of the inner-layer structure and has higher stiffness than the inner-layer structure. The inner-layer wiring layer comprises a wire disposed on a surface of a first insulating resin layer and a conductive member which connects to the wire and penetrates through the first insulating resin layer. The first outer-layer structure and the second outer-layer structure each comprises a second insulating resin layer and a conductive member penetrating through the second insulating resin. A terminal that can be connected to a semiconductor device and allows for electric testing is formed on a surface of the first outer-layer structure and/or the second outer-layer structure on the opposite side to the surface thereof connected to the inner-layer structure.



WO 2023/157624 A1

PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,  
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,  
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 本発明は、半導体装置を搭載する前にインターポーザ自体の良否チェックを可能とし、歩留まりの高いSiPを提供することを目的とする。このため、少なくとも1層の内層配線層を含む内層構造体と、前記内層構造体の第1面上に配置され、前記内層構造体よりも剛性の高い第1外層構造体と、前記内層構造体の第2面上に配置され、前記内層構造体よりも剛性の高い第2外層構造体を備えるインターポーザにおいて、前記内層配線層は、第1絶縁樹脂層の表面に配置された配線及び前記配線に接続し、前記第1絶縁樹脂層を貫通する導電部材を備えており、前記第1外層構造体及び前記第2外層構造体は、第2絶縁樹脂層と前記第2絶縁樹脂を貫通する導電部材を備えており、前記第1外層構造体及び/または前記第2外層構造体の前記内層構造体に接続されている面と反対側の面に、半導体装置と接続可能であり、かつ、電気検査が可能な端子が形成されている。

## 明 細 書

発明の名称：

インターポーザ、半導体パッケージ及びそれらの製造方法

技術分野

[0001] 本発明は半導体装置を実装するためのインターポーザ、インターポーザに半導体装置を実装した半導体パッケージ及びそれらの製造方法に関する。

背景技術

[0002] 近年では、複数個の異種半導体装置（半導体チップ）をインターポーザ上に搭載し、一つの高機能半導体パッケージとする、SiP（System In Package）が実用化されている。この手法によればプロセスコストを増大させることなく、高機能化された一つの半導体装置である「半導体パッケージ」を得ることができる。

[0003] また、上記のSiPに搭載される半導体装置としては、積層DRAMであるHBM（High Bandwidth Memory）が多く用いられる傾向にある。HBMは、一般的に接続端子のピッチは $55\mu\text{m}$ 程度の狭ピッチであり、インターポーザにも同程度の接続端子を形成する必要がある。

[0004] また、上記のようなインターポーザは、FC-BGAに接続されることとなるが、FC-BGAのCTE（Coefficient of Thermal Expansion）は $18\text{ppm}/^\circ\text{C}$ 程度であり、半導体チップのCTE $3\text{ppm}/^\circ\text{C}$ と比較すると高い。このため、インターポーザには、半導体チップとFC-BGAの間のCTEのミスマッチを緩和する機能を有することが求められる。

さらに、半導体パッケージとしての組み立ての利便性のためには、半導体装置をインターポーザに実装した後に、これをFC-BGAに実装できることが望ましい。このため、インターポーザはFC-BGAと別個に自立する単体として存在できる必要がある。

[0005] 特許文献1においては、インターポーザの反りを抑制するために、半導体

パッケージ（１）の製造方法として、板状の第１補強部材（５Ａ）と、第１導体パターン配線基板用積層体（２Ａ）と、第２導体パターン（２２４）上に配置された板状の第２補強部材（４Ａ）とを有する積層体（２０）を用意する工程と、積層体（２０）を加熱して前記絶縁層を熱硬化する工程と、第１補強部材（５Ａ）の一部を選択的に除去して、第１導体パターン（２２４）を露出させるための開口部を形成する工程と、第２補強部材（４Ａ）の一部を選択的に除去して第２導体パターン（２２１）を露出させるための開口部４１を形成する工程と第２補強部材（４Ａ）の開口部から露出する第２導体パターン（２２１）に、半導体素子（３）を接続する工程とを含む技術を開示している。

## 先行技術文献

## 特許文献

[0006] 特許文献１：WO 2013-065287

## 発明の概要

### 発明が解決しようとする課題

[0007] しかし、特許文献１として示すインターポーザは、繊維基材に樹脂組成物を含浸させた構造であるため、形成できるビアの口径は直径 $50\mu\text{m}$ が限界となる。また、ビアとビアとのピッチについても $130\mu\text{m}$ が限界となり、積層DRAMであるHBMを搭載することが難しい。

[0008] さらに、ファンナウトパッケージやシリコンインターポーザ等の従来のインターポーザ及びこれらを用いた半導体パッケージにおいては、インターポーザ自体を検査した後に半導体装置を実装する工程を経ることが想定されていない。

このため、従来の製造方法では、インターポーザ自体が検査保証されていない状況で、複数個のチップをインターポーザに実装することになる。

その結果、半導体パッケージの歩留まりは、インターポーザの製造不良とチップ実装不良の合算であり、夫々切り分けることができない。

[0009] 具体的には、S i Pの製造歩留まりは、簡易的に以下の試算式（1）によって記述できる。

「インターポーザ歩留まり」（ $Y_{INTERPOSER}$ ）：（0～1の値）

半導体チップの実装の相乗平均歩留まり（「実装歩留まり」（ $Y_{ASSEMBRY}$ ）：（0～1の値）

S i Pへの半導体装置の搭載個数：N（1以上の整数）

S i Pの製造歩留まり（ $Y_{TOTAL}$ ）：（0～1の値）

とすると、S i Pの製造歩留まりは以下のとおりとなる。

$$(Y_{TOTAL}) = (Y_{INTERPOSER}) \times (Y_{ASSEMBRY})^N \dots\dots (1)$$

[0010] 式（1）に記載の通り、S i Pの製造歩留まりはインターポーザ収率と、チップ実装の相乗平均歩留まりのチップ数の累乗となる。

ここで、「インターポーザ歩留まり」（ $Y_{INTERPOSER}$ ）及び「実装歩留まり」（ $Y_{ASSEMBRY}$ ）がともに90%であり、7個のチップを搭載するS i Pの場合

$$(Y_{INTERPOSER}) = (Y_{ASSEMBRY}) = 90\%, \quad N = 7 \dots\dots (2)$$

$$(Y_{TOTAL}) = 0.9^7 = 47.8\% \dots\dots (3)$$

となり、各プロセス歩留まりが90%としても、S i P全体の製造歩留は極めて低くなる問題を生じる。

[0011] 複数の半導体装置を実装して1つの半導体パッケージを構成するS i Pでは、個々の半導体装置が検査良品であったとしても、インターポーザの製造不良、実装不良が1か所でもある場合、S i P全体（複数個半導体装置全部）の廃棄に繋がる。この結果、搭載チップ数が増大すると、S i P製造歩留まりは指数関数的に低下し、かつ廃棄される良品チップ数も増大する問題がある。

[0012] さらに、従来の製造方法では、搭載半導体装置全面をモールド樹脂で固めるため、製造不良の存在する個々の半導体装置をリペアのために交換等を行うことは不可能となる問題がある。

[0013] そこで、本発明では、60μm以下の狭ピッチの半導体装置の接続用端子が形成可能であって、半導体装置の実装前にインターポーザ自体を電気検査

可能なインターポーザを提供することを目的とする。

### 課題を解決するための手段

- [0014] 上記の課題を解決するため、代表的な本発明のインターポーザの一つは、少なくとも1層の内層配線層を含む内層構造体と、前記内層構造体の第1主面上に配置され、前記内層構造体よりも剛性の高い第1外層構造体と、前記内層構造体の第2主面上に配置され、前記内層構造体よりも剛性の高い第2外層構造体を備えるインターポーザにおいて、前記内層配線層は、第1絶縁樹脂層の表面に配置された配線及び前記配線に接続し、前記第1絶縁樹脂層を貫通する導電部材を備えており、前記第1外層構造体及び前記第2外層構造体は、第2絶縁樹脂層と前記第2絶縁樹脂を貫通する導電部材を備えており、前記第1外層構造体及び／または前記第2外層構造体は、前記内層構造体に接続されている面と反対側の面において、半導体装置と接続可能であり、かつ、電気検査が可能な端子を備えている。

### 発明の効果

- [0015] 本発明によれば、60 $\mu$ m以下の狭ピッチの半導体装置の接続用端子が形成可能であって、半導体装置の実装前にインターポーザ自体を電気検査可能なインターポーザを提供することができる。

上記した以外の課題、構成および効果は、以下の実施をするための形態における説明により明らかにされる。

### 図面の簡単な説明

- [0016] [図1]図1は、第1実施形態のインターポーザ及び半導体パッケージの断面図である。
- [図2]図2は、全体CTEと外層配線層のCTEの関係を示す図である。
- [図3]図3は、製造不良率と厚みの関係を示す図である。
- [図4]図4は、第1実施形態のインターポーザの変形例を示す概略図である。
- [図5]図5は、第1実施形態のインターポーザの変形例を示す概略図である。

[図6]図6は、第1実施形態のインターポーザの変形例を示す概略図である。

[図7]図7は、第1実施形態のインターポーザ及び半導体パッケージの製造工程を説明する図である。

[図8]図8は、第1実施形態のインターポーザ及び半導体パッケージの製造工程を説明する図である。

[図9]図9は、第1実施形態のインターポーザ及び半導体パッケージの製造工程を説明する図である。

[図10]図10は、第1実施形態のインターポーザ及び半導体パッケージの製造工程を説明する図である。

[図11]図11は、第1実施形態の変形例のインターポーザの製造工程を説明する図である。

[図12]図12は、第1実施形態の半導体パッケージの製造工程を説明する図である。

[図13]図13は、第1実施形態の半導体パッケージの製造工程を説明する図である。

[図14]図14は、第2実施形態のインターポーザを示す概略図である。

[図15]図15は、第2実施形態のインターポーザの製造方法を説明する図である。

[図16]図16は、第3実施形態のインターポーザ及び半導体パッケージを示す概略図である。

[図17]図17は、第3実施形態のインターポーザの製造方法を説明する図である。

[図18]図18は、第3実施形態のインターポーザの製造方法を説明する図である。

[図19]図19は、第4実施形態のインターポーザ及び半導体パッケージを示す概略図である。

[図20]図20は、第4実施形態のインターポーザ及び半導体パッケージの製造方法を説明する図である。

[図21]図 2 1 は、第 4 実施形態の半導体パッケージの製造方法を説明する図である。

[図22]図 2 2 は、4 点曲げ試験の概略を説明する図である。

[図23]図 2 3 は、4 点曲げ試験のたわみ速度の規格値を示す表である。

[図24]図 2 4 は、インターポーザの厚さと、4 点曲げ試験の荷重とたわみ量の比の関係を示す図である。

[図25]図 2 5 は、第 5 実施形態のインターポーザ及び半導体パッケージを示す概略図である。

[図26]図 2 6 は、第 5 実施形態のインターポーザ及び半導体パッケージの製造方法を説明する図である。

[図27]図 2 7 は、第 5 実施形態の変形例 1 のインターポーザ及び半導体パッケージの製造方法を説明する図である。

[図28]図 2 8 は、第 5 実施形態の変形例 2 のインターポーザ及び半導体パッケージの製造方法を説明する図である。

### 発明を実施するための形態

[0017] 以下、図面を参照して、本発明の実施形態について説明する。なお、この実施形態により本発明が限定されるものではない。また、図面の記載において、同一部分には同一の符号を付して示している。第 1 および第 2 の呼称は特に順序や構成を限定するものではなく、説明便宜上規定するものである。

[0018] 図面において示す各構成要素の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面に開示された位置、大きさ、形状、範囲などに限定されない。

[0019] なお、本開示において、「面」とは、板状部材の面のみならず、板状部材に含まれる層について、板状部材の面と略平行な層の界面も指すことがある。また、「上面」、「下面」とは、板状部材や板状部材に含まれる層を図示した場合の、図面上の上方又は下方に示される面を意味する。なお、「上面」、「下面」については、「第 1 面」、「第 2 面」と称することもある。

[0020] また、「側面」とは、板状部材や板状部材に含まれる層における面や層の厚みの部分を意味する。さらに、面の一部及び側面を合わせて「端部」ということがある。

また、「上方」とは、板状部材又は層を水平に載置した場合の垂直上方の方向を意味する。さらに、「上方」及びこれと反対の「下方」については、これらを「Z軸プラス方向」、「Z軸マイナス方向」ということがあり、水平方向については、「X軸方向」、「Y軸方向」ということがある。

[0021] また、「平面形状」、「平面視」とは、上方から面又は層を視認した場合の形状を意味する。さらに、「断面形状」、「断面視」とは、板状部材又は層を特定の方向で切断した場合の水平方向から視認した場合の形状を意味する。

さらに、「中心部」とは、面又は層の周辺部ではない中心部を意味する。そして、「中心方向」とは、面又は層の周辺部から面又は層の平面形状における中心に向かう方向を意味する。

[0022] (第1実施形態)

<インターポーザの構造>

図1(a)は本発明における第1実施形態のインターポーザ100の断面模式図の例である。図1(b)は第1実施形態のインターポーザ100に、半導体装置50および51を搭載した半導体パッケージ150の断面模式図である。

なお、本開示では、インターポーザ100の上下の面について、半導体装置50および51が搭載される側を「第1面側」と称し、インターポーザ100がマザーボードあるいはFC-BGAへの接続する側を「第2面側」と称する。

[0023] 本実施形態ではまた、第2外層構造体11の第2面側に第2接続端子17が配置されている。第2接続端子17はFC-BGA基板あるいはマザーボードへの接続端子となる。

図1(a)におけるインターポーザ100は、主に、第1外層構造体5、

内層構造体 7、第 2 外層構造体 11 から構成される。

第 1 外層構造体 5 は、内層構造体 7 の上方、つまり Z 軸プラス方向に配置されている。また、第 1 外層構造体 5 は第 2 絶縁樹脂層 6 で形成されており、第 2 絶縁樹脂層 6 には、Z 軸方向に第 2 絶縁樹脂層 6 を貫通する導電部材 4 が形成されている。第 2 絶縁樹脂層 6 を貫通する導電部材 4 は、第 1 外層構造体 5 の外部接続端子のパッドとして機能することができる。

また、第 1 外層構造体 5 の第 1 面側に第 1 接続端子 16 が配置されている。

[0024] 内層構造体 7 は、第 1 外層構造体 5 及び第 2 外層構造体 11 との間に配置されている。

内層構造体 7 は、少なくとも 1 層の内層配線層を備えており、内層配線層は、第 1 絶縁樹脂層 8、第 1 絶縁樹脂層の表面に配置された配線 10、及び、前記配線 10 に接続し、第 1 絶縁樹脂層を Z 軸方向に貫通する導電部材を備えている。また、第 1 絶縁樹脂層を貫通する導電部材は、内層配線層のビア 9 として機能することができる。

また、第 1 外層構造体 5 の第 1 面側には、第 1 接続端子（半田）16 が配置されている。

[0025] 第 2 外層構造体 11 は、内層構造体 7 の下方、つまり Z 軸マイナス方向に配置されている。

また、第 2 外層構造体 11 は第 2 絶縁樹脂層 12 で形成されており、第 2 絶縁樹脂層 12 には、Z 軸方向に第 2 絶縁樹脂層 12 を貫通する導電部材が形成されている。第 2 絶縁樹脂層 12 を貫通する導電部材は、内層構造体 7 の最外層の配線層と接続するとともに、第 2 外層構造体 11 の外部接続端子のパッドとして機能することができる。

また、第 2 外層構造体 11 の第 2 面側には、外部接続端子のパッド 15 及び第 2 接続端子（半田）17 が配置されている。

[0026] なお、インターポーザ 100 の Z 軸方向の厚さは、内層構造体 7、第 1 外層構造体 5 および第 2 外層構造体 11 を含む総厚が 50  $\mu$ m 以上であること

が望ましい。

また、本実施形態におけるインターポーザ100の第1外層構造体5及び第2外層構造体11の厚みは、本実施形態で採用する厚みに限定されるものではないが、第1外層構造体5及び第2外層構造体11が内層構造体7に比較して物理的剛性が高い場合には、第1外層構造体5及び第2外層構造体11の厚みの和が内層構造体7よりも厚いことが望ましい。すなわち第1外層構造体5と第2外層構造体11は、インターポーザ100の総厚の半分以上あることが望ましい。

[0027] <半導体パッケージの構造>

図1(b)は、図1(a)で説明したインターポーザ100の第1面側に半導体装置50、51をアンダーフィル19及びモールド樹脂20によって固定した半導体パッケージ150である。

[0028] なお、第1接続端子16、および第2接続端子17は半田であるが、本発明により半田種類や半田組成は限定されず公知の導電材料を用いることができる。また、図1(a)、図1(b)における第1接続端子16は、第1外層構造体5の導電部材4の上方に面一に形成されているが、第1接続端子16と導電部材4の位置関係や形状はこれに限定されるものではない。

同様に、第2接続端子17は、第2外層構造体11のビア14上の外部端子のパッド15に整合して形成されているが、必ずしもこのような構造に限定されるものではない。

[0029] <第1絶縁樹脂層及び第2絶縁樹脂層>

図1(a)の実施形態におけるインターポーザ100は、複数の半導体装置を搭載するSiP用インターポーザとして適用する場合、配線ルールが少なくとも $L/S = 8/8 \mu\text{m}$ 以下の微細配線が必要となる。このため、内層構造体7を構成する第1絶縁樹脂層8の厚みは $25 \mu\text{m}$ 以下とすることが望ましい。

この結果、内層構造体7は、例え内層配線層が多層積層回路であっても、可撓性を有し、物理的剛性のない態様とならざるを得ない。

[0030] このため、本実施例においては、複数の半導体装置を搭載するS i P用インターポーザに求められる微細配線引き回しの構造を内層構造体7で形成している。その上で、内層構造体7の入出力端子の部分を、物理的剛性を第1外層構造体5及び第2外層構造体11で形成することとしている。入出力端子の部分は、内層構造体7における微細配線に比較して、配線ルールに余裕があるため、第1外層構造体5及び第2外層構造体11は剛性を有する材料を用いて形成することが可能となる。

このため、物理的剛性を有しない内層構造体7を、物理的剛性を備える第1外層構造体5及び第2外層構造体11によって挟み込むことにより、インターポーザ100を全体として剛性を備える装置に構成することが可能となる。つまり、回路の微細特性と物理的剛性の特性を内層構造体7と2つの外層構造体とで機能分割を図り、相反する特性を組み合わせることによって、両者の優れた特性を兼ね備えたインターポーザを実現したものである。

[0031] <外層構造体のCTEと弾性率>

第1外層構造体5および第2外層構造体11を構成する第2絶縁樹脂層にはフィラーを含有する非感光性絶縁樹脂から選択することが好ましい。また、第2絶縁樹脂層は、フィラーを含有する非感光性樹脂層であり、弾性率が5 G P a以上、線熱膨張係数CTEが20 p p m以下のプリプレグ、ビルトアップ樹脂、モールド樹脂から選択されることがさらに好ましい。

本実施形態における内層構造体7に適用可能な第1絶縁樹脂層は、感光性絶縁樹脂やビルトアップ樹脂であり、一般的な材料物性はCTEが20 p p m $\sim$ 80 p p m/°C、弾性率は1.5から10 G P a以下の範囲の低弾性かつ高CTE材料である。

このため、上記の材料だけから形成されたインターポーザであると、F C - B G AのCTE18 p p m/°CよりもCTEが低く、半導体装置の低CTEとの緩衝機能を果たすインターポーザの実現は困難である。

本実施形態では、この点においても、第1外層構造体5及び第2外層構造体11に用いる第2絶縁樹脂層について、CTEが20 p p m/°C以下であ

って、かつ、5 G P a以上の高弾性率を有するモールド樹脂やプリプレグ、ビルトアップ樹脂から選択することで、インターポーザ全体のC T EをF C - B G AのC T Eである15 ~ 30 p p m / ° C以下にすることが可能となる。

[0032] 第1外層構造体5及び第2外層構造体11に用いる第2絶縁樹脂層のC T Eを20 p p m / ° C以下とした場合には、以下に説明する様に、インターポーザ100全体のC T Eを低減できる効果を奏する。

図2に本発明における総厚50 μ mのインターポーザ全体のC T Eと第1外層構造体及び第2外層構造体の使用材料のC T Eおよび弾性率の関係のシミュレーション結果を記載する。Y軸にインターポーザ全体のC T E、X第一および第二外層配線層のC T Eを記載する。シミュレーション条件は下記である。尚、第一外層配線層及び第二外層配線層のC T Eと弾性率は同値の因子として計算した。

[0033] ・ 第一外層構造体

厚み：20 μ m、銅配線の体積比率10%固定 C T E、弾性率は因子

・ 第二外層構造体

厚み：20 μ m、銅配線の体積比率30%固定 C T E、弾性率は因子

・ 内層構造体

厚み：10 μ m、C T E：65 p p m / ° C、弾性率2 G P a、銅配線厚2 μ m、銅配線体積比率85%

インターポーザ総厚50 μ m

参考値：F C - B G A基板全体のC T Eは18 p p m / ° C グラフ中一点鎖線。

[0034] このような条件下でシミュレーションを行った結果は、図2のグラフに示すとおりである。すなわち、図2から明らかなように、第1外層構造体5及び第2外層構造体11のC T Eが20 p p m / ° C以下のものを使用することで、インターポーザ100全体のC T Eは従来技術のF C - B G A基板よりも低く出来ることがわかる。

第1外層構造体5及び第2外層構造体11で高弾性材料を用いる程、インターポーザ全体のCTE低減効果が大きいこともわかる。

これらのことから、第1外層構造体5及び第2外層構造体11の弾性率が5GPa以上あれば効果的にインターポーザ全体のCTEを低減できることが判明し、CTEは20ppm/°C以下、弾性率は5GPa以上から選択されることが望ましい。

[0035] <外層構造体の構成・残銅率>

図1(a)に示した実施形態のインターポーザ100の第1外層構造体5および第2外層構造体11の導電部材4及びビア14、パッド15は、第1接続端子16および第2接続端子17と内層構造体7の配線を電氣的に接続する機能を有する。このため、第1外層構造体5および第2外層構造体11においては、基本的にZ方向の接続経路で形成されている。

一方、内層構造体7においては、微細化に適した配線を用いてZ軸方向及びZ軸に直行する方向、すなわち、水平方向の配線引き回しを実現している。

本実施形態におけるインターポーザに用いられる導電部材としては基本的に銅が用いられるが、銅のCTEは16ppm/°Cと比較的高いので第1外層構造体5及び第2外層構造体11において、銅体積率が高いと、インターポーザ100全体のCTEを低くすることが困難となる。

このため、第1外層構造体5及び第2外層構造体11における残銅率は80%以下であることが望ましい。より望ましくは50%以下であることが望ましい。さらに望ましくは30%以下であることが望ましい。

[0036] <インターポーザの剛性評価方法>

次に、図22、図23を参照してインターポーザ100の剛性評価方法について説明する。

図22は、4点曲げ試験の概略を説明する図である。

また、図23は、4点曲げ試験の試験速度の規格値を示す表である。

インターポーザ100は、インターポーザ100を加工した試験片101

を曲げ試験で試験した場合の荷重とたわみ量で剛性を評価する。

[0037] 曲げ試験には3点曲げ試験と4点曲げ試験があるが、本実施形態では4点曲げ試験を採用する。

3点曲げ試験の場合、試験片に加わる曲げの力が一様とならず、試験片101の曲げの内側と外側で屈曲・伸張となる。このため、インターポーザ100のような複数層で構成される積層体では、厚み方向の各材料の配置によって得られる結果が異なる虞がある。

一方、4点曲げ試験の場合、試験片101に加わる曲げの力が一様となり、精度の高い測定が可能となる。

[0038] インターポーザ100を評価する4点曲げ試験の、試験条件は以下の通りである。

- ・試験片101の寸法：縦80mm×横15mm×高さh（インターポーザ100の厚み）mm
- ・支点間距離L：66mm
- ・圧子半径r1：2mm
- ・圧子間距離L'：22mm
- ・支持体半径r2：2mm
- ・たわみ速度V：以下の式1により算出

[0039] インターポーザ100が、試験片とするための特定の寸法の形状でない場合には、まず、インターポーザ100を試験片としての特定の大きさ（縦80mm×横15mm×高さhmm）に加工する。

インターポーザ100が、試験条件で指定された特定の寸法ならばそのまま試験片101として使用してもよい。

[0040] 4点曲げ試験で使用する試験装置は、試験条件で指定された支点間距離L、圧子半径r1、圧子間距離L'、支持体半径r2、図23に記載された試験速度を満たすものを使用する。

4点曲げ試験で使用する試験装置は、ISO 5893を満たす、2本の円柱状の支持体61と2本の円柱状の圧子60を備える。

[0041] 試験速度Vは、式（5）より算出する。

[数1]

$$V = \frac{\epsilon'_f \times L^2}{4.7 \times h} \dots \dots \dots (5)$$

$\epsilon'_f$  : ひずみ速度 [1/min]

ここで、本発明では、ひずみ速度は、0.01[1/min]（1%/min）を選択する。

[0042] 4点曲げ試験では、試験片101の縦横の面に圧子で荷重Fをかけるために、圧子60にそれぞれF/2の荷重をかける。

ここで、荷重Fは、試験片101のたわみ速度が試験速度Vとなるような荷重である。

4点曲げ試験で得た場合の荷重Fとたわみ量から、荷重Fとたわみ量の比を算出する。

この時に得られる圧子の荷重Fとたわみ量の比からインターポーザの剛性を評価できる。

[0043] <外層構造体の効果：クラック抑制>

一般的に、内層構造体7には、温度変化などに起因してクラックが発生し、配線層の断線に繋がる不具合が発生することが懸念される。この点、本実施形態のインターポーザ100では、内層構造体7の両全面にわたり、第1外層構造体5及び第2外層構造体11を形成することにより、微細な配線構造を有する内層構造体7の信頼性を高めることができる。

なお、第1外層構造体5及び第2外層構造体11が、内層構造体7の上面及び下面に部分的にしか形成されない場合には、内層構造体7に変形や応力集中によるクラックが発生することが判明している。

このため、第1外層構造体5及び第2外層構造体11は、内層構造体7の両面の全面に形成する必要がある。

なお、本実施例においては、第1外層構造体5及び第2外層構造体11の物性および特定の使用材料は特に規定しないが、第1外層構造体5及び第2外層構造体11のCTEは近いことが好ましい。

[0044] <外層構造体の効果：検査>

電気検査装置においては、プローブ荷重は0.05Nであり、プローブの最大たわみ量は0.4mmであるから、この比をとって、電気検査における圧子の荷重/たわみ量の比の閾値を0.125N/mmとし、試験片がこれ以上の値を示す場合には、十分な剛性を有していると判断することができる。本実施形態においては、インターポーザ100の4点曲げ試験における圧子の荷重/たわみ量の比を0.125N/mm以上とすれば、インターポーザ100について、電気検査を良好に実施することができる。つまり、電気検査に用いるプローブと呼ばれる針状の電極を、インターポーザ100の最外層に露出する電極にコンタクトさせ、プローブと電極の十分な電氣的接触を得ることが可能となる。

例えば、試験片101の厚みhが、300 $\mu$ mである場合、試験速度Vは、30mm/secである。このとき、荷重Fが5.7Nを示す場合、たわみ量は7mmであり、圧子の荷重/たわみ量の比は、0.814N/mmであり、当該要件を満たすこととなる。

[0045] 図24は、Y軸：インターポーザの4点曲げ試験による圧子の荷重/たわみ量の比と、X軸：インターポーザの厚みとした場合の両者の関係を実線で示した図の一例である。

図24は、電気検査におけるプローブの荷重/たわみ量の比の閾値である0.125N/mmを破線で併記している。

インターポーザ100の4点曲げ試験による圧子の荷重/たわみ量の比をこの0.125N/mm以上とすることで、プローブのたわみ量がプローブのたわみによるインターポーザの変形量を上回ることができるのであるから、この条件を満たすことにより、プローブと電極の十分な電氣的接触を得ることができ、より信頼性の高い電気検査を行うことができる。

[0046] <内層構造体の構成>

図1(a)及び図1(b)に記載の内層構造体7は、第1絶縁樹脂層8、配線10、第1絶縁樹脂層8を貫通する内層配線層のビア9から構成される

。本実施形態における内層配線層の構成要素の厚み、層数、配線層パターン、ビア形状、ビアのテーパの向き、ビア数等は本実施形態により限定されない。

内層構造体7は内層配線層が単層であっても複数層形成されていてもよく、本実施形態により層数および厚みが限定されるものではないが、本実施形態によりインターポーザ100においては、SiPへの適用を想定する場合、内層配線層は複数層形成されていることが好ましい。

[0047] <内層配線層の配線ルール>

図1(a)に示した内層構造体7の内層配線層における配線10の配線設計ルールは、チップ間微細接続に適用可能な配線設計ルールであることが望ましい。好ましくは $L/S = 15/15 \mu\text{m}$ 以下であることが望ましい、より好ましくは $10/10 \mu\text{m}$ 以下であることが望ましい。さらに好ましくは $L/S = 8/8 \mu\text{m}$ 以下であることが望ましい。 $L/S$ が $15 \mu\text{m}$ 以上である場合、従来技術のFC-BGAの配線ルールと同等となり、HBM等の実装には適さない。

[0048] <外層構造体の絶縁樹脂：非感光性樹脂>

図1(a)の第1外層構造体5及び第2外層構造体11の構成要素である第2絶縁樹脂層12は、非感光性絶縁樹脂であれば、エポキシ-フェノール樹脂、エポキシ-フェノールエステル樹脂、エポキシ-シアネート樹脂、シアネート樹脂、ベンゾシクロブテン、ポリイミド、ポリベンゾオキサゾール等から選択できる。さらにフィラーやガラスクロスを含有していてもよい。

[0049] <内層構造体の絶縁樹脂層：感光性樹脂>

図1(a)の内層構造体7の構成要素である第1絶縁樹脂層8の材料は、感光性絶縁樹脂であれば、ベンゾシクロブテン、ポリイミド、ポリベンゾオキサゾール、エポキシ樹脂、エポキシアクリレート、アクリレート等の公知技術を適用することができる。

例えば、第1絶縁樹脂層8は、少なくとも $L/S = 8/8 \mu\text{m}$ 以下微細配線形成が必要なことから、微細配線形成に有利な感光性絶縁樹脂であっても

よい。

[0050] <内層構造体の絶縁樹脂層：非感光性樹脂>

第1絶縁樹脂層8は、非感光性絶縁樹脂を用いてもよい。例えば、第1絶縁樹脂層8は、エポキシ-フェノール樹脂、エポキシ-フェノールエステル樹脂、エポキシ-シアネート樹脂、シアネート樹脂、ベンゾシクロブテン、ポリイミド、ポリベンゾオキサゾールを用いることができる。第1絶縁樹脂層8は、さらにフィラーやガラスクロスを含有していてもよい。これにより、第1絶縁樹脂層8は、インターポーザに高い剛性を付与できる。

[0051] <内層構造体の第1絶縁樹脂層：感光性樹脂のメリット>

第1絶縁樹脂層8が感光性絶縁樹脂である場合、直径20 $\mu\text{m}$ 以下の微小ビアの形成が $\pm 3\mu\text{m}$ 以下のフォトリソグラフィーの位置精度で形成することができる。このため、インターポーザに搭載する半導体装置の数を最大化することや、接続ビアの数についても最大化することが可能となる。

感光性絶縁樹脂であれば、ビア形成時間がビア数に依存せず、一括で形成することができる点で有利である。なお、非感光性絶縁樹脂を用いた場合、レーザー加工などによってビアを形成するが、位置精度が $\pm 10\mu\text{m}$ 程度となり、ビアの数が増加すると加工時間が長くなる。

[0052] <内層配線層の絶縁樹脂層の厚み>

第1絶縁樹脂層8の厚みは、25 $\mu\text{m}$ 以下とすることが望ましい。ここで言う第1絶縁樹脂層8の厚みは上下層の銅配線パターン間の樹脂厚を指す。第1絶縁樹脂層の厚みが25 $\mu\text{m}$ 以上であると、直径20 $\mu\text{m}$ 以下の小径ビアの形成が難しくなり、配線密度を上げることが困難となる。より好ましくは第1絶縁樹脂層の厚みは15 $\mu\text{m}$ 以下である。さらに好ましくは10 $\mu\text{m}$ 以下である。

なお、第1絶縁樹脂層8の厚みは、適用する配線ルールや回路のインピーダンス整合によって適宜調整することが可能である。

[0053] <内層配線層のビア径>

内層配線層のビア9の直径は、40 $\mu\text{m}$ 以下であることが望ましい。ここ

で言うビア9の直径は、最大直径部を指す。ビア9の直径は40 $\mu\text{m}$ 以上であると配線高密度化に支障を生じる。より好ましくは直径30 $\mu\text{m}$ 以下が望ましい。さらに好ましくは20 $\mu\text{m}$ 以下であることが配線高密度化に寄与できるので望ましい。

[0054] <内層配線層の配線層の厚み>

配線10の厚みは、15 $\mu\text{m}$ 以下であることが望ましい。より好ましくは10 $\mu\text{m}$ 以下であることが望ましい。さらに好ましくは8 $\mu\text{m}$ 以下であることが望ましい。15 $\mu\text{m}$ 以上である場合、使用するフォトレジストにもよるが、 $L/S = 15/15\mu\text{m}$ 以下の微細配線形成が困難となる。配線層の厚みは、適用する配線ルールや回路のインピーダンス整合によって適宜調整することが望ましい。

[0055] <内層配線層の配線層材料>

配線10の用いる材料は、銅、アルミニウム、ニッケル、銀、金、タングステン、鉄、ニオブ、タンタル、チタン、クロムからなる単体金属およびその合金あるいは添加元素を含んでいてもよい。またこれらの各種材料の層状構造としてもよい。あるいは、これらの材料を含む導電性ペースト、あるいはカーボン、導電性樹脂等であってもよい。

例えば、第1絶縁樹脂層8上にスパッタで金属層を形成する場合、チタン、クロム、ニッケル等を単一の層または合金層として形成した後に、銅を形成することが一般的に行われる。第1絶縁樹脂層8の上面に無電解銅めっきあるいは無電解ニッケルめっきによる層を形成することも好ましい。配線10は電解銅めっきであることが一般的で簡便かつ安価で望ましい。

[0056] <インターポーザの厚さ>

本実施形態におけるインターポーザ100の厚さは、少なくとも50 $\mu\text{m}$ 以上であることが望ましい。図3に示すように、厚さが50 $\mu\text{m}$ より薄い場合、インターポーザ100自体に十分な剛性が得られず、後の外部接続端子形成工程、電気検査工程、半導体装置組み立て工程で不良発生が極めて多くなる。

本発明によれば、半導体装置を搭載する前段階でインターポーザ単体の電気検査が可能となるので、式（４）に記載するインターポーザの製造・検査後の歩留まりは、

$$(Y_{\text{INTERPOSER}}) = 100\% \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot \cdot (4)$$

とすることができる。よってS i P製造歩留まり（ $Y_{\text{TOTAL}}$ ）の向上に貢献することができる。

[0057] <第1実施形態の変形例>

次に、インターポーザの図4から図6を参照して、第1実施形態のインターポーザの変形例について説明する。

図4は第1接続端子16および第2接続端子17がソルダーレジスト21で区画されている変形例である。接続端子はソルダーレジストで区画されていてもよい。

[0058] 図5は、第1外層構造体5が複数層で形成されている変形例である。第1外層構造体5は、単層で形成されていても、複数層で形成されていてもよい。単層か複数層かは、適宜インターポーザに要求される剛性で調整することができる。第1外層構造体5が複数層で構成される場合には、インターポーザ厚は、 $50\mu\text{m}$ よりも大きくなり、剛性がさらに高まるため、好ましい。

[0059] 図6は、第2外層構造体11が複数層で形成されている変形例である。第2外層構造体11は、単層で形成されていても、複数層で形成されていてもよい。単層か複数層かは、適宜インターポーザに要求される剛性で調整することができる。

さらに図4から6の変形例を表裏で組み合わせて用いてもよい。さらに、第2絶縁樹脂層6の導電部材4には、配線あるいは、パットを含んでもよい。また、第2外層構造体11における第2絶縁樹脂層12のパッド15以外に配線を含んでもよく、これらの変形例も本発明の範疇に含まれるものである。また、第1接続端子16、第2接続端子17の半田接続界面は適宜表面処理を行うことができる。表面処理の種類や厚みは特に限定されない。

[0060] （製造工程の概略説明）

本発明におけるインターポーザ製造方法の概略は下記の工程からなる。

まず、支持基板を準備したのち、以下の工程によって、インターポーザを得ることができる。

- 1) 支持基板の上に第1外層構造体を形成する第1の工程、
- 2) 前記第1外層構造体の上方に内層構造体を形成する第2の工程、
- 3) 前記内層構造体の上方に第2外層構造体を形成する第3の工程、
- 4) 前記第1外層構造体と支持基板とを剥離する第4の工程、

前記第1外層構造体及び第2外層構造体の最外層上に接続端子を形成する第5の工程

[0061] 第1外層構造体及び第2外層構造体の形成が完了すると、支持基板がなくともインターポーザ単体で十分な剛性を確保することができる。このため、以降の工程では、支持基板から剥離してインターポーザあるいは半導体パッケージを製造することができるようになる。

・支持基板がないため、基板両面に露出する接続端子に表面処理や、半田バンプ形成、突起電極形成が可能となる。こうしてインターポーザ両面に第一および第二接続端子を形成できる。

[0062] (製造方法の詳細説明)

以下では、図7から図10を参照して、インターポーザ及び半導体パッケージの製造方法の詳細について説明する。

[0063] <支持基板準備工程>

図7(a)に示すように、まず、支持基板1を準備する。支持基板1は、例えば、ガラス基板上にレーザー剥離層を設け、レーザー剥離層上に金属層2を設けたものを用いることができる。金属層2は無電解めっき、スパッタによって形成してもよい。あるいは、CCL (Copper Clad Laminate) 基板上にプリプレグを介して、金属層2としてキャリア銅箔を形成した支持基板を用いてもよい。ここで、キャリア銅箔は、キャリア銅箔-剥離層-極薄銅箔の3層構造となっており、剥離層界面で物理的に容易に剥離することができる銅箔である。支持基板の種類は上記したものに限

定されず、公知の様々な基板を用いることができる。

[0064] 図7 (b) は金属層2上にレジスト層形成後、パターニングしてレジストパターン3を形成した基板である。レジストの厚みは形成するパッド高さを鑑みて適宜決定する。本発明の実施例では、液状レジスト70 $\mu\text{m}$ で塗布し、第1接続端子のパッドとして55 $\mu\text{m}$ ピッチ、直径25 $\mu\text{m}$ の円柱パッドが形成できるようパターンを形成した。

[0065] 図7 (c) は図7 (b) の工程の後に、電解銅めっきにより、導電部材4を形成する。その後、レジスト剥離を行ったものである。円柱形上の導電部材4は、パッドとして機能することとなる。本実施形態では、銅めっきによる導電部材4のZ方向の平均高さを65 $\mu\text{m}$ で形成した。

なお、次工程で第1外層構造体5を構成する第1絶縁樹脂層8（非感光性樹脂）を形成する前に、銅パターンと非感光性絶縁樹脂との密着性を向上するために、

例えば、公知の銅の粗化处理（CZ処理）や、置換スズめっき後にシランカップリング処理を適宜行ってもよい。

[0066] 図7 (d) は、第1外層構造体5となる非感光性絶縁樹脂を形成した図である。本実施形態における非感光性樹脂からなる第2絶縁樹脂層6は、少なくともフィラー含有する非感光性樹脂であり、弾性率が5GPa以上、CTEが20ppm以下のプリプレグ、ビルトアップ樹脂、モールド樹脂から選択されることが望ましい。本実施形態では、70 $\mu\text{m}$ 厚のフィルム状モールド樹脂を用いて、真空ラミネートにより第2絶縁樹脂層6を形成した。非感光性樹脂の種類、厚み、形成方法は本実施形態に限るものではなく、適宜の材料や形成方法を選択することが可能である。

[0067] 図7 (e) は、第2絶縁樹脂層6をグラインダーで研削し、第1外層構造体5のパッドとなる導電部材4を露出させたものである。パッドの露出方法は、本実施形態の方法に限定されるものではなく、公知のグラインダーによる研磨、バフ研磨、ベルト研磨、フライカット法、CMPであってもよい。これにより、本実施形態では第1外層構造体5の第2絶縁樹脂層6の中にパ

ッドとなる導電部材4が形成されることとなる。本実施形態では、第1外層構造体5は、厚さ60 $\mu\text{m}$ で形成した。

[0068] 図8(f)は、第1外層構造体5の上方に内層構造体7の第1絶縁樹脂層8を形成し、ビア9を形成したものである。本実施形態においては、第1絶縁樹脂層8を感光性絶縁樹脂を用いて6 $\mu\text{m}$ 厚で形成し、直径15 $\mu\text{m}$ のビア9を形成している。

[0069] 第1絶縁樹脂層8に非感光性樹脂を用いた場合、レーザー加工によってビア9を形成することができる。レーザー加工は、一般的レーザー加工、例えばCO<sub>2</sub>レーザー、UVレーザーを用いることができる。

また、レーザー加工後に適宜デスミア処理を行ってもよい。これにより、レーザー加工後の残渣を除去することができる。

本実施例の場合、第1絶縁樹脂層8を10 $\mu\text{m}$ 厚で形成し、直径15 $\mu\text{m}$ のビア9を形成している。

[0070] 図8(g)は、第1絶縁樹脂層8にシード金属層(非図示)を形成した後に、レジストパターン3を形成し、さらに電解めっきによって内層配線層のビア9及び配線10を形成したものである。本実施形態においては、シード金属層としてTi/Cu=50/300nmをスパッタリングにより形成し、レジスト厚は5 $\mu\text{m}$ で形成した。これにより、L/S=2/2 $\mu\text{m}$ のレジストパターン3を形成後、電解めっきを用いて厚さ2.3 $\mu\text{m}$ (ビア含むと6 $\mu\text{m}$ +2.3 $\mu\text{m}$ )の配線10を形成した。

[0071] 第1絶縁樹脂層8に非感光性絶縁樹脂を用いた場合、本実施形態では、図8(g)と同様にシード金属層として無電解銅めっきを0.8 $\mu\text{m}$ で形成し、レジスト厚10 $\mu\text{m}$ で形成した。

これにより、L/S=5/5 $\mu\text{m}$ のレジストパターン3を形成後、電解めっきを用いて厚さ5 $\mu\text{m}$ (ビアを含む場合、10 $\mu\text{m}$ +5 $\mu\text{m}$ )の配線10を形成した。

[0072] 図8(h)は、レジストパターン3を剥離後にシード金属層を除去し、第1絶縁樹脂層8およびビア9と配線10からなる内層配線層が形成された図

を示している。

なお、配線形成方法、絶縁樹脂層の形成方法は本実施形態の方法に限定されるものではなく、適宜の形成方法を選択することが可能である。

[0073] 図8(i)は図8(f)～(h)に示した工程をさらに3回繰り返すことで、配線10および第1絶縁樹脂層8がそれぞれ4層積層された内層構造体7を示したものである。1層当たりの第1絶縁樹脂層8の厚さは6 $\mu$ m、配線10の厚さは2 $\mu$ mとし、最外層の配線10の厚さは12 $\mu$ mとしている。これは、外層配線層の第2絶縁樹脂層12にレーザーでビア穴をあける際に、配線が貫通してしまうのを避けるためのものである。

この結果、内層構造体7の厚みは36 $\mu$ mとなっている。

[0074] 内層構造体7は、第1絶縁樹脂層8に非感光性絶縁樹脂を用いた場合であっても、図8(i)と同様に、図8(f)～(h)に示した工程をさらに3回繰り返すことで、配線10および第1絶縁樹脂層8がそれぞれ4層積層を得ることができる。このとき、1層当たりの第1絶縁樹脂層8の厚さは10 $\mu$ m、配線10の厚さは5 $\mu$ mとし、前述同様に最外層の配線10の厚さは12 $\mu$ mとしている。

この結果、内層構造体7の厚みは52 $\mu$ mとなっている。

[0075] 図8(j)は、第2外層構造体11を形成する工程を説明する図である。まず、内層構造体7の上方に、第2外層構造体11の第2絶縁樹脂層12となるプリプレグ、キャリア付き銅箔を積層プレスで形成する。本実施例では、キャリア箔厚18 $\mu$ m、薄箔側3 $\mu$ m厚のキャリア付き銅箔を用い、3 $\mu$ mの薄銅箔13をプリプレグ側に配置した。プリプレグは70 $\mu$ m厚のものを用いた。なお、図8(j)以降の工程は、第1絶縁樹脂層8に感光性絶縁樹脂および非感光性絶縁樹脂を用いた場合と共通である。

[0076] 図9(k)は、キャリア付き銅箔からキャリア箔を剥離除去し、さらにCO<sub>2</sub>レーザーを用いて第2外層構造体11にビア14を形成したものを示している。この後、レーザー開口部をデスマリア処理し、さらに無電解銅めっきによりビア部へ0.6 $\mu$ m厚の無電解銅めっきを形成した(非図示)。本実施

形態では、直径 $60\mu\text{m}$ のビアを $150\mu\text{m}$ ピッチで形成した。

[0077] 図9(1)は、レジストパターン3を形成した後に、電解銅めっきによりパッド15を形成したものである。本実施例では、 $18\mu\text{m}$ 厚の電解銅めっき層により、パッド15の表層部を形成した。つまり、パッド15は、表層厚(ビアを含まず)は $18\mu\text{m}$ となり、ビア部分を含むと(ビア深度 $70\mu\text{m}+18\mu\text{m}$ )となる。

[0078] 図9(m)は、レジストパターン3の除去後、薄銅箔13及び無電解銅めっき層をエッチング除去し、第2外層構造体11を形成した図である。本実施形態では、第2外層構造体に直径 $75\mu\text{m}$ 、パッド厚 $15\mu\text{m}$ のパッド15が、 $150\mu\text{m}$ ピッチで形成されている。

[0079] 図9(n)は、図9(m)の上下を反転して示した図であり、支持基板1を除去する工程を示したものである。第2外層構造体11の表面に保護シートを設けた後に(非図示)金属層2をエッチング除去し、さらに第2外層構造体11の保護シートを除去(非図時)することによって、第1外層構造体5に導電部材4とパッド15が露出したインターポーザ100を得ることができる。本実施形態によれば、図9(n)以降の工程は、内層構造体7の両面に、高弾性、低CTE材料から選択される第1外層構造体5及び第2外層構造体11が形成されており、総厚 $50\mu\text{m}$ 以上のインターポーザ100が形成されることとなる。このように形成されたインターポーザは、インターポーザ単体で、搬送することができる剛性を有している。また、インターポーザからは、支持体が除去されていることから、インターポーザの両面が露出された状態となっており、インターポーザ表裏に第1接続端子16及び第2接続端子17を形成することが可能となる。

[0080] 図10(o)は、第1外層構造体5の外部接続端子である導電部材4(パッド)と第2外層構造体11の外部接続端子のパッド15に表面処理を行う工程を示している。これらの表面処理の種類や厚みは適宜の公知の手法を採用することができる。

表面処理後には、両パッド層上に半田を形成することができる。この半田

の形成方法についても、スクリーン印刷法、ボール搭載法、電気めっき法、レジストパターン形成後に溶融半田充填する等の公知方法を適宜に採用することができる。本実施形態では、表面処理として無電解Ni/Pd/Auを両面に実施し、表裏ボール搭載工法を用いて半田形成した。こうして、第1外層構造体5及び第2外層構造体11上に第1接続端子16及び第2接続端子17が形成された本実施形態におけるインターポーザ100を得ることができる。

[0081] 図10(p)は、インターポーザ100の両面の第1接続端子16及び第2接続端子17に対して電気検査探針を同時に接触させてインターポーザ100の電気検査を実施する工程を示している。

[0082] 具体的な電気検査及びその結果を活用した製造手順は、以下のとおりとなる。

- 1) 接続端子からインターポーザの電気検査を行う第1の検査工程、
- 2) 第1の検査工程の結果に基づき、インターポーザの良否を判断する第1の判断工程、
- 3) 第1の判断工程において「良」と判断されたインターポーザに、半導体装置を搭載する仮接続工程、
- 4) 仮接続工程で仮接続された半導体パッケージに対して、電気検査を行う第2の検査工程、
- 5) 第2の検査工程の結果に基づき、半導体パッケージの良否を判断する第2の判断工程、
- 6) 第2の判断工程において「否」と判断された半導体措置に対して、実装の修復及び／又は交換を行う補修工程、

[0083] なお、上記の製造手順に加えて、以下の手順を実行してもよい。

- 7) 補修工程の後に半導体パッケージに対して電気検査を行う第3の検査工程、
- 8) 第3の検査工程の結果に基づき、半導体パッケージの良否を判断する第3の判断工程、

9) 第3の判断工程において「良」と判断された半導体パッケージの半導体装置とインターポーザとの間にアンダーフィルを供給する固定工程、

[0084] 電気検査を実施することが実施可能な物理的要件（例えば、剛性の程度）については、例えば、4点曲げ試験による荷重（N）とそれに対応するたわみ量（mm：曲げ頂点のZ方向変位量）の関係から物理的特性値をとることも考えられる。

またJIS規格におけるJIS 7017などにより、曲げ変形の弾性率（ $\Delta$ 応力/ $\Delta$ ひずみ：単位ひずみ量当たりの応力）によって定めることも可能である。

[0085]（第1実施形態の効果）

本実施形態によるインターポーザ100は、前述したように、インターポーザ単体で、搬送することができる剛性を有しており、インターポーザの両面に第1接続端子16及び第2接続端子17が露出して形成されていることから、半導体装置の搭載前にインターポーザ100自体の電気検査を行うことができ、インターポーザの良否判定を行うことができる。このため、この後の半導体パッケージ製造工程に対して、良品と判断されインターポーザのみを提供することができ、SiP組立歩留まり向上に貢献することができる。

[0086] 図10（q）は、本実施形態における複数個のインターポーザが格子状に連続的に形成されているパネル原反をA-A部分でダイシングすることで個片化し、個々のインターポーザを切り出す工程を示す図である。こうして本実施形態におけるインターポーザ100を製造することができる。

[0087]（第1実施形態の変形例）

次に、図11（a）～（e）を参照して、第1実施形態の変形例による製造工程を説明する。

図11（a）は、図7（a）と同様であり、支持基板1は、例えば、ガラス基板上にレーザー剥離層を設け、レーザー剥離層上に金属層2を設けた状態を示している。金属層2は無電解めっき、スパッタによって形成してもよ

いし、CCL (Copper Clad Laminate) 基板上にプリプレグを介して、金属層2としてキャリア銅箔を形成してもよい。

次に図11(b)においては、支持基板1上に第1外層構造体5となる第2絶縁樹脂層6を形成する。

[0088] その後、図11(c)に示すように、レーザー加工によって、第1外層構造体5のパッドを形成するためのビアを形成する。ビアの形成後には、デスマリア処理等を適宜実施してもよい。

その後、図11(d)に示すように、ビア内を含む全面に金属層(非図示)を形成し、レジストパターン3を形成する。その後、電解めっきを行い、ビア内に金属を充填し、導電部材4を形成する。

次に、図11(e)に示すように、フォトリソ除去後、露出する不要な金属層をエッチング除去することにより第1外層構造体5を得ることができる。

なお、本変形例では、単層からなる第1外層構造体を説明したが、図5に示すような複数層で形成する第1外層構造体を、本変形例の方法で形成することも可能である。

[0089] (半導体装置組み立て方法)

次に、図12を参照して、本実施形態におけるインターポーザへ半導体装置を搭載し

半導体パッケージを製造する方法について説明する。

[0090] 図12(a)は、インターポーザ上に半導体装置50および51を搭載し、半導体パッケージを製造する工程の概略断面図である。本実施形態において用いられるインターポーザは、インターポーザ単体としての電気検査を実施済みであり、良品であることが確認されたものを用いている。

[0091] 半導体装置の実装方法は、例えば、マスリフロー、TCB (Thermo-Compression bonding) などの公知の実装技術を用いることができる。TCBを用いれば、複数半導体装置の搭載中やリフロー中に位置ズレや、インターポーザの高温加熱によるCTEミスマッチが発生し

にくい。

また、本実施形態におけるアンダーフィル工程は、NCF (Non-Conductive Film) やNCP (Non-Conductive Paste) 等は採用せず、キャピラリーアンダーフィルを用いることが望ましい。これは、キャピラリーアンダーフィルを採用すれば、後の電気検査において、半導体装置に不良が発見された場合、不良となった半導体装置の交換が容易であるためである。

[0092] 次に、図12(b)は、本実施形態における半導体パッケージとしてのSiPの電気検査を示す図である。第2接続端子17に検査プローブ18を接触させて電気検査を行うことにより、個々に搭載された半導体装置を含めた「実装歩留まり ( $Y_{ASSEMBRY}$ )」を検査することができ、実装不良あるいは半導体装置の不良を特定することができる。

[0093] 図12(c)は、前工程で特定した実装不良あるいは不良の半導体装置52を部分的に取り外し、良品の半導体装置53に交換する工程を示した断面模式図である。本実施形態においては、搭載した半導体装置は、モールド樹脂やアンダーフィルでチップ固定しないため、実装不良の箇所や不良の半導体装置を部分的修正することが可能となる。修正後に式(4)で示す ( $Y_{ASSEMBRY}$ ) = 100%にすることができる。

よって本実施形態におけるインターポーザによれば、統合するチップ個数NによることなくSiP組立全歩留まり ( $Y_{TOTAL}$ ) の向上に貢献することができる。修正は、TCB実装の逆の工程を行うことで実行可能である。

[0094] 図13(d)は、複数の半導体装置が搭載された本実施形態による半導体パッケージ150にアンダーフィル供給装置54を用いてアンダーフィル19を形成するキャピラリーアンダーフィル工程を示す図である。検査修正後にアンダーフィル19を用いて、半導体装置を本実施形態におけるインターポーザに固定することができる。

[0095] 図13(e)は、さらに半導体装置上にモールド樹脂20を形成した断面模式図である。本モールド樹脂による固定工程では必ずしも必須の工程では

ない。また、モールドによる固定は、公知の適宜の方法を採用することができる。さらにモールド樹脂20上面を研磨し、半導体装置の上端を露出させてもよい。

[0096] 以上のとおり、図12(a)から図13(d)あるいは(e)の工程を経て、半導体装置が搭載された、半導体パッケージ150を作成することができる。本実施形態によれば、インターポーザが独立して存在するため、下記利点を得られる。

1) ( $Y_{\text{INTERPOSER}}$ ) = 100%の検査保証済みインターポーザを実装工程で用いることができる。さらにリペア回収により ( $Y_{\text{ASSEMBRY}}$ ) = 100%に近づけることができる。よってS i P組立全歩留まりを向上させることが可能となる。

2) FC-BGAとインターポーザ100が独立しているので、インターポーザに半導体装置を搭載し、半導体パッケージとした後にFC-BGAやマザーボードに実装することも可能であるし、インターポーザをFC-BGAやマザーボードに実装した後に半導体装置を搭載することも可能となり、製造工程の自由度を向上することができる。

3) 各部材のCTEについても、インターポーザが半導体装置とFC-BGA基板の中間値とすることができるため、半導体装置とインターポーザを先に組立て、後にBGAへ実装することによって、半導体装置とFC-BGAとのCTEの整合を仲介することができ、接続信頼性向上に寄与する。

4) FC-BGAを介さず直接マザーボードに接続する形態も適宜選択することができる。

[0097] (第2実施形態)

次に、図14を参照して、第2実施形態について説明する。図14は、第2実施形態にかかわるインターポーザ100の概略断面図である。第2実施形態は、第1実施形態に対して、内層構造体7の形成面積が、第1外層構造体5及び第2外層構造体11より小さく、インターポーザ側面に内層構造体7が露出していない点で異なる。つまり、第2実施形態のインターポーザ1

00においては、内層配線層の側面が第2外層構造体11で包含されている。

[0098] (第2実施形態の製造方法)

次に、図15を参照して、第2実施形態の製造方法について説明する。以下の説明において、上述の第1実施形態と同一又は同等の構成要素については同一の符号を付し、その説明を簡略又は省略し、第1実施形態との相違点のみを説明する。

第2実施形態の製造方法の前半は、第1実施形態製造方法を説明した図7(a)～(e)と同工程で作成することができる。以降では、第1実施形態との相違点について図15(f)から(q)を用いて第2実施形態のインターポーザ、半導体パッケージ及びそれらの製造方法について説明する。

[0099] 図15(f)は図7(f)に対応する工程である。第2実施形態においては、第1外層構造体5上に内層構造体7の第1絶縁樹脂層8を形成した後、ビア10の形成とともにインターポーザの側面30の第1絶縁樹脂層8を除去する。第1絶縁樹脂層8が非感光性絶縁樹脂の場合、ビア10形成と同時にレーザーアブレーションによって、インターポーザの側面30を除去できる。第1絶縁樹脂層8が感光性絶縁樹脂の場合は、側面30の除去は、フォトリソグラフィによる現像除去で容易に行うことができる。

[0100] 図15(i)は内層配線層の形成を3回繰り返した後の工程概略図で、図8(i)に対応する。第1絶縁樹脂層8が非感光性絶縁樹脂の場合、側面30の第1絶縁樹脂層8の除去は、複数の内層配線層を形成した後に、まとめてレーザーアブレーションを用いて除去してもよい。または、ーフダイシングにより絶縁樹脂端部を除去してもよい。

さらにはレジスト形成後ドライエッチングで除去してもよく、ウェットエッチングで樹脂を溶解除去してもよい。側面30の第1絶縁樹脂層8の除去方法は本実施形態で説明した方法に限らず、公知の除去方法を適宜に採用することができる。

[0101] 図15(j)は、図8(j)に対応した工程を説明する図である。まず、内

層構造体 7 の上方に、第 2 外層構造体 1 1 の第 2 絶縁樹脂層 1 2 となるプリプレグ、キャリア付き銅箔を積層プレスで形成する。本第 2 実施形態では、内層構造体 7 の側面 3 0 は第 2 絶縁樹脂層 1 2 で覆われる構造となる。

図 1 5 ( j - 2 ) は、図 1 5 ( j ) に示した構造を立体視した模式図である。内層構造体 7 は第 1 外層構造体 5 よりも小さい面積で形成されており、その上面に第 2 外層構造体 1 1 が形成された構造となる。

[0102] 図 1 5 ( q ) は、図 1 0 ( q ) に対応した工程を説明する図である。第 2 実施形態においては、ダイシングは図 1 5 ( q ) の A - A 部分で切離することで、インターポーザ 1 0 0 の側面 3 0 に内層配線層を露出することなく、第 2 絶縁樹脂層 6 によって覆われた形状とすることができる。

[0103] (第 2 実施形態の効果)

これによって、内層構造体の側面を保護することが可能となり、インターポーザ 1 0 0 の剛性をさらに十分に確保することができる。また、内部構造体がすべての面で第 2 絶縁樹脂層 1 2 によって覆われていることから、CTE の相違に起因する応力歪みに対しても、より高い耐性を有することとなる。

より具体的には、第 1 外層構造体及び第 2 外層構造体は、弾性率が 5 G P a 以下、CTE 2 0 p p m / ° C 以下の高弾性かつ低 C T E 材料を用いるため、内層配線層側面を保護・補強することができる。特に熱サイクルストレスによる内層構造体 7 の側面 3 0 のクラックや層間剥離を抑制する効果がある。

[0104] (第 3 実施形態)

次に、図 1 6 を参照して、第 3 実施形態について説明する。図 1 6 ( a ) は、本実施形態における第 3 実施形態のインターポーザ 1 0 0 の概略断面図である。第 3 実施形態は、第 1 実施形態に対して、第 1 外層構造体 5 及び第 2 外層構造体 1 1 に突起電極を備えている点で第 1 実施形態と異なる。

[0105] 以下、図 1 6 を参照して、第 3 実施形態のインターポーザ、半導体パッケージ及びそれらの製造方法について説明する。

第3実施形態は、第1外層構造体5の上方、つまり、第1絶縁樹脂層を貫通する導電部材の上方に突起電極22、あるいは第2外層構造体の下方、つまり、第2絶縁樹脂を貫通する導電部材の下方に突起電極23が形成されている。第1外層構造体の上方に形成された突起電極22上に半田を形成することで、第1接続端子及び第2接続端子のそれぞれの中に高さの異なる外部接続端子を形成することが可能となる。

第3実施形態においても、内層構造体7の両面に第1外層構造体5及び第2外層構造体11を形成することで、支持基板から分離した後であっても、インターポーザ単独で製造工程における搬送が可能である。同時に、支持基板がないことから、インターポーザの両面に突起電極の形成を施すことも可能となっている。

なお、突起電極22及び23の形成方法は、公知技術の電極形成方法を適宜採用することができる。

[0106] 図16(b)は、第3実施形態の一例として、インターポーザ100両面に半導体装置50および51が夫々接続搭載された半導体パッケージの例である。高さの異なる外部接続端子を形成することにより、半導体装置50あるいは51をインターポーザの両面に搭載することが可能となり、半導体装置の実装の自由度を向上することが可能となっている。

なお、夫々の半導体装置50及び51にアンダーフィル19あるいはモールド樹脂20を形成してもよいことは言うまでもない。半導体装置へのアンダーフィル19やモールド樹脂20の形成方法あるいは構造は公知技術の実装技術を適宜採用することができる。

[0107] (第3実施形態の製造方法)

次に、図17を参照して、第3実施形態の製造方法を説明する。以下の説明において、上述の第1実施形態と同一又は同等の構成要素については同一の符号を付し、その説明を簡略又は省略し、第1実施形態との相違点のみを説明する。

第3実施形態の製造方法の前半は、第1実施形態製造方法を説明した図7

(a) ~図9 (1) と同工程で作成することができる。以降では、第1実施形態との相違点について図17 (1) から図21を用いて第3実施形態のインターポーザ、半導体パッケージ及びそれらの製造方法について説明する。

[0108] 図17 (1) は、第1実施形態の図8 (1) に対応しており、この工程までは第1実施形態と同方法で作成できる。

[0109] 図17 (m) の工程は、図17 (1) に記載のレジスト3と支持基板1を除去したインターポーザ100の断面図である。なお、図17 (m) において、便宜上、図17 (1) に対して上下を反転させて表記している。

図17 (m) においては、第1外層構造体5及び第2外層構造体11上の夫々に、金属層2およびキャリア銅箔の薄銅箔13が形成されている。

[0110] 次に、図17 (n) は、第1接続端子16、第2接続端子17を形成する工程を説明する図である。図17 (m) に続いて、金属層2およびキャリア銅箔の薄銅箔13の両面にレジストパターン3を形成し、電解Niめっき、半田となる電解Sn-Agめっきを形成し、第1接続端子16及び第2接続端子17を形成することができる。第1接続端子16及び第2接続端子17の形成厚および体積を第1外層構造体側と第2外層構造体側で異ならせる場合には、電解めっき工程において、それぞれのシード層に流す電流値を変えることで、任意の形状に形成することができる。あるいは、図17 (m) の工程において、片面に保護層を形成し、他方の面にはレジスト3を形成することで、片面ずつ外部接続端子を形成してもよい。さらに、両面のレジストパターン形成後、片面に保護シートを形成した後に片面ずつ電解めっきを実施しても形成することができる。電解めっき方法、レジストパターン形成方法は公知のパターン形成方法を適宜選択することが可能であり、上記の方法に限定されるものではない。また、本工程後に半田層をリフロー炉で加熱してラウンドバンプとしてもよい。

[0111] 図18 (o) は、突起電極22及び23を形成する工程を説明する図である。図17 (n) の工程後にレジストパターン剥離後、新たにレジストパターン3を形成し、電解銅めっき、電解Niめっき、電解Sn-Agめっきを

実施することによって、突起電極 2 2 及び 2 3 を形成することができる。

第 1 接続端子 1 6 および突起電極 2 2、第 2 接続端子 1 7 および突起電極 2 3 の形成厚および体積を第 1 外層構造体側と第 2 外層構造体側で異なる場合には、電解めっき工程において、それぞれのシード層に流す電流値を変えることで、任意の形状に形成することができる。形成厚および体積が大きく異なる場合には、両面のレジストパターン形成後、片面に保護シートを形成した後に片面ずつ電解めっきを実施しても形成することができる。電解めっき方法、レジストパターン形成方法は公知のパターン形成方法を適宜選択することが可能であり、上記の方法に限定されるものではない。また、本工程後に半田層をリフロー炉で加熱してラウンドバンプとしてもよい。

[0112] 図 1 8 ( p ) は、第 3 実施形態におけるインターポーザ 1 0 0 を示す図である。図 1 8 ( o ) の基板のレジスト 3 を剥離後、金属層 2 およびキャリア銅箔の薄銅箔層をエッチング除去する。さらに半田層をリフロー炉で加熱してラウンドバンプとすることで、第 3 実施形態におけるインターポーザ 1 0 0 を得ることができる。

[0113] (第 3 実施形態の効果)

第 3 実施形態のインターポーザによれば、第 4 実施形態において後述するように、突起電極によって得られた段差を活用して、第 1 外層構造体 5 の上方に半導体装置を積層して搭載することが可能となり、S i P の集積率をさらに向上させることができる。

[0114] (第 4 実施形態)

次に、図 1 9 を参照して、第 4 実施形態について説明する。第 4 実施形態は、第 3 実施形態のインターポーザに対して半導体装置を搭載した半導体パッケージである。第 3 実施形態における突起電極を用いて、第 1 外層構造体 5 の上方及び第 2 外層構造体 1 1 の下方に半導体装置を積層して搭載することを可能としている点で第 1 実施形態と異なる。

さらに、第 4 実施形態では、突起電極を用いてインターポーザ 1 0 0 を相互に積層することも可能であり、この点でも第 1 実施形態と異なる。

[0115] 図19(a)は本実施形態におけるインターポーザの第四の実施形態である。図19(a)は先の第3実施形態の図18(o)で説明した突起電極22および23上に電解Niおよび電解Sn-Agめっきによる第1接続端子16及び第2接続端子17を形成していない点で相違している。

[0116] 図19(b)は、第4実施形態のインターポーザ100において、突起電極を形成していない第1接続端子16及び第2接続端子17上に半導体装置50および51を搭載した後の工程を示している。

[0117] さらに、図20(c)は、は図19(b)の半導体装置が搭載されたインターポーザ両面にモールド樹脂を形成した後の本実施形態における半導体パッケージである。

そして、図20(d)は、図20(c)に示した半導体パッケージについて、半導体パッケージの最表面に形成されたモールド樹脂を研削することによって、突起電極22および突起電極23および半導体装置50、51の表面を露出した図を示している。

[0118] 露出した突起電極22及び23上に表面処理を実施し、第1接続端子16および第2接続端子17を形成する。

その後、第1接続端子16および第2接続端子17に対して表面処理としてNi/Pd/Au処理を実施し、片面ずつ半田ボール搭載とリフローにより第1接続端子16および第2接続端子17を完成させる。

なお、表面処理の種類や方法、半田組成、種類、半田形成方法は、公知の処理方法を適宜採用することができる。

[0119] 図21は、複数の半導体パッケージを積層した半導体パッケージの例を示した図である。

図21の工程においては、図20(d)に示した半導体パッケージ(下段)上に、第3実施形態である図16(b)に示した半導体パッケージ(上段)を積層した半導体パッケージを示している。

また、このようなインターポーザの積層や半導体装置の積層は上述した組み合わせに限られるものではなく、物理的に加工が可能な範囲で任意の数の

積層を構成でき、組み合わせる半導体装置やインターポーザの種類も任意に選択することができることは言うまでもない。

以上のように、本実施形態におけるインターポーザを用いてインターポーザ積層構造も可能となり、高度なSiPによる半導体パッケージの高機能化に寄与することができる。

[0120] (第4実施形態の効果)

以上のように支持体を備えることなく独立して製造工程を搬送可能なインターポーザを活用することにより、インターポーザの両面に突起電極を形成することが可能となり、この突起電極を用いて、インターポーザの両面に段差を有する接続端子を設けることが可能となる。その結果、インターポーザの両面にそれぞれ複数の半導体装置を搭載することが可能となると同時に、これらのインターポーザを相互に接続することも可能となり、SiPの集積化、高機能化を格段に高めることが可能となる。

[0121] (第5実施形態)

次に、図25を参照して、第5実施形態について説明する。

図25(a)は、第5実施形態のインターポーザ100に内蔵部品70が埋設されているインターポーザ100の断面模式図である。

図25(b)は、第5の実施形態のインターポーザ100に、半導体装置50および51を搭載した半導体パッケージ150の断面模式図である。

第5実施形態は、第1実施形態に対して、内蔵部品70が埋設されている点で第1実施形態と異なる。

[0122] 内蔵部品70は、上面にある第1接続端子16と電氣的に接続されていてもよい。あるいは、内蔵部品70下面に内蔵部品接続端子(非図示)がある場合、内層構造体7のビア9および配線10を介して第1接続端子16あるいは、第2接続端子17と電氣的に接続していてもよい。

あるいは、内蔵部品70の上面と下面の両方に接続端子がある場合、同時に両方の接続端子と電気接続してもよい。

[0123] 内蔵部品70の大きさは、少なくともインターポーザ100よりも面積が

小さく、半導体装置搭載や、配線引き回しに制約を生じない大きさであることが望ましいが、本実施形態により限定されるものではない。

埋設する内蔵部品70の個数は、半導体装置搭載や、配線引き回しに制約を生じない程度が望ましいが、本実施形態により限定されるものではない。

[0124] 内蔵部品70の厚さは、少なくともインターポーザ100に内蔵する場合、インターポーザよりも薄いことが望ましい。半導体装置搭載や、配線引き回しに制約を生じない厚さであることが望ましいが、本実施形態により限定されるものではない。

例えば、内蔵部品70の厚さは、10 $\mu$ m以上1mm以下であることが望ましい。

[0125] 内蔵部品70の厚さが10 $\mu$ mより薄い場合、後述する剛性の高い材料を用いる場合であっても、インターポーザ自体が十分な剛性を発揮することが出来ないばかりでなく、内蔵した部品が破損する恐れがある。

内蔵部品70の厚さが1mmより厚い場合、インターポーザ自体の厚みを厚くする必要があり、製造時間とコストがかかるばかりでなく、インターポーザ内部へ内蔵すること自体が困難となる。

[0126] 内蔵部品70は、シリコン、セラミック、ガラス、化合物半導体を基体とする部品から選択することができる。

[0127] ここで、シリコンを基体とする部品は、例えば、シリコンウエハ上にキャパシタ、インダクタ、再配線機能を有するチップ部品、演算機能を有する半導体チップである。

さらに、シリコンを基体とする部品は、これらの要素1つ以上を含む機能モジュールであってもよい。

[0128] また、セラミックを基体とする部品は、例えば、キャパシタ、インダクタ、配線の単独機能を有する部品である。

さらに、セラミックを基体とする部品は、これらの要素を1つ以上含む機能モジュールであってもよい。

[0129] また、セラミック材料は、例えば、アルミナ、イットリア、コーゾライト

、サーメット、サファイア、ジルコニア、ステアタイト、フォルステライト、炭化ケイ素、窒化アルミ、窒化ケイ素、LTCC (Low Temperature Co-fired Ceramics) であるが、その他の材料であってもよい。

[0130] また、ガラスを基体とする部品は、例えば、キャパシタ、インダクタ、配線の単独機能を有する部品である。

さらに、ガラスを基体とする部品は、これらの要素を1つ以上含む機能モジュールであってもよい。

また、ガラス材料としては、例えば、ソーダ石灰ガラス、ホウケイ酸ガラス、結晶化ガラス、石英ガラスであるが、その他の材料であってもよい。

[0131] また、化合物半導体を基体とする部品は、例えば、GaAsやInP、InGaAlPなどの化合物半導体を含む高周波デバイスや光半導体、InGaNを含むLEDやレーザーダイオード、SiCやGaNを含むパワー半導体材料であるが、その他の材料であってもよい。

[0132] 表1に示すように、一般的な絶縁樹脂材料では、線熱膨張係数CTEは、30~100ppm/K、弾性率は1~30GPaの範囲である。

一方では、シリコン、セラミック、ガラス、化合物半導体材料のCTEは、12ppm/K以下、弾性率は、60~470GPaであり、絶縁樹脂材料と比較すると低熱膨張かつ高弾性となる。

これにより、インターポーザ100に部品を内蔵することによって、インターポーザ100に高い熱的寸法安定性と剛性を同時に付与することができる。

ここで、熱的寸法安定性とは、熱サイクルにより、インターポーザが熱変形をしにくい性質を示す。

[表1]

種別	種類	CTE	弾性率(GPa)
シリコン	シリコンウエハ	3	170
セラミック	アルミナ	7.2	360
	イットリア	7.2	160
	サファイア	7.7	470
	炭化ケイ素	3.7	440
	窒化アルミ	4.6	320
	窒化ケイ素	2.8	300
	LTCC	3.4~12	74~128
ガラス	ソーダライム	9	72
	ホウケイ酸	3.3	73
	結晶化ガラス	-0.6	84-95
	石英ガラス	0.59	74
化合物半導体	GaAs	5.7	83
	InP	4.6	60
絶縁樹脂材料		30~100	1~30

## [0133] (第5実施形態の製造方法)

次に、図26を参照して、第5実施形態である図25(a)記載のインターポーザ100の製造方法について説明する。

以下の説明において、上述の第1実施形態等と同一又は同等の構成要素については同一の符号を付し、その説明を簡略又は省略し、第1実施形態等との相違点のみを説明する。

## [0134] 図26(a)は、第1実施形態の図7(a)に対応する工程である。

第5実施形態においては、まずは図26(a)で支持基板を準備する。支持基板は先の第1実施形態で説明したものと同一のものを用いることができる。

## [0135] 図26(b)は、内蔵部品70が搭載される部分以外にレジストパターン3が形成する工程を示した図である。

図26(b)に示すように、内蔵部品70が搭載される部分以外にレジストパターン3を形成する。本実施例では、液状レジストを $120\mu\text{m}$ で形成し、第1実施形態と同ピッチ、同径で円柱パッドが形成できるよう開口を形成する。

[0136] 図26(c)は、電解銅めっきにより、導電部材4を平均厚さ $120\mu\text{m}$ で形成した後に、レジストパターン3を剥離し、さらに内蔵部品70を搭載

した図である。

本実施形態では、内蔵部品70としてシリコンキャパシタを搭載する。

また、シリコンキャパシタは、例えば、総厚が120 $\mu$ mで、5mm $\times$ 5mm角である。

本実施形態では、シリコンキャパシタは、支持基板と接着剤を介して固定するが、その他の方法で固定してもよい。

[0137] 図26(d)は図7(d)に対応する工程である。

図26(d)は、150 $\mu$ m厚のフィルム状モールド樹脂を用いて、真空ラミネートにより第1外層構造体5となる第2絶縁樹脂層6を形成する工程を示した図である。

本実施形態では150 $\mu$ m厚のフィルム状モールド樹脂を用いて、真空ラミネートにより第2絶縁樹脂層6を形成する。

[0138] 図26(e)は、グラインダーを用いて、モールド樹脂と、シリコンキャパシタのSi基材を研磨し、内蔵部品70の一部と導電部材4を露出する工程を示した図である。

図26(e)の工程では、グラインダーを用いて、モールド樹脂と、シリコンキャパシタのSi基材を研磨し、内蔵部品70の一部と導電部材4を露出する。

本実施形態では、第1外層構造体5となる第2絶縁樹脂層6を研磨して第1外層構造体5を100 $\mu$ mになるように調整して研磨した。

内蔵部品70の一部と導電部材4の露出方法は、本実施形態の方法に限定されるものではなく、図7と同様に、公知のグラインダーによる研磨、バフ研磨、ベルト研磨、フライカット法、CMPであってもよい。これにより、本実施形態では第1外層構造体5の第2絶縁樹脂層6の中にパッドとなる導電部材4が形成されることとなる。

[0139] 以降は、第1実施形態の図8(f)~(i)で説明したのと同様に、内層構造体7の形成し、図8(j)~図9(m)で説明したのと同様に第2外層構造体11を形成し、さらに、図9(n)~図10(q)の方法で第1接続

端子 16 および第 2 接続端子 17 を形成することで、図 25 (a) 記載の変形例におけるインターポーザ 100 を形成することができる。

[0140] さらに、第 1 実施形態の図 12 (a) ~ 図 13 (e) の検査方法、半導体装置の組み立て方法、および修正方法を用いて、半導体パッケージ 150 を作成することができる。

[0141] (第 5 実施形態の変形例 1)

図 27 (a) 記載のインターポーザ 100 は、第 5 実施形態において、第 1 外層構造体 5 下面でかつ内層構造体 7 内に内蔵部品 70 を収容した変形例を示す図である。

図 27 (a) のインターポーザ 100 の製造方法は、第 1 実施形態の図 7 (a) ~ (e) と同じ方法で、図 7 (e) 記載の第 1 外層構造体 5 の形成までを行う。

以降は、図 7 (e) を図 27 (b) に転記して説明する。

図 27 (b) で示された第 2 絶縁樹脂層 6 の上に、図 27 (c) 記載のように内蔵部品 70 を導電部材 4 に電氣的に接続するように実装搭載する。

実装搭載方法は、導電性ペーストを端子に形成して接続してもよいし、半田接続してもよい。または、内蔵部品 70 と第 1 外層構造体 5 の間隙にアンダーフィルを設けてもよい。以降は、第 1 実施形態の図 8 (f) ~ (i) に記載されたのと同じ方法で図 27 (d) 記載の内層構造体 7 が 4 層形成された基板を得る。

図 27 (d) 記載の内蔵部品 70 は、導電部材 4 を介して第 1 接続端子と電氣的に接続されてもよい。あるいは、図 27 (c) および (d) 記載の内蔵部品 70 上面に接続端子 (非図示) を有する場合、第 1 実施形態において、図 8 (f) ~ (i) において説明した工程を経て、図 27 (d) のように内蔵部品 70 上面の接続端子 (非図示) と内層構造体の配線 10 とをパッド 15、ビア 9 を介して電氣的に接続することで、第 1 および第 2 接続端子と電氣的に接続されていてもよい。

あるいは、内蔵部品 70 の上面と下面の両方に接続端子がある場合、同時

に両方の接続端子と電気接続してもよい。

[0142] (第5実施形態の変形例2)

図28(a)記載のインターポーザ100は第2外層構造体11内に内蔵部品70を収容した変形例である。

図28(a)のインターポーザ100の製造方法は、第1実施形態の図7(a)～(e)及び図8(f)～(i)までと同じ方法で作成する。

以降は、図8(i)を図28(b)に転記して説明する。

図28(b)は、第1実施形態の図8(i)と同様に、内層構造体7を4層形成した後の図である。

続いて、図28(c)のように内蔵部品70を配線10の一部に実装搭載する。実装搭載方法は本変形例により限定されない。例えば、導電性ペーストを端子に形成して接続してもよいし、半田接続してもよい。

続いて、図28(d)は、第1実施形態の図8(j)～図9(m)までの工程を実施した図を示す。さらに、図9(n)～図10(q)記載と同じ方法で図27(a)記載の本変形例におけるインターポーザ100を形成することができる。

[0143] 本変形例における第5実施形態である図25(a)およびその変形例である図27(a)、図28(a)と、図4で説明した両面の第1接続端子16および第2接続端子17に対して溶剤レジストを用いて区画した変形例と組み合わせてもよい。

さらに、図5の説明の通り、第1外層構造体5を2層以上形成する構造と組み合わせてもよい。

また、図6の説明の通り、第2外層構造体11を2層以上で形成する構造と組み合わせてもよい。

また、図11に記載の製造方法で、第1外層構造体5にレーザー加工によってビアを形成する方法を採用してもよい。

[0144] 本発明における第1実施形態から第4実施形態までの方法と、本変形例における第5実施形態とを組み合わせてもよい。

先の本発明における変形例、実施形態の組み合わせは適宜実施することができ本発明の範疇にある。

[0145] (第5実施形態の発明の効果)

本実施形態のインターポーザ100によれば、インターポーザに剛性の高い材料を基体とする部品を内蔵することで、インターポーザ100の自立性の向上に寄与することができる。

これにより、インターポーザ100の剛性向上と同時に、再配線のみ機能であるインターポーザに対して、内蔵部品の持つ機能を付加することが可能となり、高機能化に寄与することができる。

[0146] 本実施形態のインターポーザ100によれば、半導体装置の極近傍に内蔵部品を近接搭載することが可能となり、シグナルや電源ノイズ低減、チップへの電源供給安定化等を効果的に行う事ができる。あるいは、光半導体部品を半導体装置近傍への内蔵が可能となり、光伝送と電気伝送を融合したパッケージ基板等への応用ができる。

[0147] (実施形態の効果のまとめ)

本開示の実施形態によれば、支持体を備えることなく、単体で独立して搬送が可能なインターポーザを提供することにより、下記5つの効果を奏する。

1) インターポーザ自体が、支持基板を備えることなく電気検査に耐える剛性を有することにより、半導体装置を搭載する前段階で、インターポーザ単体自体の電気検査保証が可能となる。これによって、不良のインターポーザに高価な半導体装置を搭載することによる、不良の半導体パッケージの発生をなくすることができる。

[0148] 2) 支持体を備えることなく、単体で独立して搬送が可能なインターポーザを用いることにより、インターポーザの両面に、高さの異なる外部接続端子を形成することができる。これによって、インターポーザの両面に半導体装置を複数積層することが可能となるとともに、半導体パッケージ同士のインテグレーション等、実装自由度を向上することができる。その結果、高度な

S i P インテグレーションに寄与することができる。

[0149] 3) インターポーザ自体の電気検査が可能となることにより、半導体パッケージについて、不良が発見された場合には、半導体装置の実装の修復や交換により、良品のインターポーザや半導体装置を破棄することなく、最大限に救済が可能となり、全体の製造コストを大幅に低下させることが可能となる。

[0150] 4) 上述 1) と 3) の効果により、複数の半導体装置を統合する S i P 組み立て歩留まり向上に大きく寄与することができる

[0151] 5) 本開示のインターポーザは、支持体又は F C - B G A とは独立して存在可能であるため、半導体パッケージを F C - B G A 又はマザーボードへの搭載することが可能となり、実装の自由度を大幅に向上させることができる。

[0152] 以上、本発明の実施の形態について説明したが、本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

例えば、上述した実施形態においては、第 1 外層構造体は第 2 外層構造体に対して先に形成する例で説明したが、これらの形成順序は何ら限定されるものではなく、支持基板上に第 2 外層構造体 ( B G A やマザーボードへの接続側) から作成し、第 1 外層構造体を後に形成してもよい。

[0153] また、本実施形態におけるインターポーザ実施形態の製造方法の概略を示す図 7 ( a ) ~ 図 1 0 ( p ) では、便宜上、1 つのインターポーザのみを図示している。しかし、本開示の製造方法は、1 つのインターポーザが複数配置された角型パネル又は円形のウエハー上に形成された状態で製造してもよいことは言うまでもない。

さらに、本開示において説明した製造パネルの形状や支持基板の厚みやサイズについても何ら限定されるものではなく、適宜の形状や大きさのものを採用することができる。

[0154] また、本発明は以下のような態様をとることもできる。

( 態様 1 )

少なくとも1層の内層配線層を含む内層構造体と、  
前記内層構造体の第1面上に配置され、前記内層構造体よりも剛性の高い第1外層構造体と、  
前記内層構造体の第2面上に配置され、前記内層構造体よりも剛性の高い第2外層構造体を備えるインターポーザにおいて、  
前記内層配線層は、第1絶縁樹脂層の表面に配置された配線及び前記配線に接続し、前記第1絶縁樹脂層を貫通する導電部材を備えており、  
前記第1外層構造体及び前記第2外層構造体は、第2絶縁樹脂層と前記第2絶縁樹脂層を貫通する導電部材を備えており、  
前記第1外層構造体及び／または前記第2外層構造体は、前記内層構造体に接続されている面と反対側の面において、半導体装置と接続可能であり、かつ、電気検査が可能な端子を備えていることを特徴とするインターポーザ。

(態様2)

請求項1に記載のインターポーザにおいて、  
前記第1外層構造体及び前記第2外層構造体は、少なくとも前記内層構造体の第1面及び第2面を覆っていることを特徴とするインターポーザ。

(態様3)

態様1または2に記載のインターポーザにおいて、  
前記第1絶縁樹脂層は、感光性樹脂であり、  
前記第2絶縁樹脂層は、フィラーを含有した非感光性樹脂であることを特徴とするインターポーザ。

(態様4)

態様1乃至3のいずれか一項に記載のインターポーザにおいて、  
前記第1絶縁樹脂層および前記第2絶縁樹脂層が、非感光性樹脂であることを特徴とするインターポーザ。

(態様5)

態様 1 乃至 4 のいずれか一項に記載のインターポーザにおいて、  
前記第 2 絶縁樹脂層は、弾性率が 5 G P a 以上、C T E が 2 0 p p m 以下の物性を有するプリプレグ、ビルトアップ樹脂またはモールド樹脂のいずれかを含んで構成されている  
ことを特徴とするインターポーザ。

(態様 6)

態様 1 乃至 5 のいずれか一項に記載のインターポーザにおいて、  
前記第 1 外層構造体及び前記第 2 外層構造体の厚みの和は前記内層構造体の厚みより大きいことを特徴とするインターポーザ。

(態様 7)

態様 1 乃至 6 のいずれか一項に記載のインターポーザにおいて、  
前記第 1 外層構造体及び前記第 2 外層構造体のいずれかは、前記内層構造体の側面も覆っている  
ことを特徴とするインターポーザ。

(態様 8)

態様 1 乃至 7 のいずれか一項に記載のインターポーザにおいて、  
前記第 1 絶縁樹脂層を貫通する導電部材の上方及び／又は前記第 2 絶縁樹脂層を貫通する導電部材の下方に突起電極を備えており、  
前記突起電極は、接続端子として使用可能である  
ことを特徴とするインターポーザ。

(態様 9)

態様 1 乃至 8 のいずれか一項に記載のインターポーザにおいて、  
前記インターポーザの試験片を下記測定方法で測定した荷重／たわみ量の比が 0. 1 2 5 N / m m 以上である  
ことを特徴とするインターポーザ。

<測定方法>

縦 8 0 m m × 横 1 5 m m × 高さ h (試験片の厚み) m m の寸法の試験片の縦横の面に対して支点間距離 L が 6 6 m m で、圧子半径 r 1 が 2 m m で、圧

子間距離 $L'$ が22mmの圧子で挟み、試験速度 $V$ を以下の式により算出した速度で4点曲げ試験をする。

[数1]

$$V = \frac{\epsilon'_f \times L^2}{4.7 \times h} \dots \dots \dots (5)$$

$\epsilon'_f$  : ひずみ速度 [1/min]

(態様10)

態様9に記載のインターポーザにおいて

試験片の厚み $h$ が、300 $\mu$ mである場合、試験速度 $V$ が30mm/secでした場合に、測定した荷重が5.7N、たわみ量が7mmであることを特徴とするインターポーザ。

(態様11)

態様1乃至10のいずれか一項に記載のインターポーザにおいて、

前記インターポーザ内に埋設した内蔵部品を備え、

前記第1外層構造体または前記第2外層構造体は、前記内蔵部品と電氣的に接続される端子とを、有することを特徴とするインターポーザ。

(態様12)

態様11に記載のインターポーザにおいて、

前記内蔵部品は、シリコン、セラミック、ガラス、化合物半導体を基体とする部品であることを特徴とするインターポーザ。

(態様13)

態様1乃至12のいずれか一項に記載のインターポーザに半導体装置を搭載した、

半導体パッケージ。

(態様14)

態様13に記載の半導体パッケージにおいて、

半導体装置は、突起電極に形成された接続端子に搭載された半導体装置及び前記突起電極が形成されていない接続端子に搭載された半導体装置が積層されて搭載されている

ことを特徴とする半導体パッケージ。

(態様 15)

請求項 13 又は 14 に記載の半導体パッケージにおいて、  
複数の前記半導体パッケージが、突起電極によって接続され、積層されて  
いる

ことを特徴とする半導体パッケージ。

(態様 16)

支持基板の上に第 1 外層構造体を形成する第 1 の工程、  
前記第 1 外層構造体の上方に内層構造体を形成する第 2 の工程、  
前記内層構造体の下方に第 2 外層構造体形成する第 3 の工程、  
前記第 1 外層構造体と支持基板とを剥離する第 4 の工程、  
前記第 1 外層構造体及び第 2 外層構造体の最外層上に接続端子を形成する  
第 5 の工程  
を含むインターポーザの製造方法。

(態様 17)

態様 16 に記載のインターポーザの製造方法において、  
内蔵部品を搭載する第 6 の工程を含むインターポーザの製造方法。

(態様 18)

態様 1 乃至 12 のいずれか一項に記載のインターポーザにおいて、  
接続端子から前記インターポーザの電気検査を行う第 1 の検査工程、  
前記第 1 の検査工程の結果に基づき、前記インターポーザの良否を判断す  
る第 1 の判断工程、  
前記第 1 の判断工程において「良」と判断されたインターポーザに、半導  
体装置を搭載する仮接続工程、  
前記仮接続された半導体パッケージに対して、電気検査を行う第 2 の検査  
工程、  
前記第 2 の検査工程の結果に基づき、半導体パッケージの良否を判断する  
第 2 の判断工程、

前記第2の判断工程において「否」と判断された半導体措置に対して、実装の修復及び／又は交換を行う補修工程を含む半導体パッケージの製造方法。

(態様19)

態様18に記載の半導体パッケージの製造方法において、前記補修工程の後に半導体パッケージに対して電気検査を行う第3の検査工程、

前記第3の検査工程の結果に基づき、半導体パッケージの良否を判断する第3の判断工程、

前記第3の判断工程において「良」と判断された半導体パッケージの半導体装置と前記インターポーザとの間にアンダーフィルを供給する固定工程を含む半導体パッケージの製造方法。

## 符号の説明

[0155] 1：支持基板 2：金属層 3：レジストパターン 4：導電部材 5：第1外層構造体 6：第2絶縁樹脂層 7：内層構造体 8：第1絶縁樹脂層 9：ビア 10：配線 11：第2外層構造体 12：第2絶縁樹脂層 13：薄銅箔 14：ビア 15：パッド 16：第1接続端子 17：第2接続端子 18：検査プローブ 19：アンダーフィル 20：モールド樹脂 21：ソルダーレジスト 22：突起電極 23：突起電極 30：インターポーザの側面 50、51、52、53：半導体装置 54：アンダーフィル供給装置 60：圧子 61：支持体 70：内蔵部品 100：インターポーザ 150：半導体パッケージ

## 請求の範囲

- [請求項1]           少なくとも1層の内層配線層を含む内層構造体と、  
前記内層構造体の第1面上に配置され、前記内層構造体よりも剛性の高い第1外層構造体と、  
前記内層構造体の第2面上に配置され、前記内層構造体よりも剛性の高い第2外層構造体を備えるインターポーザにおいて、  
前記内層配線層は、第1絶縁樹脂層の表面に配置された配線及び前記配線に接続し、前記第1絶縁樹脂層を貫通する導電部材を備えており、  
前記第1外層構造体及び前記第2外層構造体は、第2絶縁樹脂層と前記第2絶縁樹脂層を貫通する導電部材を備えており、  
前記第1外層構造体及び／または前記第2外層構造体は、前記内層構造体に接続されている面と反対側の面において、半導体装置と接続可能であり、かつ、電気検査が可能な端子を備えていることを特徴とするインターポーザ。
- [請求項2]           請求項1に記載のインターポーザにおいて、  
前記第1外層構造体及び前記第2外層構造体は、少なくとも前記内層構造体の第1面及び第2面を覆っていることを特徴とするインターポーザ。
- [請求項3]           請求項1に記載のインターポーザにおいて、  
前記第1絶縁樹脂層は、感光性樹脂であり、  
前記第2絶縁樹脂層は、フィラーを含有した非感光性樹脂であることを特徴とするインターポーザ。
- [請求項4]           請求項1に記載のインターポーザにおいて、  
前記第1絶縁樹脂層および前記第2絶縁樹脂層が、非感光性樹脂であることを特徴とするインターポーザ。
- [請求項5]           請求項1に記載のインターポーザにおいて、

前記第2絶縁樹脂層は、弾性率が5 G P a以上、C T Eが2 0 p p m以下の物性を有するプリプレグ、ビルトアップ樹脂またはモールド樹脂のいずれかを含んで構成されていることを特徴とするインターポーザ。

[請求項6] 請求項1に記載のインターポーザにおいて、前記第1外層構造体及び前記第2外層構造体の厚みの和は前記内層構造体の厚みより大きいことを特徴とするインターポーザ。

[請求項7] 請求項1に記載のインターポーザにおいて、前記第1外層構造体及び前記第2外層構造体のいずれかは、前記内層構造体の側面も覆っていることを特徴とするインターポーザ。

[請求項8] 請求項1に記載のインターポーザにおいて、前記第1絶縁樹脂層を貫通する導電部材の上方及び／又は前記第2絶縁樹脂層を貫通する導電部材の下方に突起電極を備えており、前記突起電極は、接続端子として使用可能であることを特徴とするインターポーザ。

[請求項9] 請求項1に記載のインターポーザにおいて、前記インターポーザの試験片を下記測定方法で測定した荷重／たわみ量の比が0. 1 2 5 N／m m以上であることを特徴とするインターポーザ。

<測定方法>

縦8 0 m m×横1 5 m m×高さh（試験片の厚み）m mの寸法の試験片の縦横の面に対して支点間距離Lが6 6 m mで、圧子半径r 1が2 m mで、圧子間距離L'が2 2 m mの圧子で挟み、試験速度Vを以下の式により算出した速度で4点曲げ試験をする。

[数1]

$$V = \frac{e_f \times L^2}{4.7 \times h} \dots \dots \dots (5)$$

e' f : ひずみ速度 [ 1 / m i n ]

- [請求項10] 請求項9に記載のインターポーザにおいて  
試験片の厚み $h$ が、 $300\mu\text{m}$ である場合、試験速度 $V$ が $30\text{mm}/\text{sec}$ であった場合に、測定した荷重が $5.7\text{N}$ 、たわみ量が $7\text{mm}$ であることを特徴とするインターポーザ。
- [請求項11] 請求項1に記載のインターポーザにおいて、  
前記インターポーザ内に埋設した内蔵部品を備え、  
前記第1外層構造体または前記第2外層構造体は、前記内蔵部品と電氣的に接続される端子とを、有することを特徴とするインターポーザ。
- [請求項12] 請求項11に記載のインターポーザにおいて、  
前記内蔵部品は、シリコン、セラミック、ガラス、化合物半導体を基体とする部品であることを特徴とするインターポーザ。
- [請求項13] 請求項1に記載のインターポーザに半導体装置を搭載した、半導体パッケージ。
- [請求項14] 請求項13に記載の半導体パッケージにおいて、  
半導体装置は、突起電極に形成された接続端子に搭載された半導体装置及び前記突起電極が形成されていない接続端子に搭載された半導体装置が積層されて搭載されていることを特徴とする半導体パッケージ。
- [請求項15] 請求項13に記載の半導体パッケージにおいて、  
複数の前記半導体パッケージが、突起電極によって接続され、積層されていることを特徴とする半導体パッケージ。
- [請求項16] 支持基板の上に第1外層構造体を形成する第1の工程、  
前記第1外層構造体の上方に内層構造体を形成する第2の工程、  
前記内層構造体の下方に第2外層構造体形成する第3の工程、  
前記第1外層構造体と支持基板とを剥離する第4の工程、

前記第 1 外層構造体及び第 2 外層構造体の最外層上に接続端子を形成する第 5 の工程

を含むインターポーザの製造方法。

[請求項17] 請求項 1 6 に記載のインターポーザの製造方法において、  
内蔵部品を搭載する第 6 の工程を含むインターポーザの製造方法。

[請求項18] 請求項 1 に記載のインターポーザにおいて、  
接続端子から前記インターポーザの電気検査を行う第 1 の検査工程

、  
前記第 1 の検査工程の結果に基づき、前記インターポーザの良否を判断する第 1 の判断工程、

前記第 1 の判断工程において「良」と判断されたインターポーザに、  
半導体装置を搭載する仮接続工程、

前記仮接続工程で仮接続された半導体パッケージに対して、電気検査を行う第 2 の検査工程、

前記第 2 の検査工程の結果に基づき、半導体パッケージの良否を判断する第 2 の判断工程、

前記第 2 の判断工程において「否」と判断された半導体措置に対して、  
実装の修復及び／又は交換を行う補修工程

を含む半導体パッケージの製造方法。

[請求項19] 請求項 1 8 に記載の半導体パッケージの製造方法において、  
前記補修工程の後に半導体パッケージに対して電気検査を行う第 3  
の検査工程、

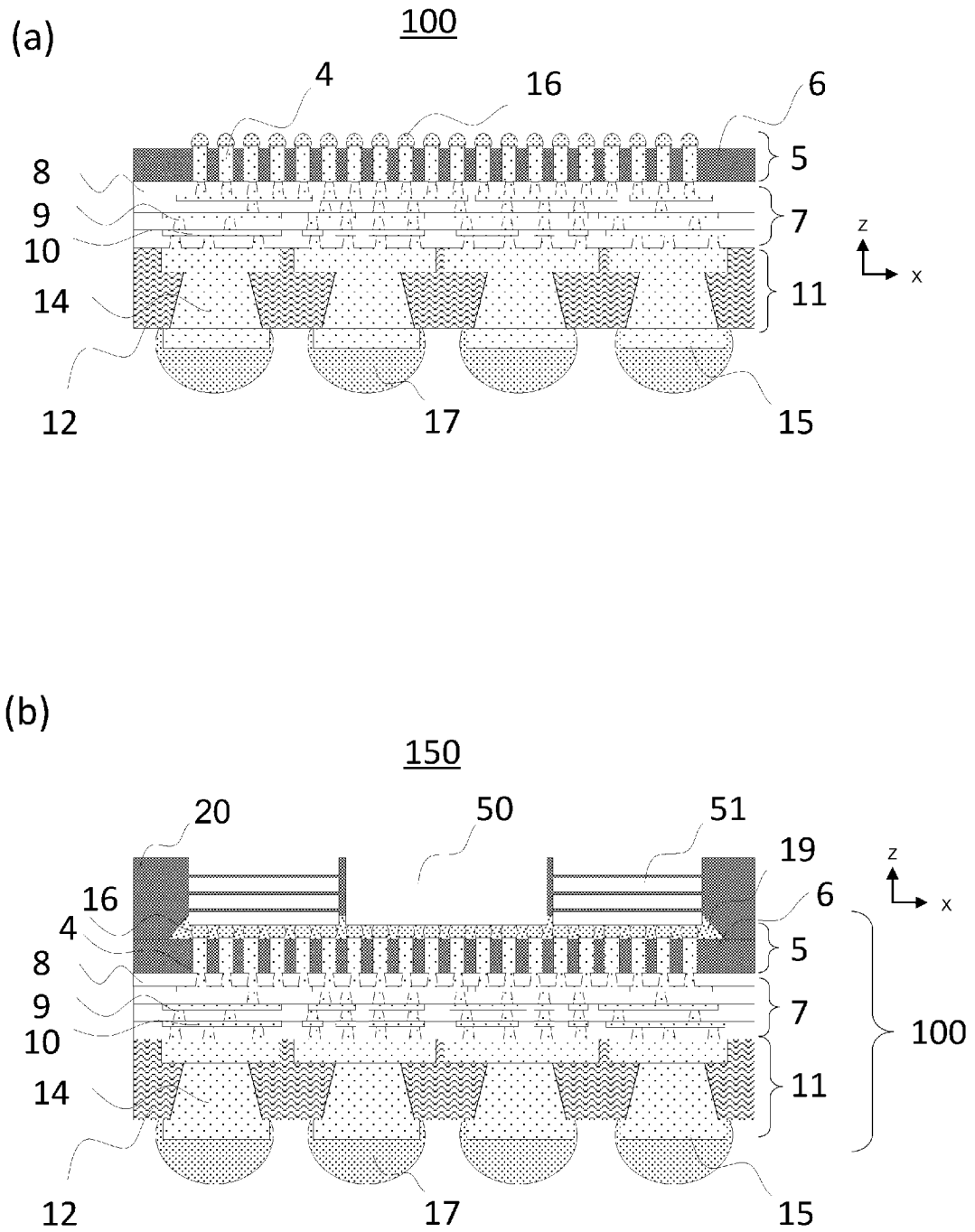
前記第 3 の検査工程の結果に基づき、半導体パッケージの良否を判断する第 3 の判断工程、

前記第 3 の判断工程において「良」と判断された半導体パッケージ  
の半導体装置と前記インターポーザとの間にアンダーフィルを供給  
する固定工程

を含む半導体パッケージの製造方法。

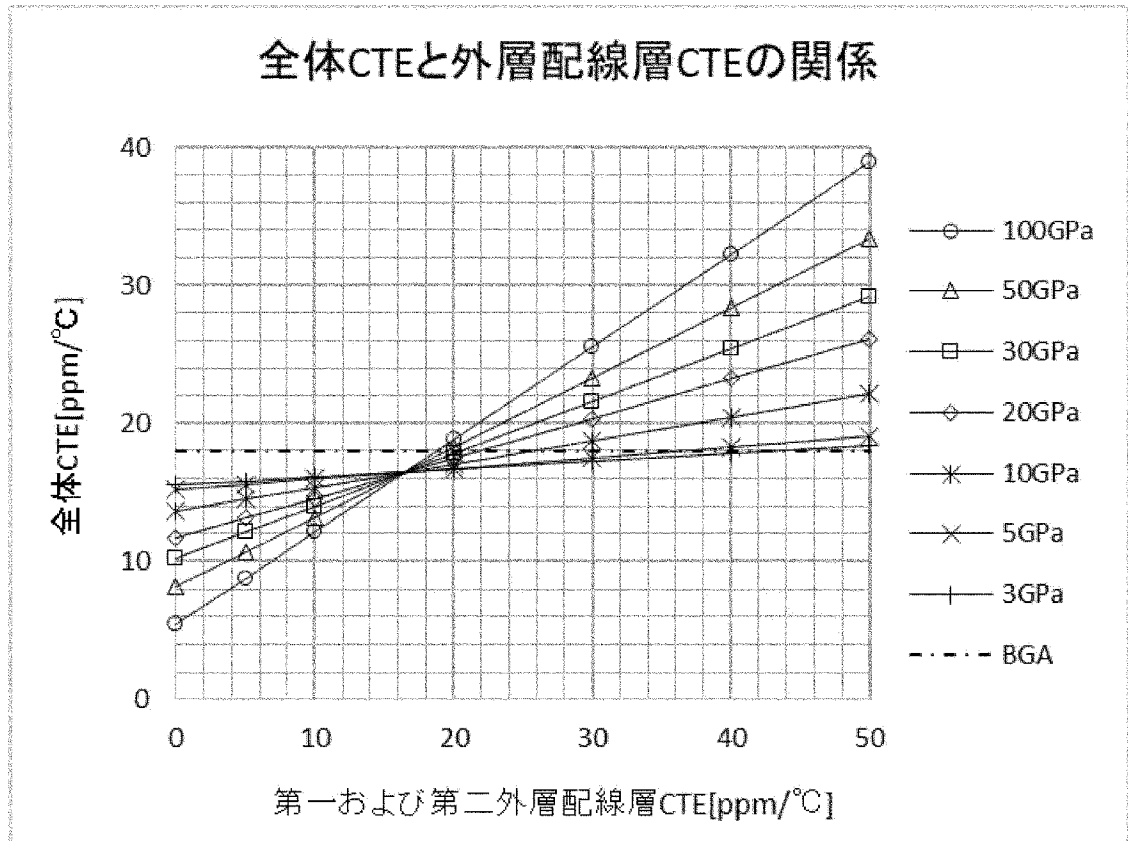
[図1]

図1



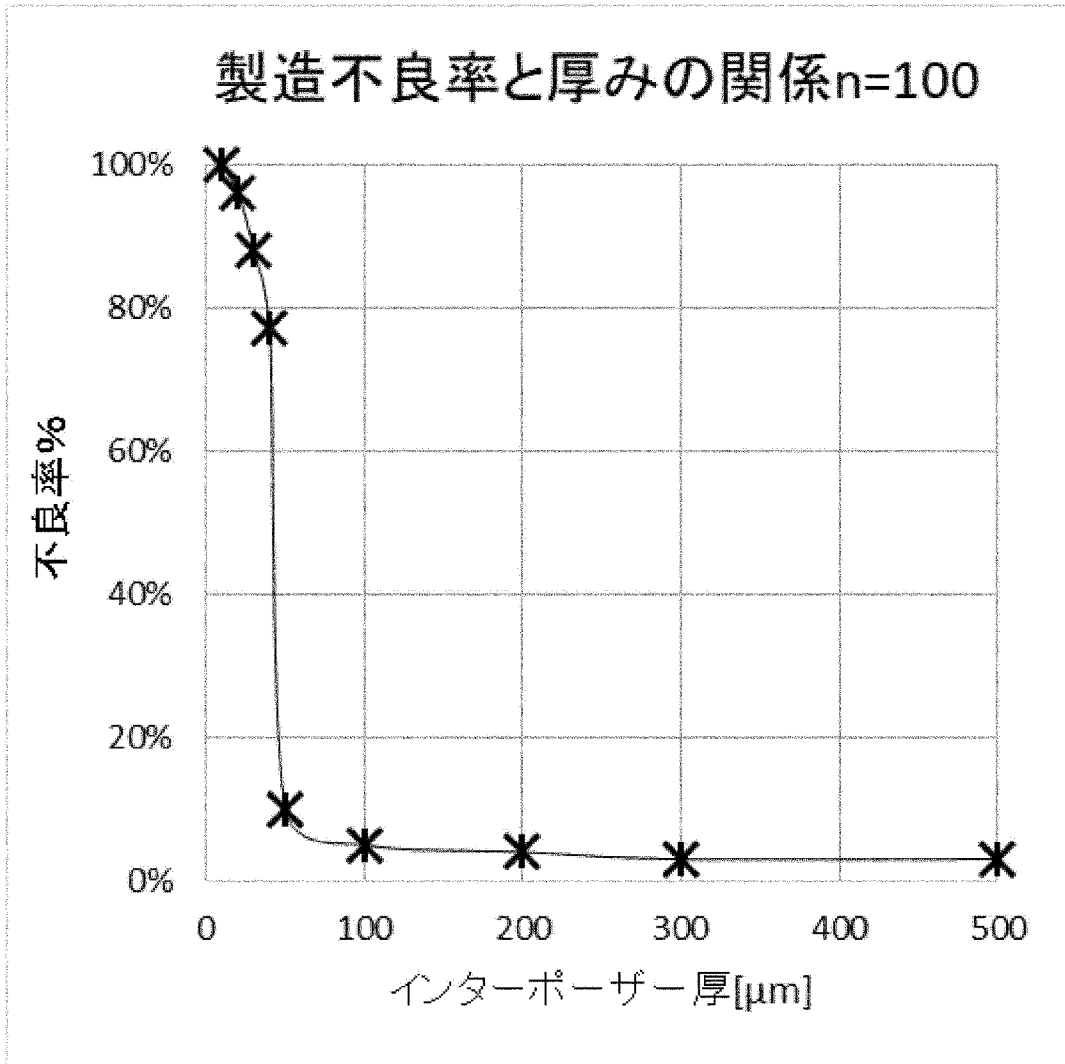
[図2]

図2



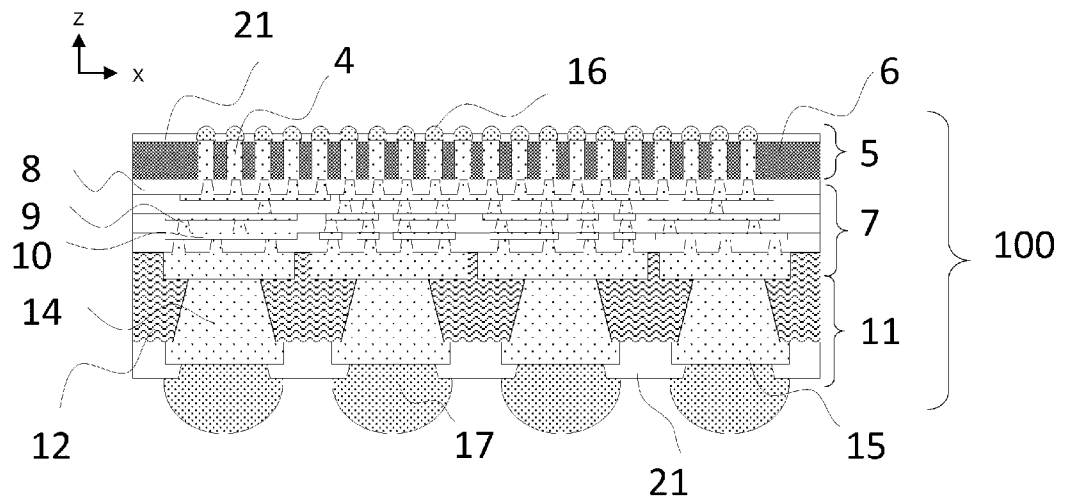
[図3]

図3



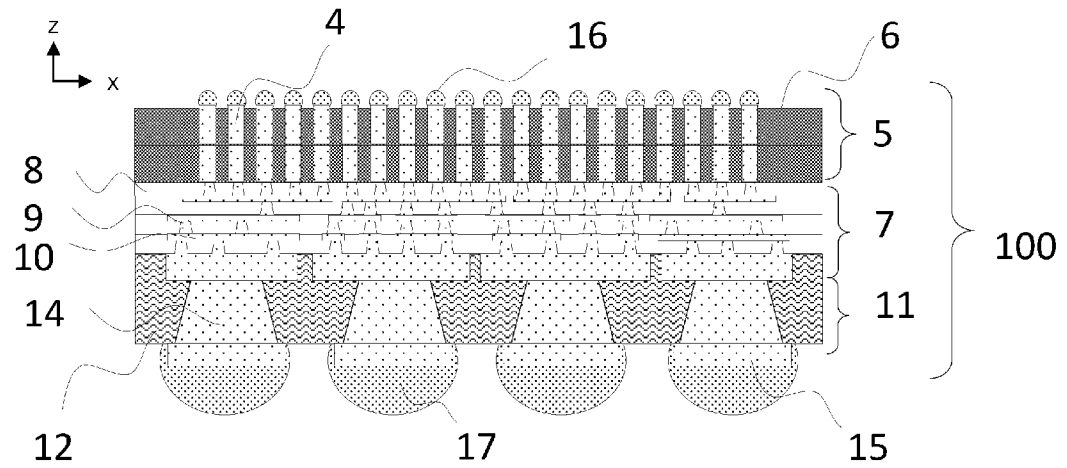
[図4]

図4



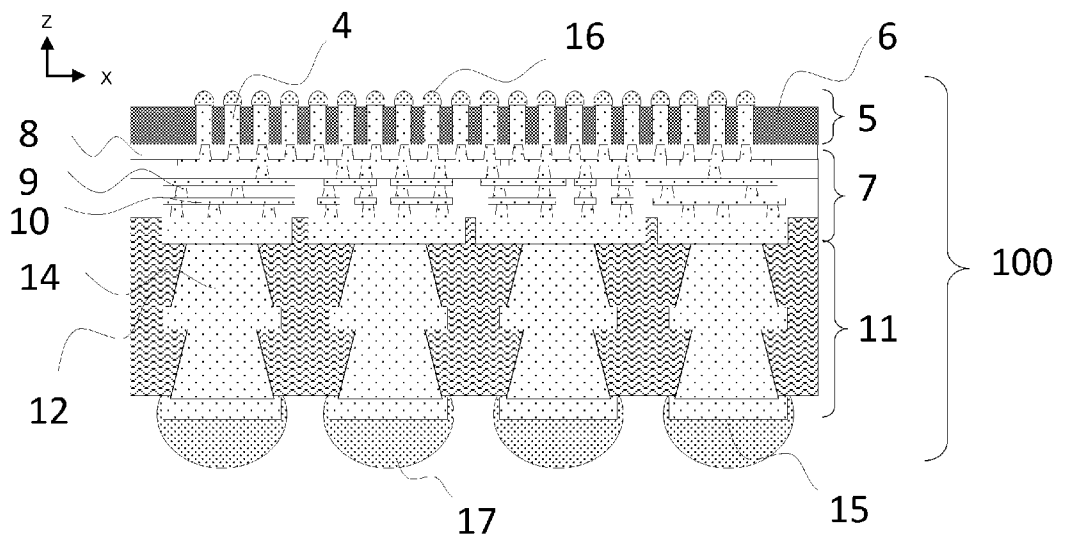
[図5]

図5



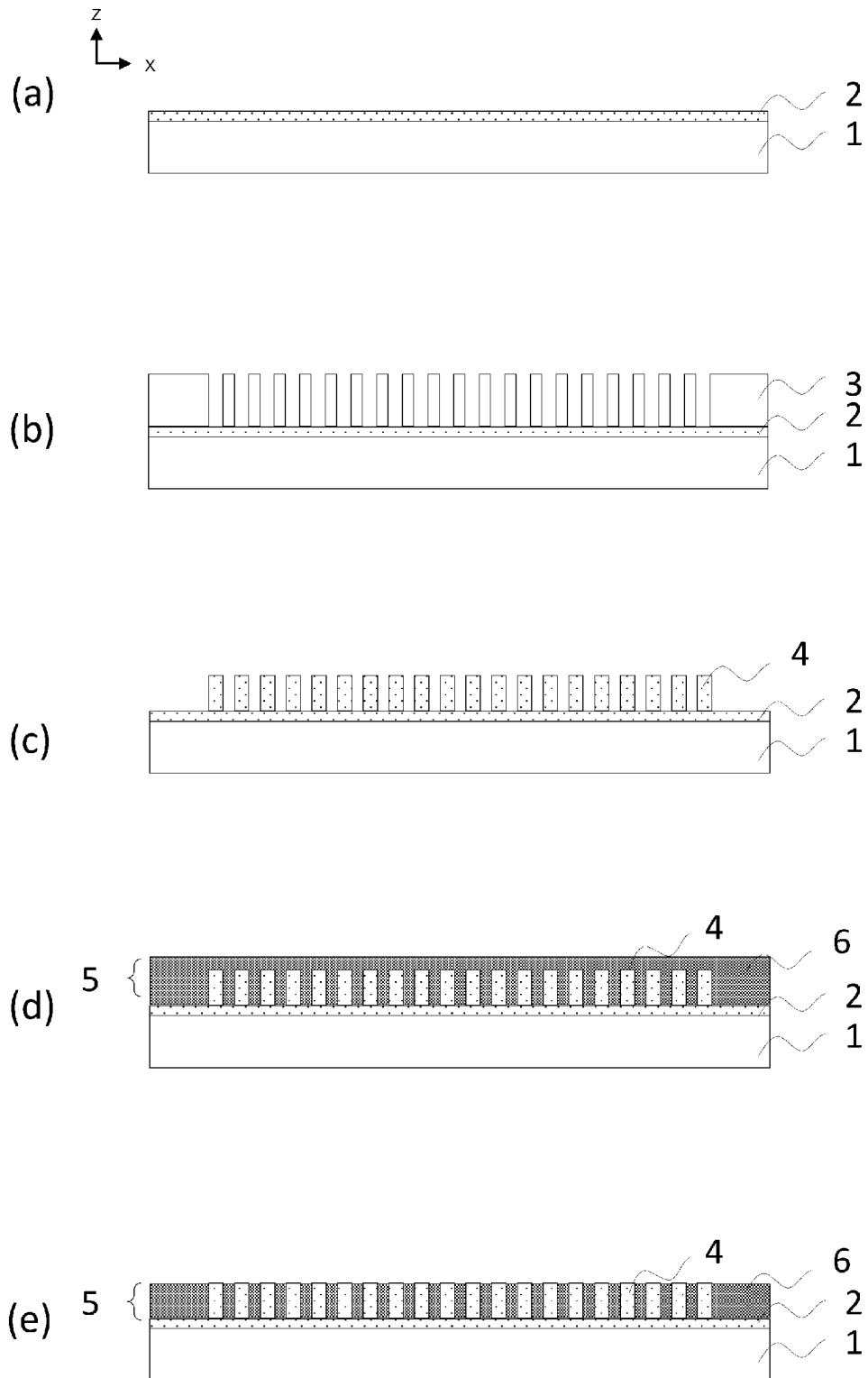
[図6]

図6



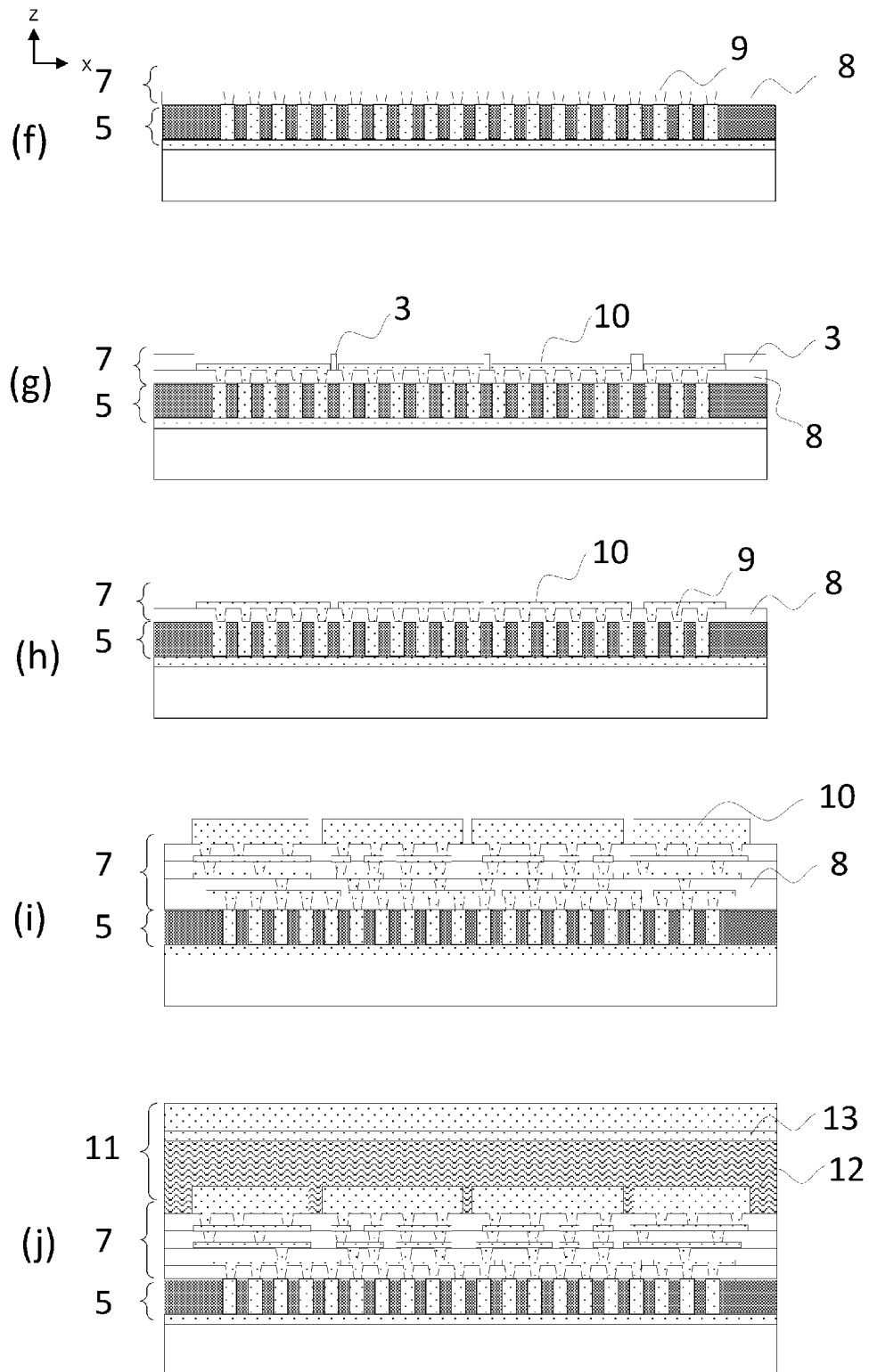
[図7]

図7



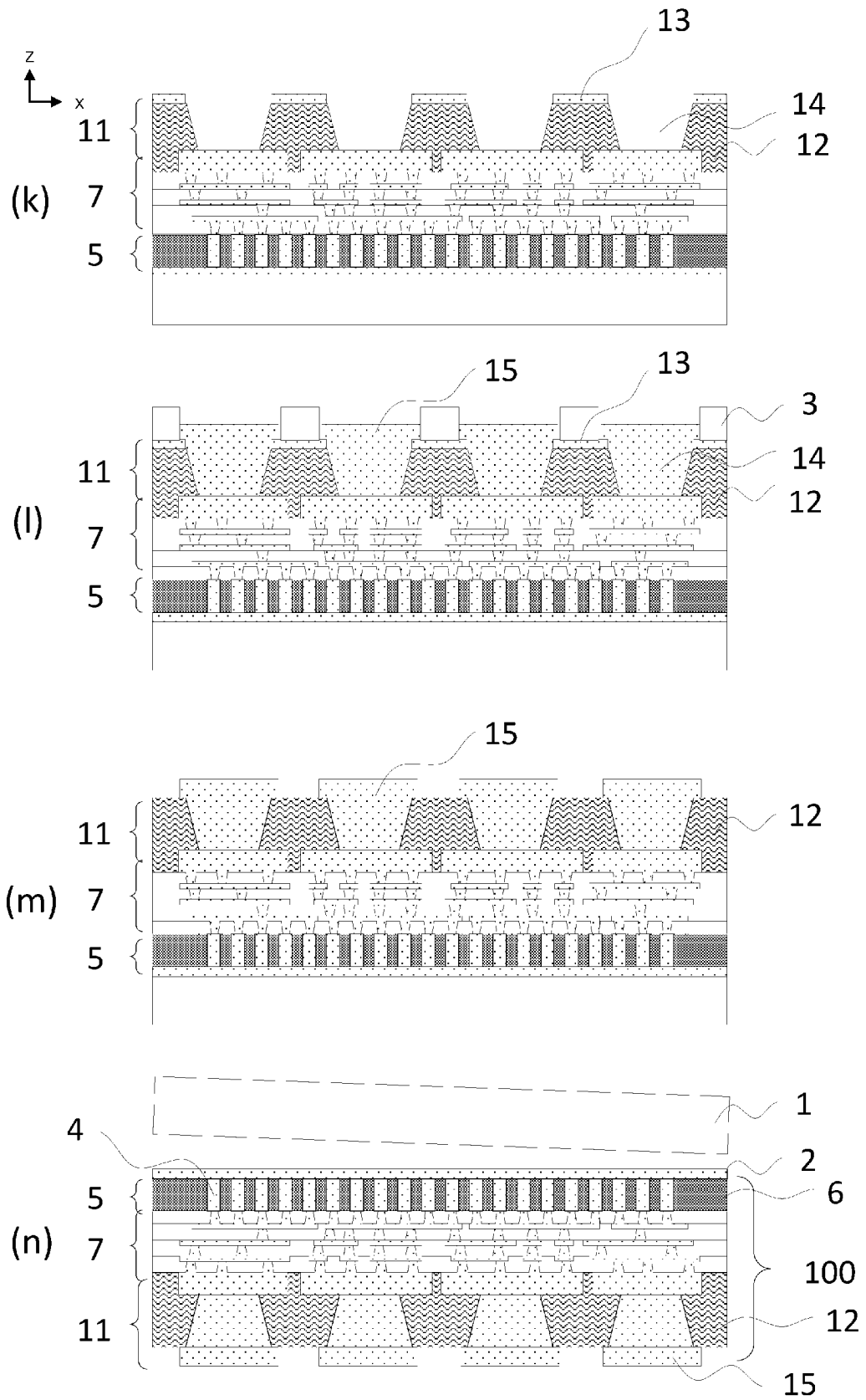
[図8]

図8



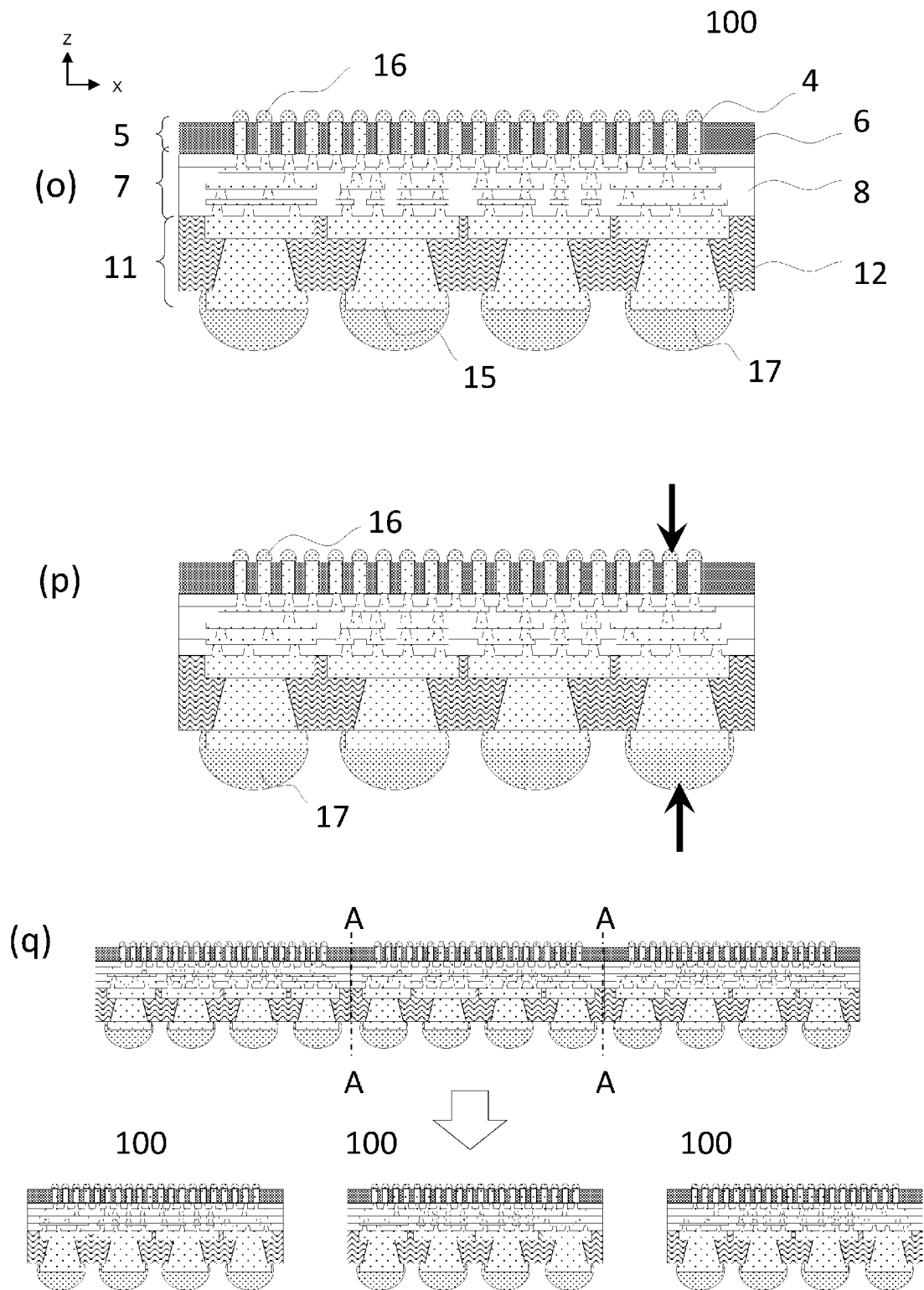
[図9]

図9



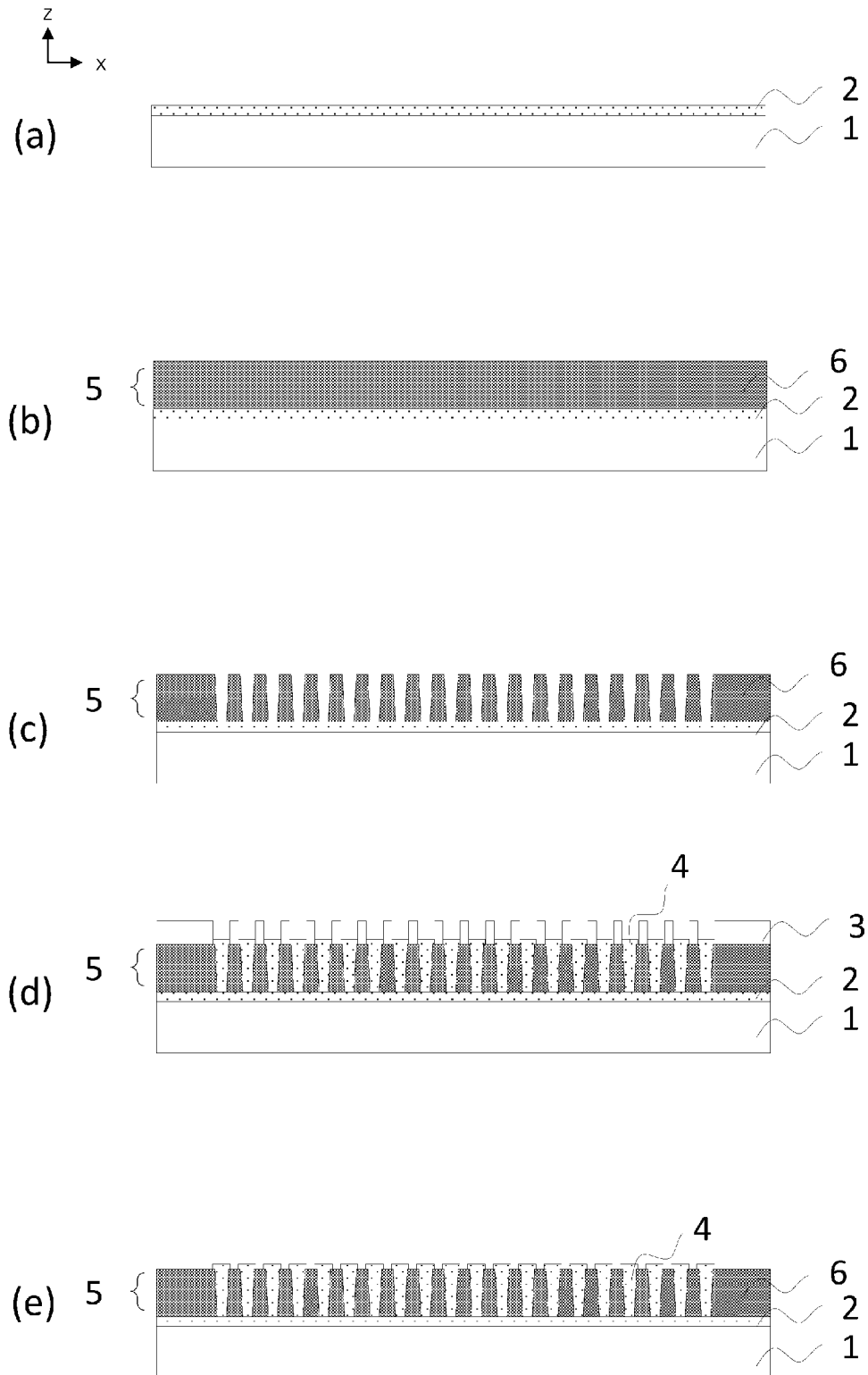
[図10]

図10



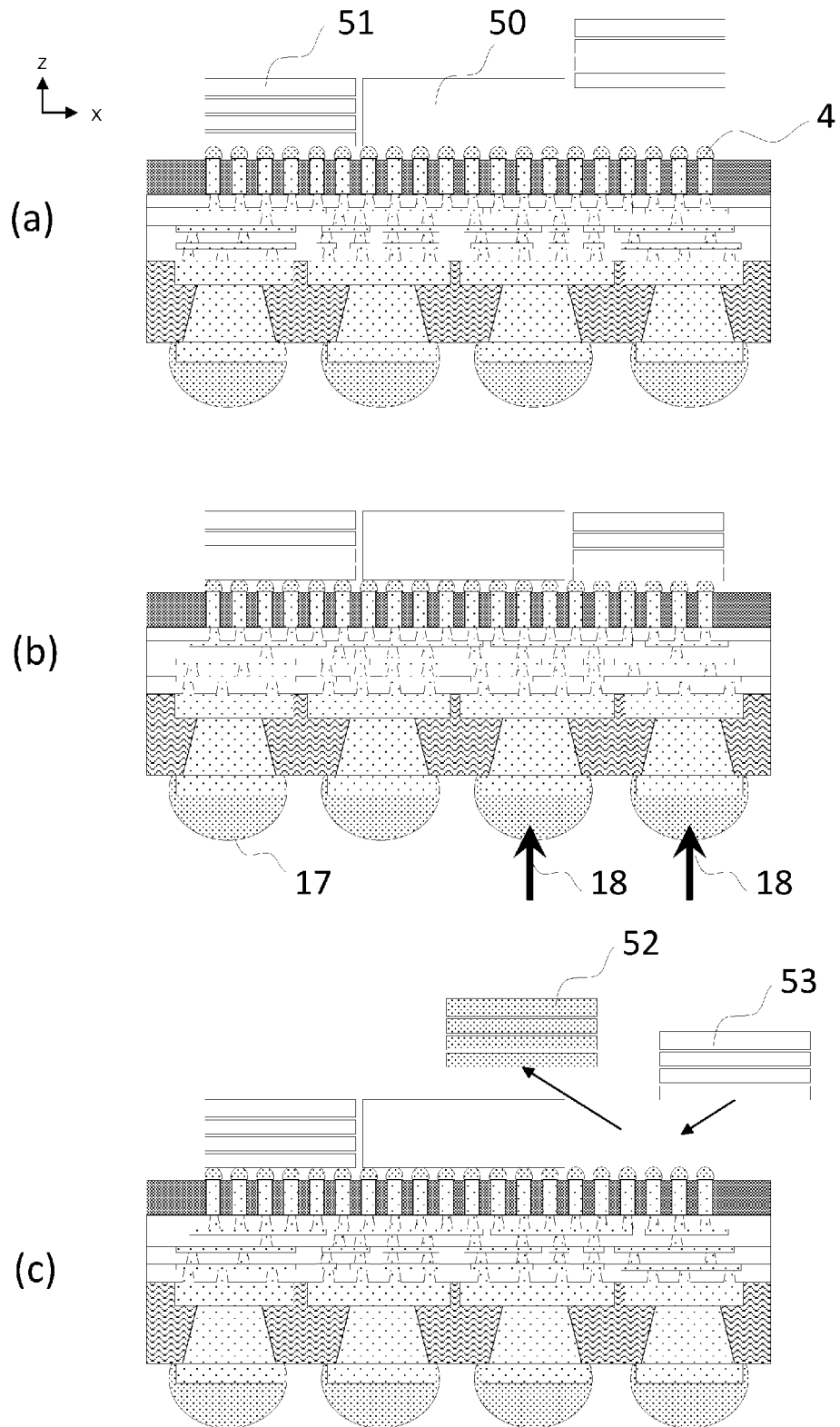
[図11]

図11



[図12]

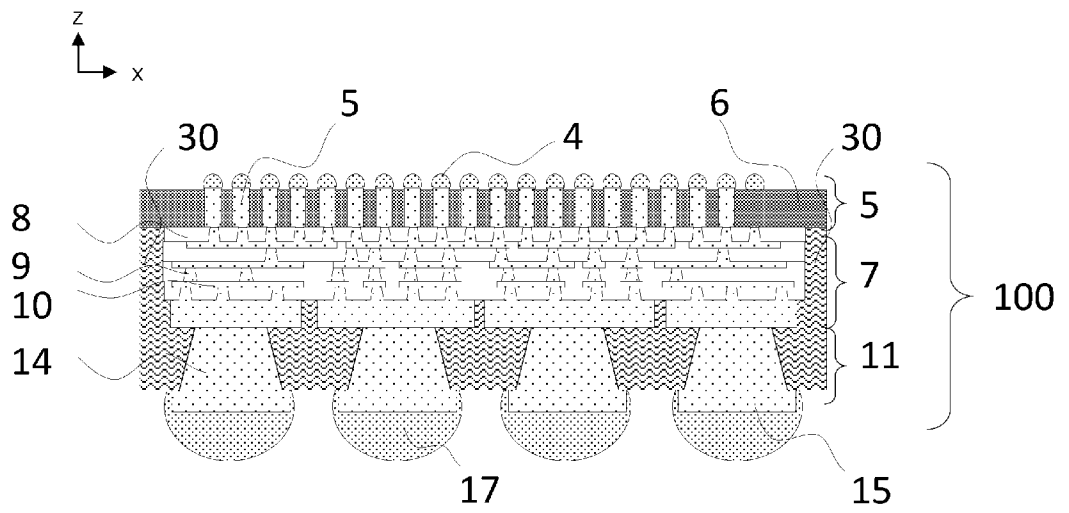
図12





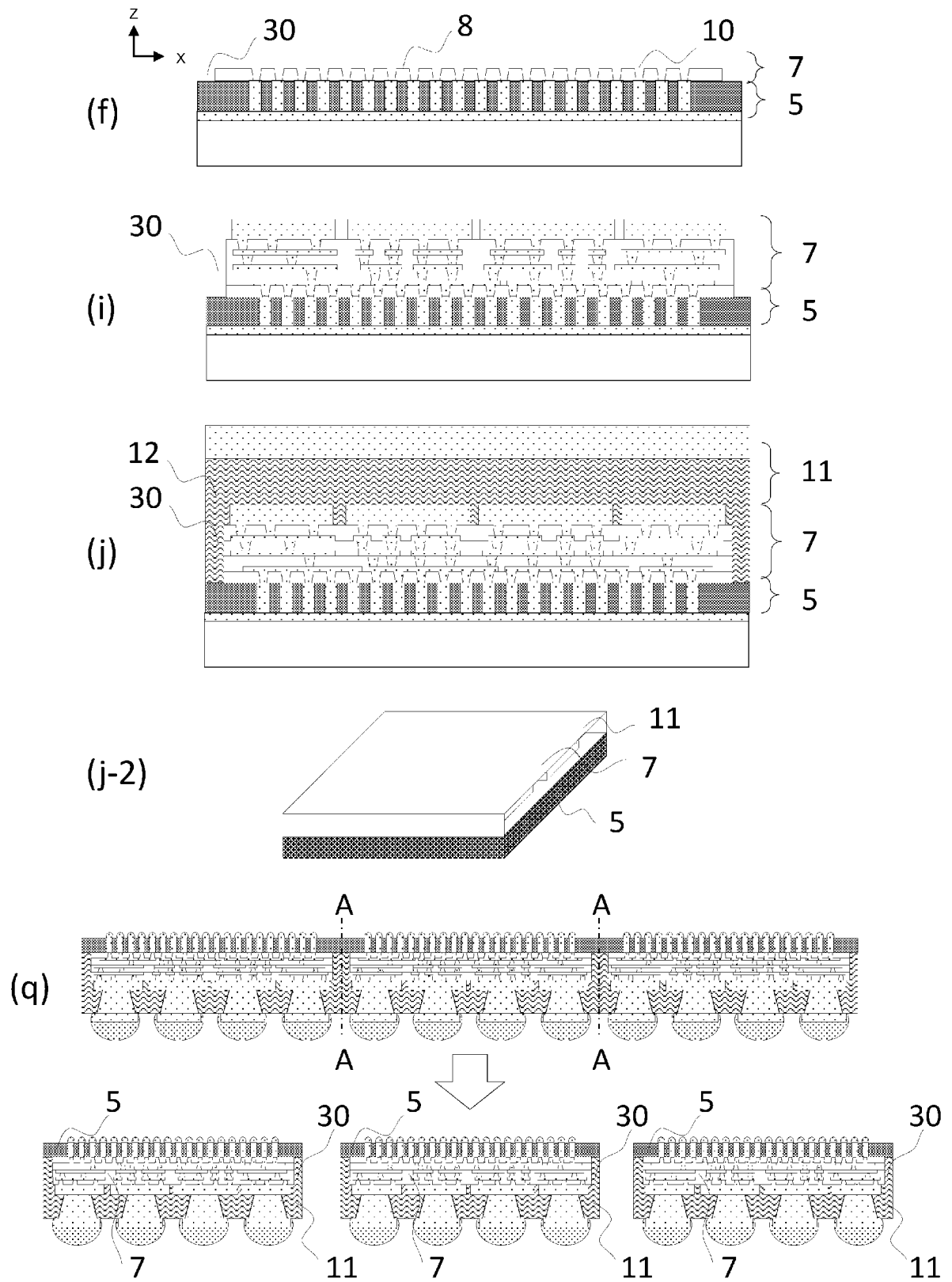
[図14]

図14



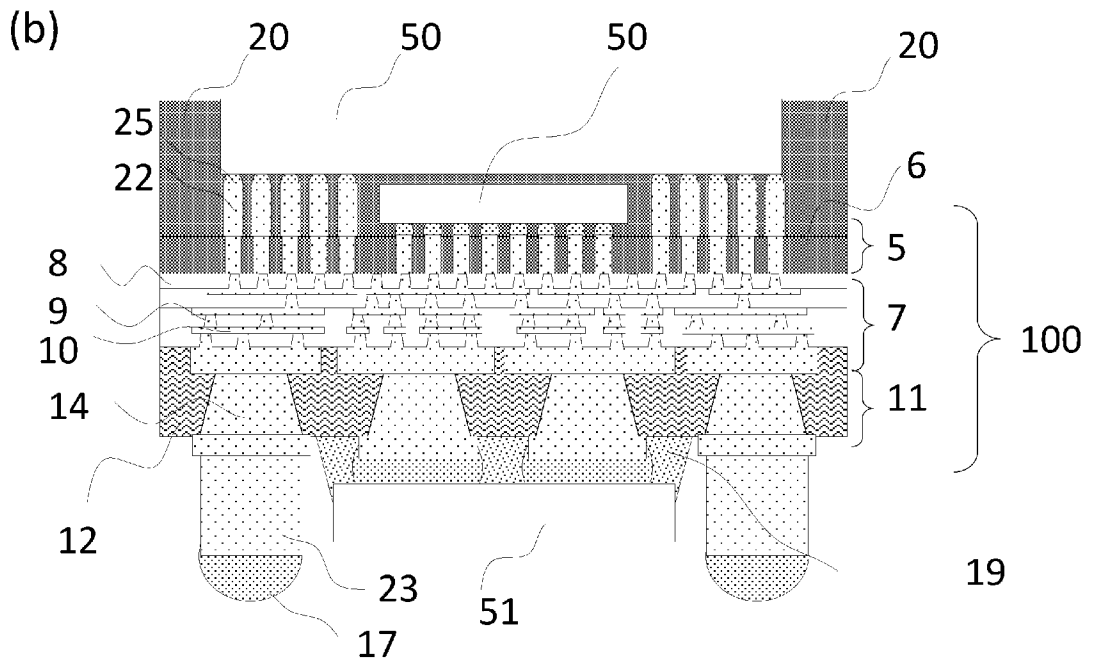
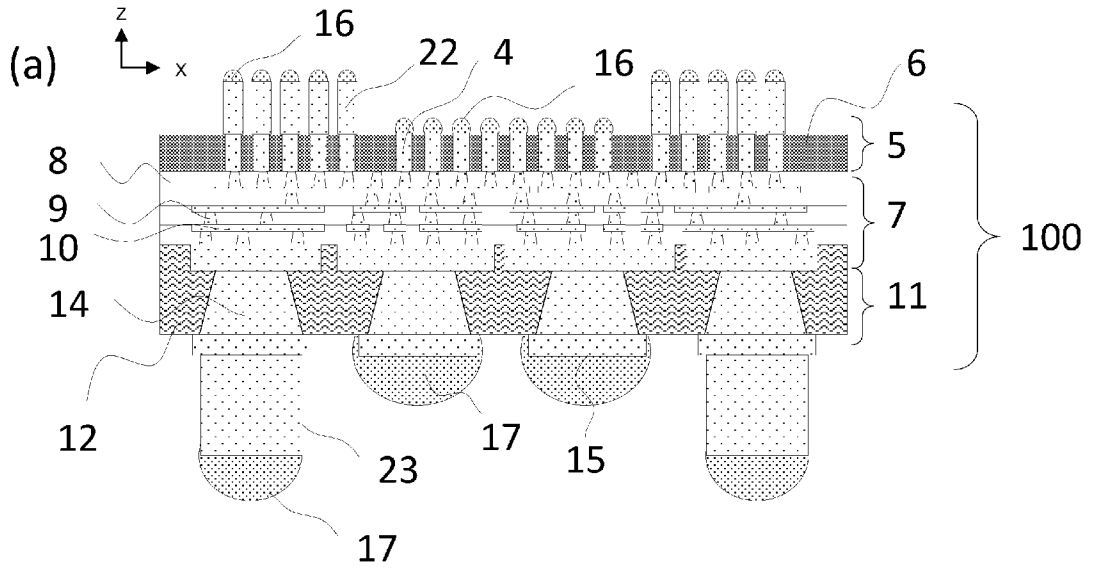
[図15]

図15



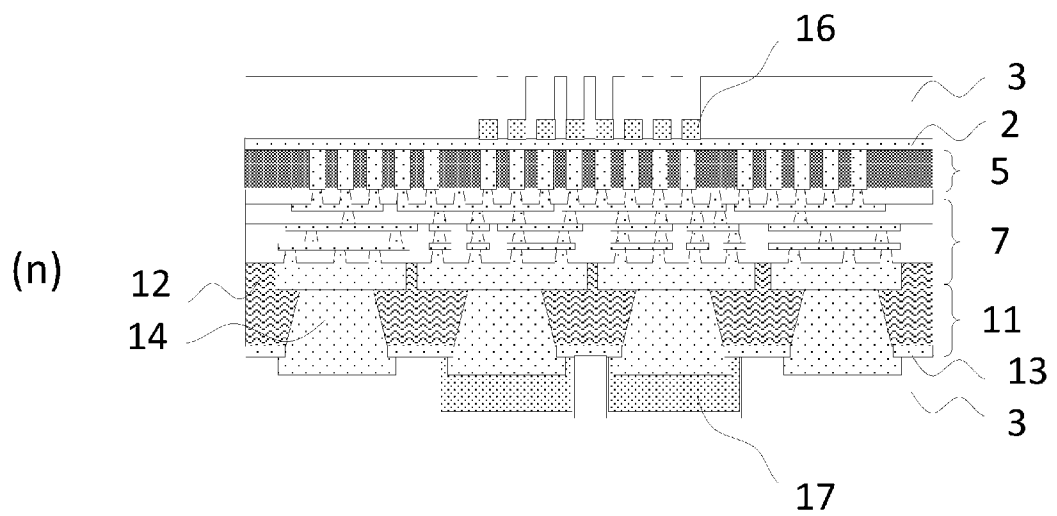
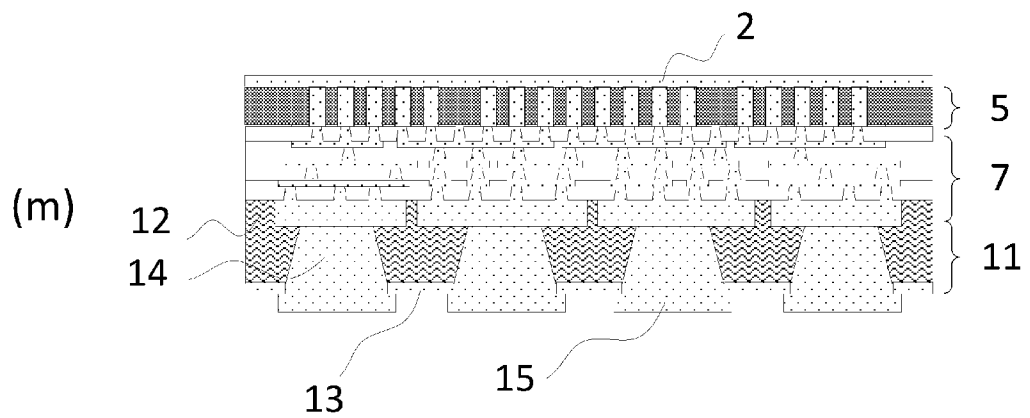
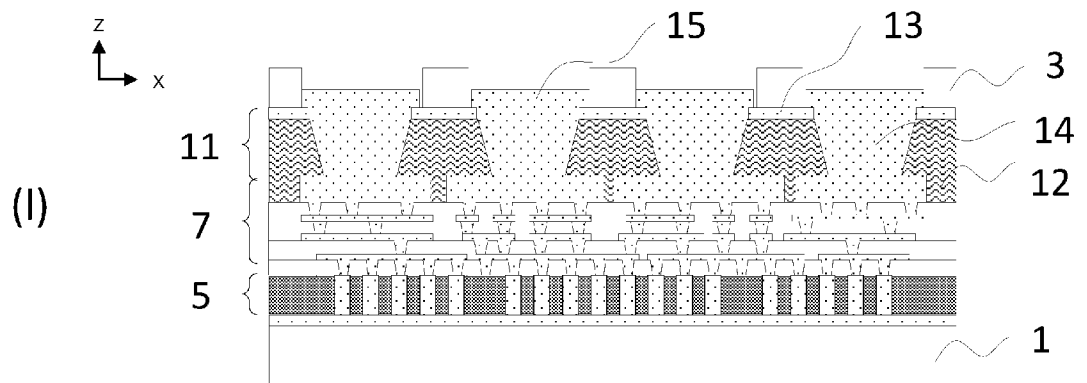
[図16]

図16



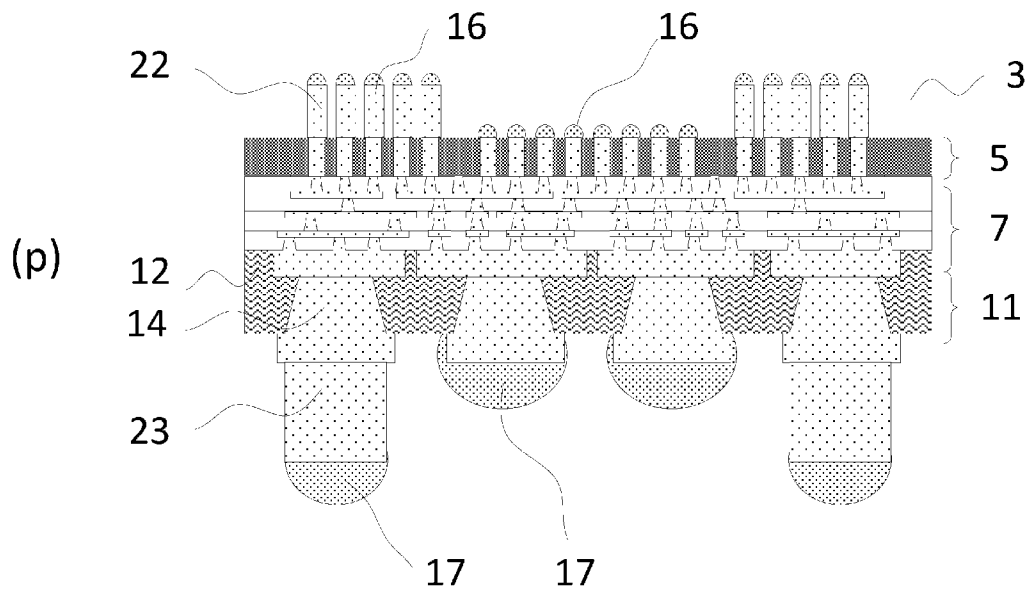
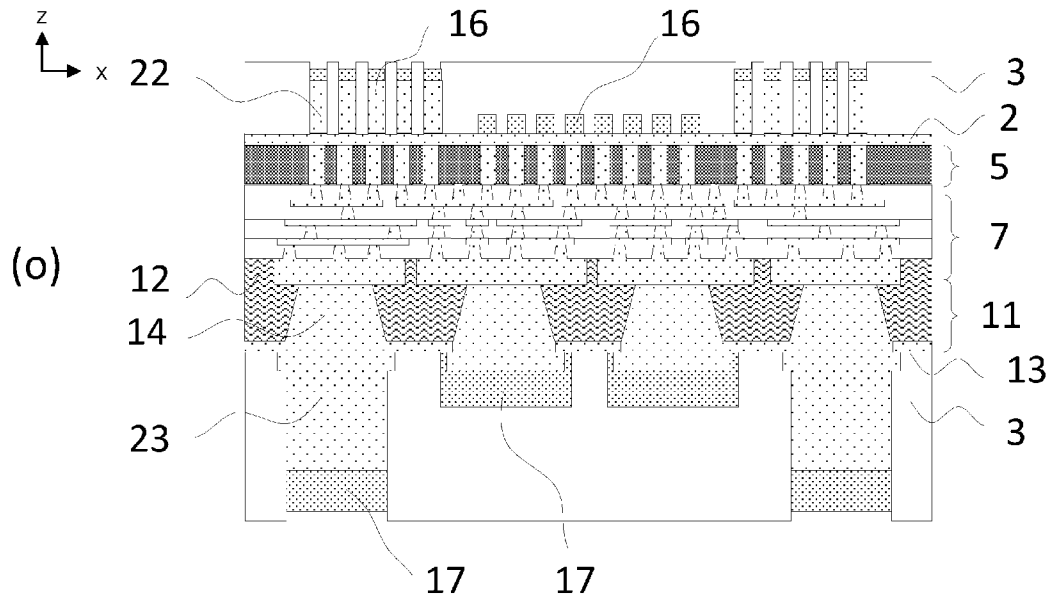
[図17]

図17



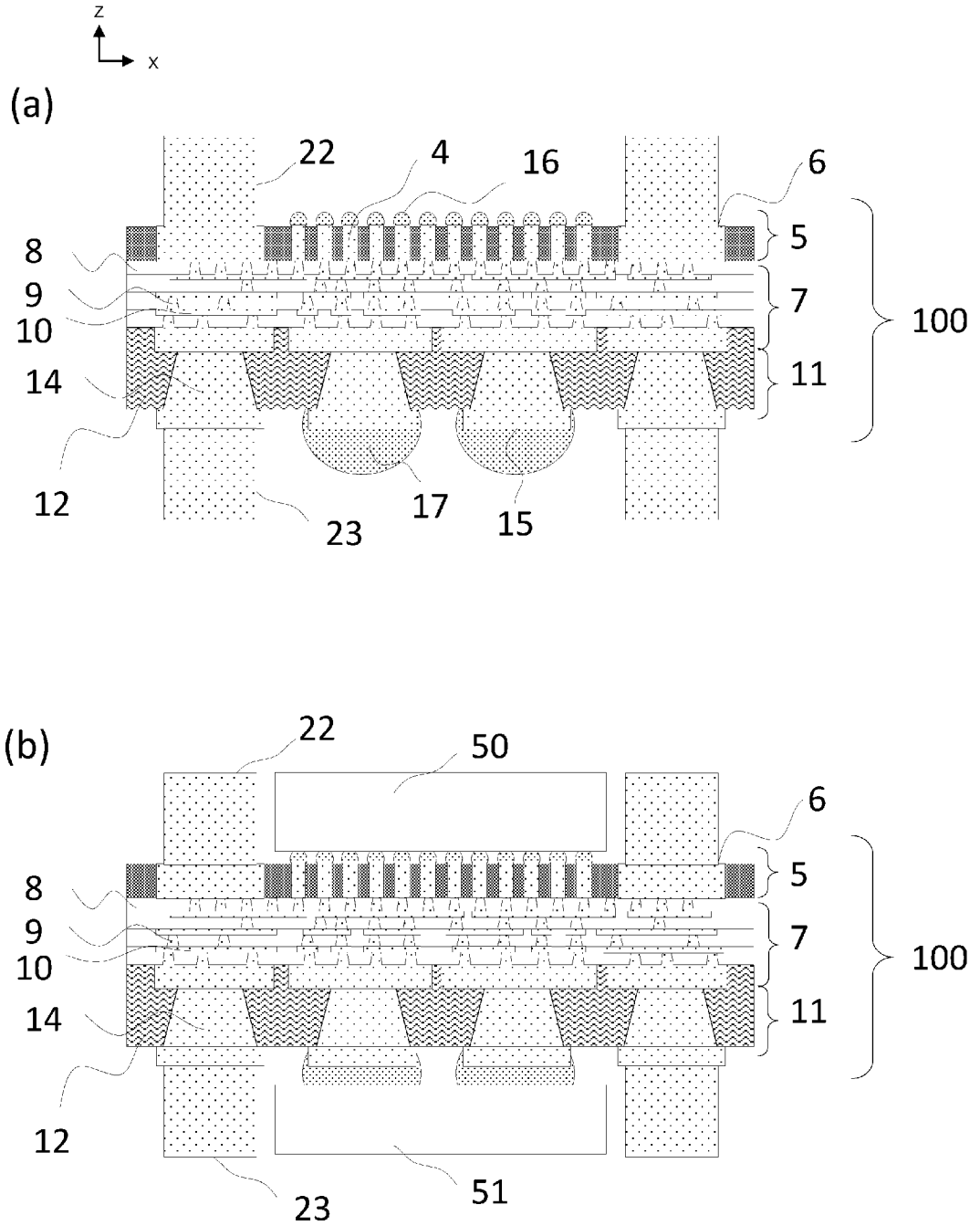
[圖18]

圖18



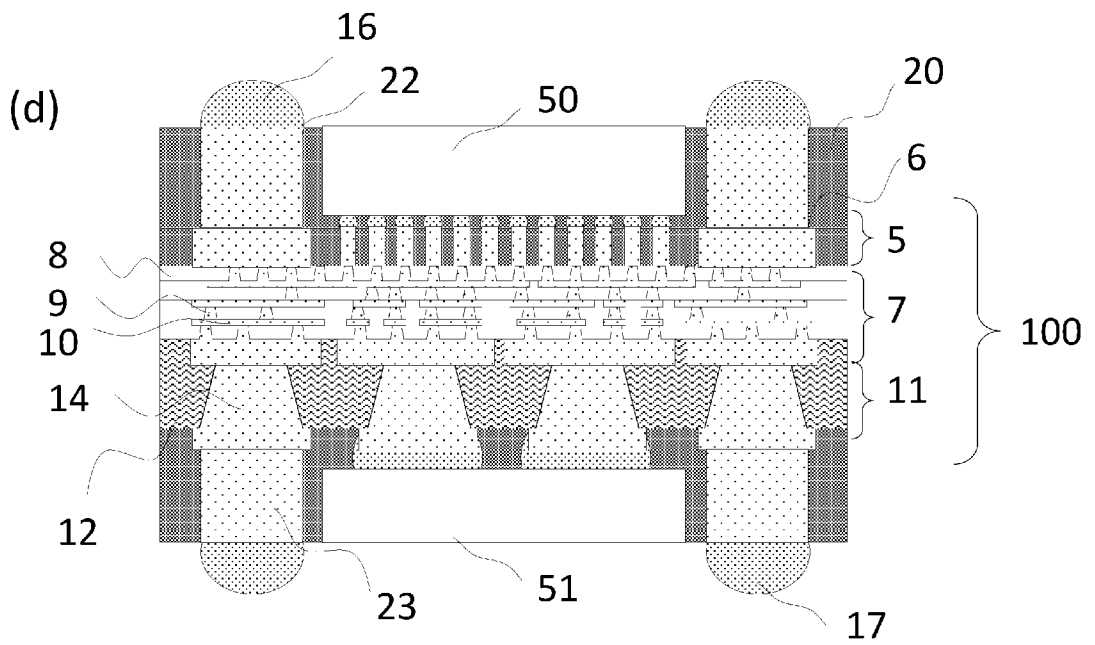
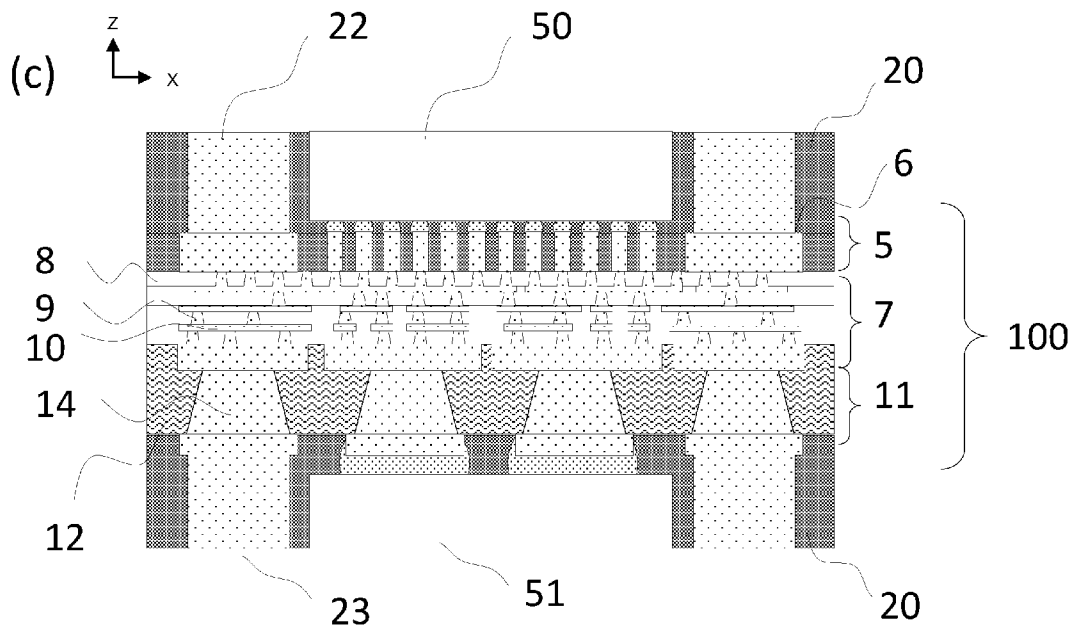
[図19]

図19



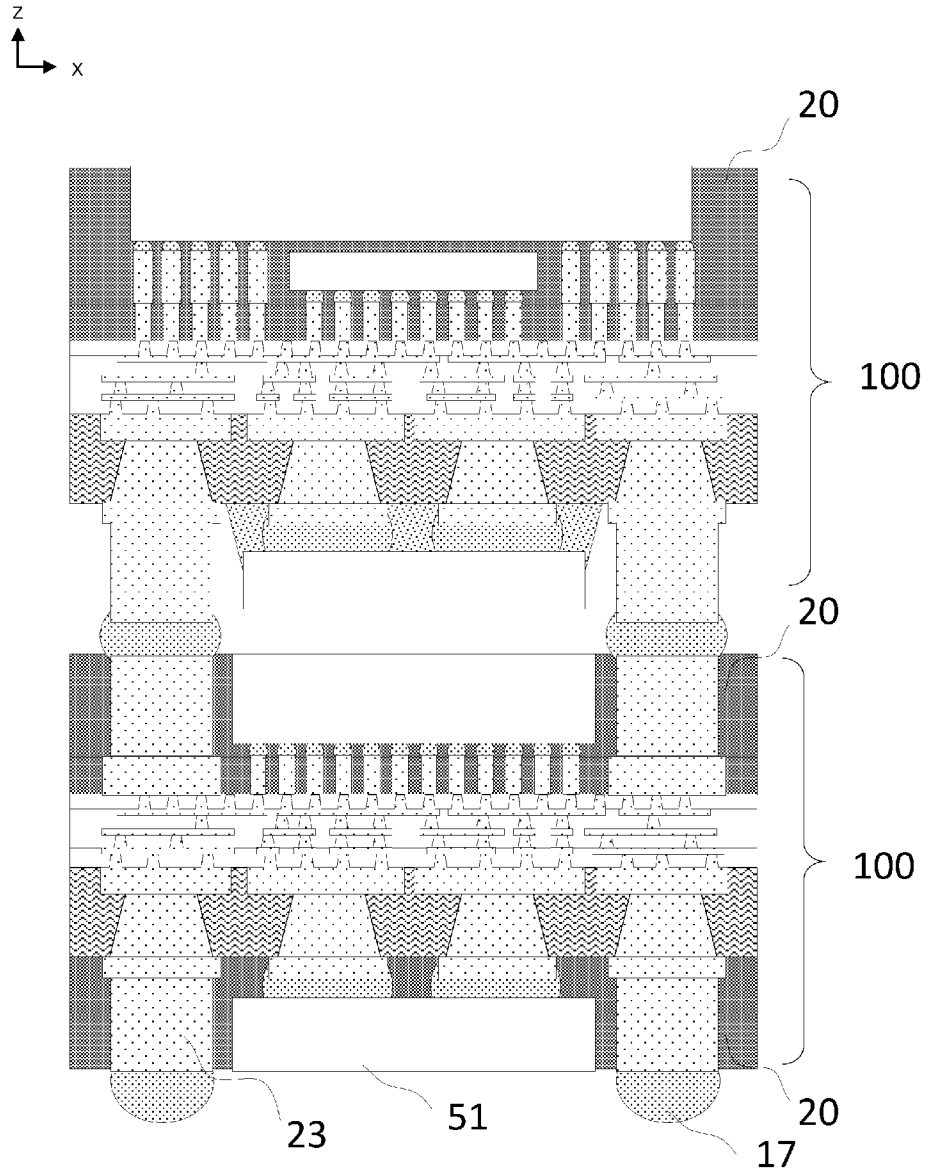
[図20]

図20



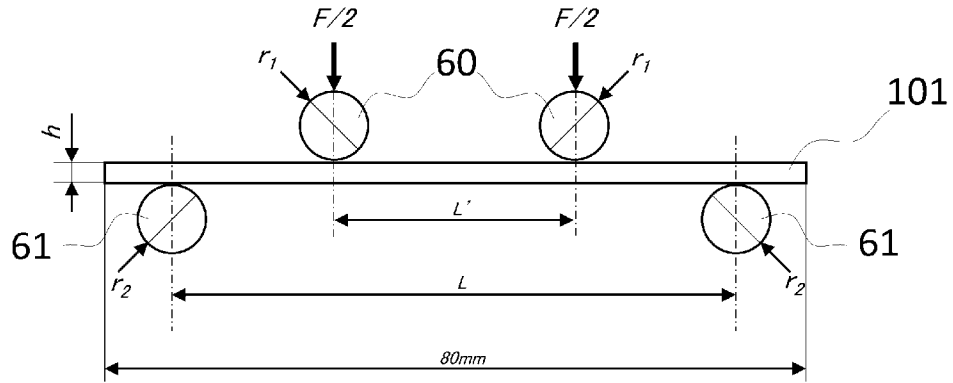
[図21]

図21



[図22]

図22



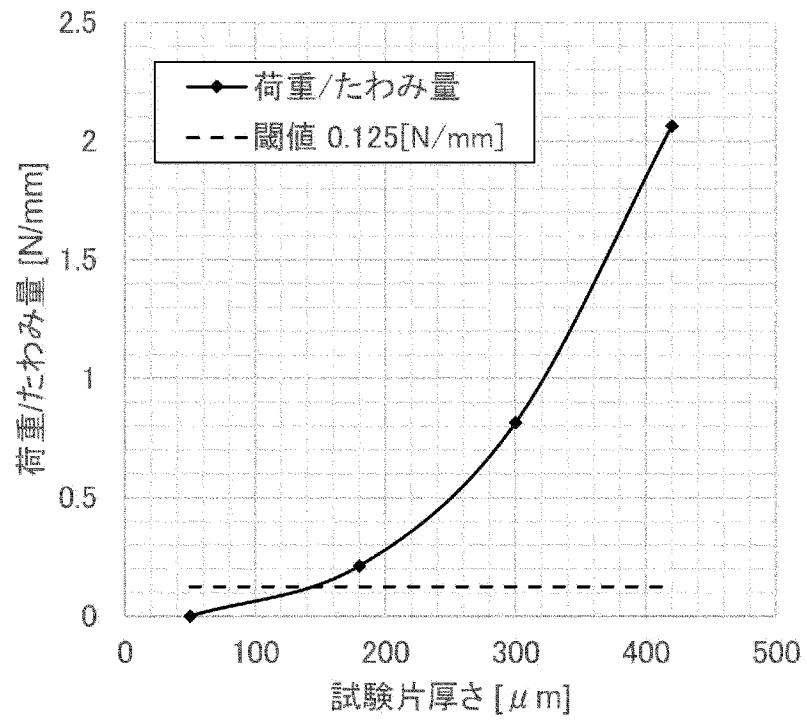
[図23]

図23

試験速度 [mm/min]	許容差 [%]
0.5	±20
1	±20
2	±20
5	±20
10	±20
20	±10
50	±10
100	±10
200	±10
500	±10

[図24]

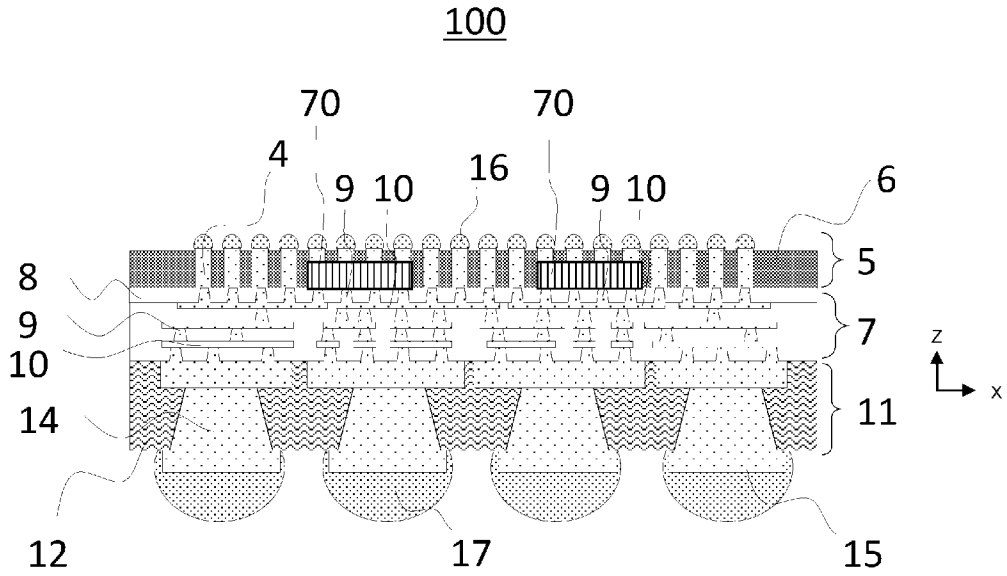
図24



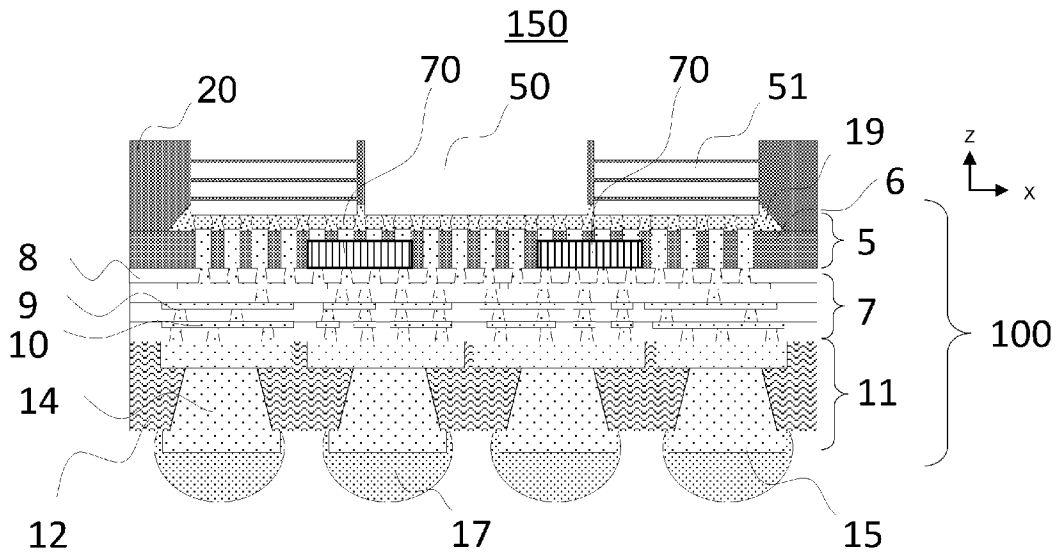
[図25]

図25

(a)

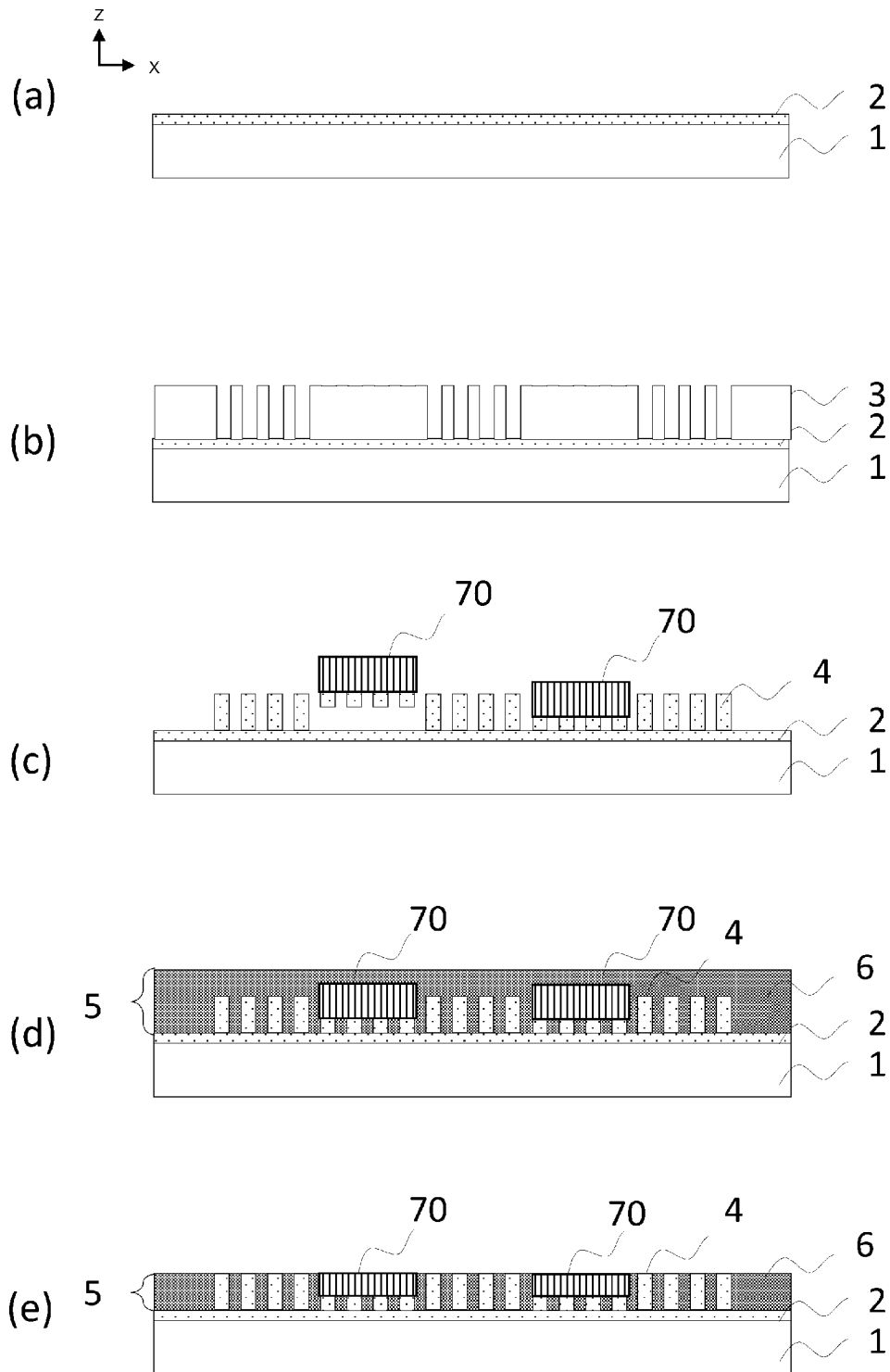


(b)



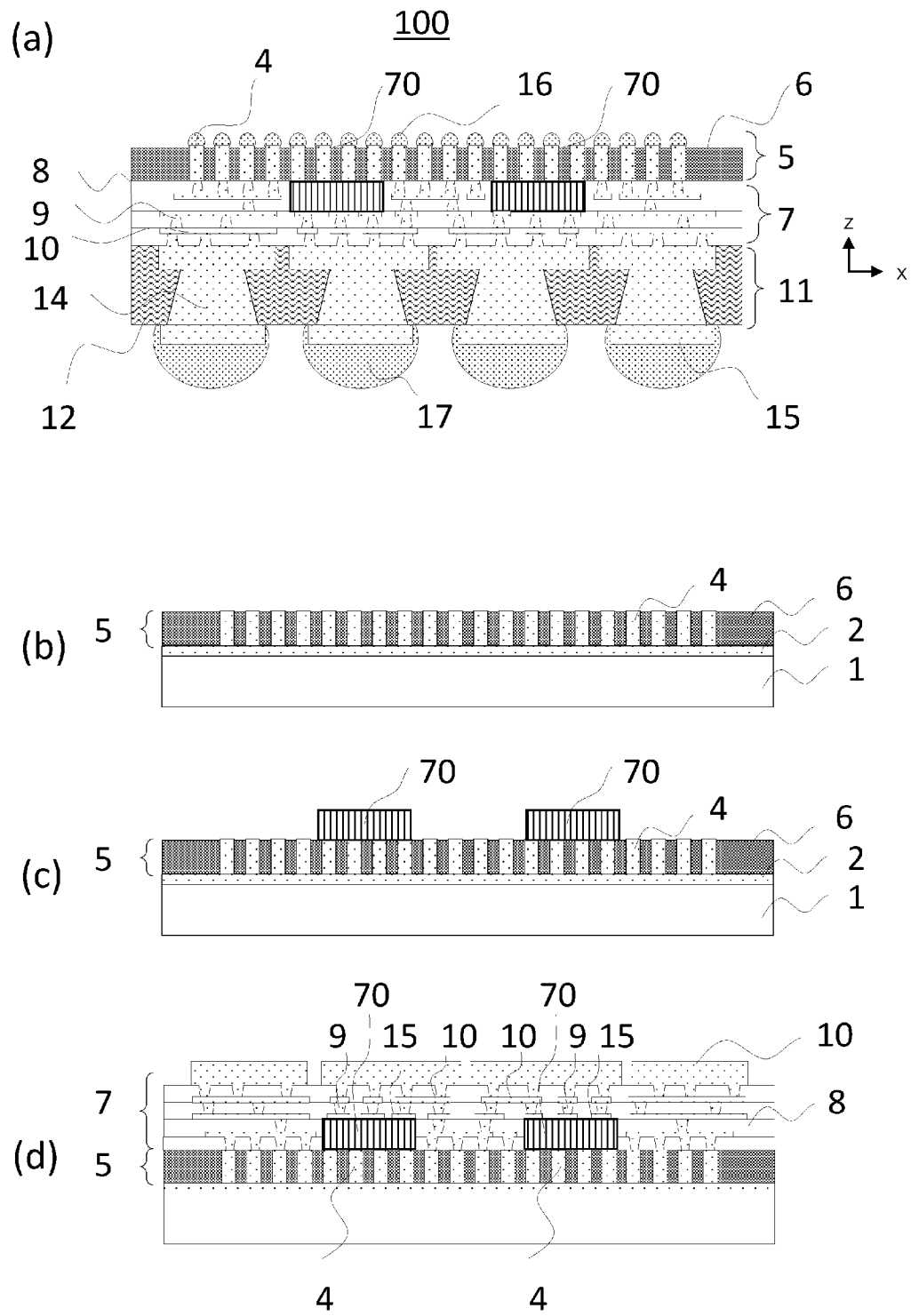
[図26]

図26



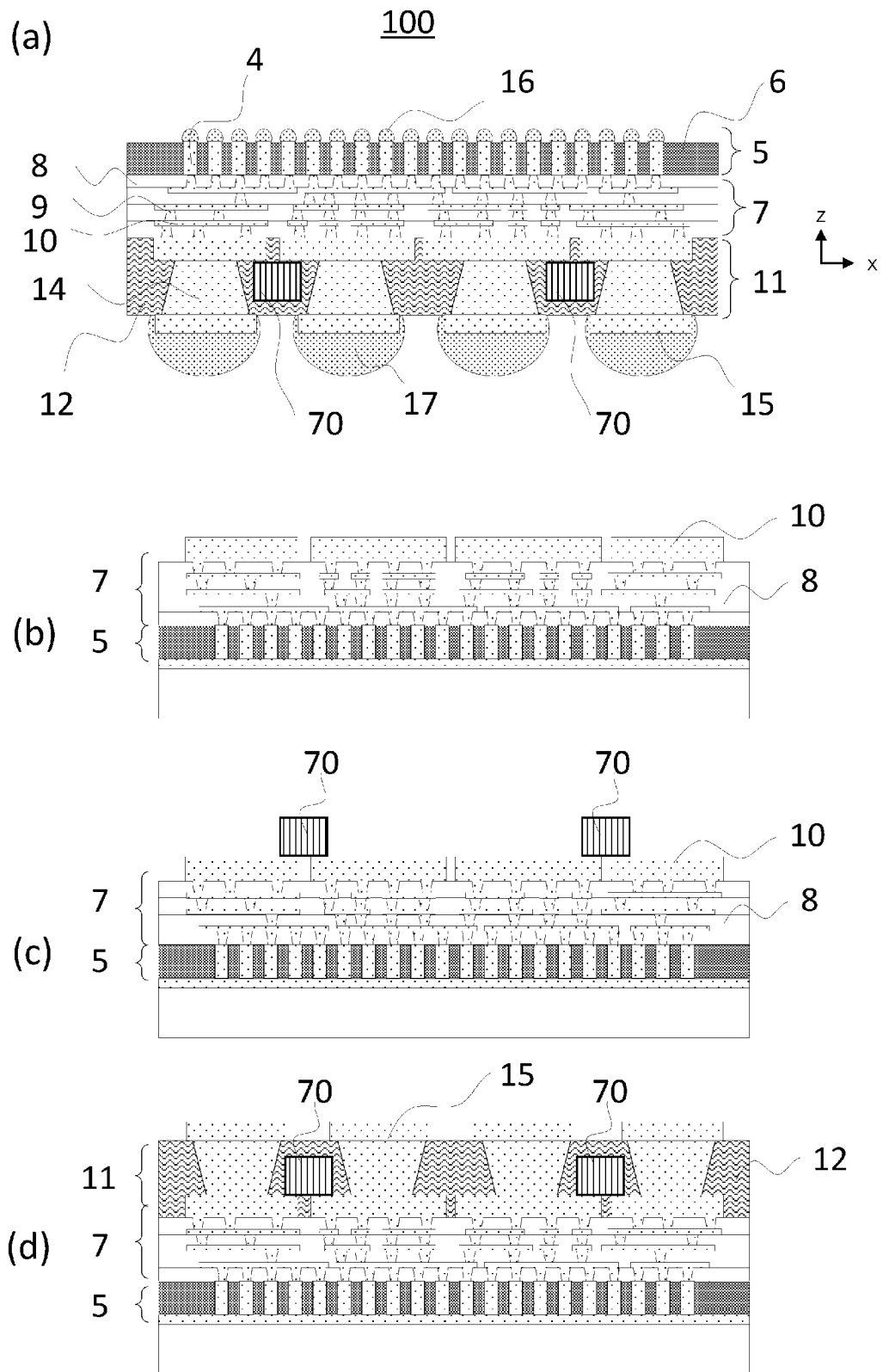
[図27]

図27



[図28]

図28



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/002842

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 23/12</i> (2006.01)i; <i>H01L 23/14</i> (2006.01)i; <i>H01L 23/32</i> (2006.01)i; <i>H05K 3/46</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/065</i> (2023.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L23/12 N; H01L23/12 Q; H01L23/14 R; H01L23/32 D; H01L25/08 H; H05K3/46 B; H05K3/46 W		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L23/12; H01L23/14; H01L23/32; H05K3/46; H01L25/07; H01L25/065; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-088069 A (TOPPAN PRINTING CO., LTD.) 04 June 2020 (2020-06-04) paragraphs [0001]-[0069], fig. 1-8, 12	1-19
Y	JP 2007-266136 A (FUJITSU LTD.) 11 October 2007 (2007-10-11) paragraphs [0002], [0017]-[0025], [0033], fig. 3, 4	1-19
Y	JP 2009-004709 A (FUJITSU LTD.) 08 January 2009 (2009-01-08) paragraph [0022], fig. 10, 11	7
A	entire text, all drawings	1-6, 8-19
Y	JP 2009-141041 A (SHINKO ELECTRIC IND. CO., LTD.) 25 June 2009 (2009-06-25) fig. 1-4	7
A	entire text, all drawings	1-6, 8-19
Y	JP 2009-224739 A (SHINKO ELECTRIC IND. CO., LTD.) 01 October 2009 (2009-10-01) paragraphs [0033]-[0042], fig. 6, 7	16-17
A	entire text, all drawings	1-15, 18-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>04 April 2023</b>		Date of mailing of the international search report <b>18 April 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/002842**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-088069	A	04 June 2020	US 2021/0272898 A1 paragraphs [0001]-[0135], fig. 1-8, 12	
JP	2007-266136	A	11 October 2007	US 2007/0221400 A1 paragraphs [0002]-[0004], [0037]-[0043], fig. 3, 4	
JP	2009-004709	A	08 January 2009	(Family: none)	
JP	2009-141041	A	25 June 2009	US 2009/0145636 A1 fig. 1-4	
JP	2009-224739	A	01 October 2009	US 2009/0236135 A1 paragraphs [0059]-[0077], fig. 6, 7	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 23/12(2006.01)i; H01L 23/14(2006.01)i; H01L 23/32(2006.01)i; H05K 3/46(2006.01)i;                  H01L 25/07(2006.01)i; H01L 25/065(2023.01)i; H01L 25/18(2023.01)i                  FI: H01L23/12 N; H01L23/12 Q; H01L23/14 R; H01L23/32 D; H01L25/08 H; H05K3/46 B; H05K3/46 W</p>																													
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））                  H01L23/12; H01L23/14; H01L23/32; H05K3/46; H01L25/07; H01L25/065; H01L25/18</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年																			
日本国実用新案公報	1922 - 1996年																												
日本国公開実用新案公報	1971 - 2023年																												
日本国実用新案登録公報	1996 - 2023年																												
日本国登録実用新案公報	1994 - 2023年																												
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2020-088069 A（凸版印刷株式会社）04.06.2020（2020 - 06 - 04） [0001]-[0069], 図1-8, 12</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>JP 2007-266136 A（富士通株式会社）11.10.2007（2007 - 10 - 11） [0002], [0017]-[0025], [0033], 図3, 4</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>JP 2009-004709 A（富士通株式会社）08.01.2009（2009 - 01 - 08） [0022], 図10, 11</td> <td>7</td> </tr> <tr> <td>A</td> <td>全文, 全図</td> <td>1-6, 8-19</td> </tr> <tr> <td>Y</td> <td>JP 2009-141041 A（新光電気工業株式会社）25.06.2009（2009 - 06 - 25） 図1-4</td> <td>7</td> </tr> <tr> <td>A</td> <td>全文, 全図</td> <td>1-6, 8-19</td> </tr> <tr> <td>Y</td> <td>JP 2009-224739 A（新光電気工業株式会社）01.10.2009（2009 - 10 - 01） [0033]-[0042], 図6, 7</td> <td>16-17</td> </tr> <tr> <td>A</td> <td>全文, 全図</td> <td>1-15, 18-19</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2020-088069 A（凸版印刷株式会社）04.06.2020（2020 - 06 - 04） [0001]-[0069], 図1-8, 12	1-19	Y	JP 2007-266136 A（富士通株式会社）11.10.2007（2007 - 10 - 11） [0002], [0017]-[0025], [0033], 図3, 4	1-19	Y	JP 2009-004709 A（富士通株式会社）08.01.2009（2009 - 01 - 08） [0022], 図10, 11	7	A	全文, 全図	1-6, 8-19	Y	JP 2009-141041 A（新光電気工業株式会社）25.06.2009（2009 - 06 - 25） 図1-4	7	A	全文, 全図	1-6, 8-19	Y	JP 2009-224739 A（新光電気工業株式会社）01.10.2009（2009 - 10 - 01） [0033]-[0042], 図6, 7	16-17	A	全文, 全図	1-15, 18-19
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																											
Y	JP 2020-088069 A（凸版印刷株式会社）04.06.2020（2020 - 06 - 04） [0001]-[0069], 図1-8, 12	1-19																											
Y	JP 2007-266136 A（富士通株式会社）11.10.2007（2007 - 10 - 11） [0002], [0017]-[0025], [0033], 図3, 4	1-19																											
Y	JP 2009-004709 A（富士通株式会社）08.01.2009（2009 - 01 - 08） [0022], 図10, 11	7																											
A	全文, 全図	1-6, 8-19																											
Y	JP 2009-141041 A（新光電気工業株式会社）25.06.2009（2009 - 06 - 25） 図1-4	7																											
A	全文, 全図	1-6, 8-19																											
Y	JP 2009-224739 A（新光電気工業株式会社）01.10.2009（2009 - 10 - 01） [0033]-[0042], 図6, 7	16-17																											
A	全文, 全図	1-15, 18-19																											
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																													
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>																													
<p>国際調査を完了した日</p> <p>04.04.2023</p>	<p>国際調査報告の発送日</p> <p>18.04.2023</p>																												
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>庄司 一隆 5F 1215</p> <p>電話番号 03-3581-1101 内線 3516</p>																												

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2023/002842

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-088069 A	04.06.2020	US 2021/0272898 A1 [0001]-[0135], 図1-8, 12	
JP 2007-266136 A	11.10.2007	US 2007/0221400 A1 [0002]-[0004], [0037]- [0043], 図3, 4	
JP 2009-004709 A	08.01.2009	(ファミリーなし)	
JP 2009-141041 A	25.06.2009	US 2009/0145636 A1 図1-4	
JP 2009-224739 A	01.10.2009	US 2009/0236135 A1 [0059]-[0077], 図6, 7	