

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 3/153

(45) 공고일자 1994년05월28일
(11) 공고번호 특1994-0004740

(21) 출원번호	특1991-0022165	(65) 공개번호	특1993-0013973
(22) 출원일자	1991년12월04일	(43) 공개일자	1993년07월22일
(71) 출원인	삼성전자 주식회사 강진구 경기도 수원시 권선구 매탄동 416번지		
(72) 발명자	김홍석 경기도 수원시 권선구 매탄동 주공 5단지 아파트 525동 403호 이형복 경기도 부천시 남구 역곡동 건우아파트 가동 507호		
(74) 대리인	이영필, 최덕용		

심사관 : 홍순우 (책자공보 제3640호)

(54) 커서처리회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

커서처리회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 비디오 어댑터의 실시예의 블럭도이다.

제2도는 본 발명에 따른 커서처리회로의 실시예의 블럭도이다.

제3도는 제2도에 도시된 회로의 상세한 회로도이다.

제4도는 본 발명을 설명하기 위한 커서 표시 상태도이다.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|--------------------|------------------------|
| 110 : PCIF | 111 : LMIF |
| 112 : MIF | 130 : 에뮬레이션부 |
| 140 : 에뮬레이션/커서메모리 | 141, 142 : 제1, 2시스템메모리 |
| 143 : 표시메모리 | 150 : 커서처리회로 |
| 200 : 기준위치 데이터 입력부 | 210 : 화소위치데이터발생기 |
| 220 : 위치 제어신호 발생기 | 230 : 커서 데이터 배열부 |
| 240 : 데이터융합부 | 250 : 메모리제어부 |
| 260 : 커서 데이터 메모리 | |

[발명의 상세한 설명]

본 발명은 디지털 정보처리 시스템(Digital Information Processing System)에 있어서 비디오어댑터 (Video Adaptor)에 관한 것으로, 특히 커서를 표시장치에 표시하기 위한 처리회로에 관한 것이다.

일반적으로, 디지털 정보처리 시스템은 컴퓨터(Computer), 워드프로세서(Wor

d Processor), 캐드(CAD) 및 캠(CAM) 등을 통칭하며, 이들 디지털 정보처리 시스템은 정보를 디지털 형태로 처리한다. 한편, 비디오 어댑터는 디지털 정보처리 시스템에서 처리되는 정보를 영상표시 장치에 표시될 수 있도록 비디오신호 형태로 변환한다. 그리고 비디오 어댑터는 디지털 정보처리 시스템에서 처리되는 정보를 비디오신호형태로 처리하는 기능외에 사용자가 입력하는 정보입력 상태를 지시하기 위해 커서(Cursor)를 처리하는 기능을 갖고 있다. 또한, 비디오 어댑터는 대부분 커서의 처리를 소프트웨어(Software)에 의해 수행하고 있다.

상기 소프트웨어에 의한 커서의 처리방법은 디지털 정보처리장치에서 지정하는 커서의 위치정보에 의해 커서데이터를 처리하여 비디오데이터가 저장되는 메모리에 비디오데이터와 함께 저장한다.

이때, 저장되는 커서데이터는 배경의 화면을 명확히 하기 위하여 비디오데이터와 논리합 연산된다. 그리고 논산합 연산된 커서데이터는 커서의 경계값을 명확히 하기 위하여 경계부근의 비디오데이터와 배타적논리합 연산된다.

그러나, 상기 소프트웨어에 의한 커서의 처리방법은 표시장치의 해상도가 높아 질수록 처리속도가 증가되며, 또한 별도의 보조 프로그램을 요구한다. 특히 입력장치로서 마우스(Mouse)를 사용하는 디지털 정보처리 시스템의 경우 비디오 어댑터의 커서처리속도는 현저하게 증가되고, 많은 커서처리용 보조 프로그램이 요구된다.

따라서, 본 발명의 목적은 커서의 처리속도를 향상시킬 수 있는 커서처리회로를 제공함에 있다.

본 발명의 다른 목적은 커서의 표시위치를 표시장치의 해상도에 따라 적응적으로 정밀조절할 수 있는 커서처리회로를 제공함에 있다.

본 발명의 또 다른 목적은 커서의 처리속도를 향상시키고, 프로그램부하를 감소시킬 수 있는 비디오 어댑터를 제공함에 있다.

상기 목적을 달성하기 위하여, 본 발명은 화면의 구간별 위치정보를 발생하는 기준위치정보 발생기와 커서의 기준위치지정 데이터 및 구간별 화소위치 정보에 의해 커서의 표시영역을 설정하기 위한 X 및 Y축 활성영역 설정신호를 발생하는 제어신호 발생부와; Y축 활성영역 설정신호에 응답하여 커서 데이터를 발생하는 커서데이터 발생부와 X 및 Y축 활성영역 설정신호에 따라 발생된 커서데이터들을 배열하는 커서데이터 배열부를 포함한다. 이와 본 발명을 첨부한 도면을 참조하여 상세히 설명하기로 한다.

제1도는 본 발명에 따른 비디오 어댑터와 실시예의 블록도이다.

제1도에 있어서, CONTROL 105, 115, 125는 1~3입출력단자이고, 145는 출력단자이며, 110은 퍼스널 컴퓨터 중계부(Personal Computer Interface Portion : 이하 "PCIF"라 함)이고, 111은 로컬메모리 중계부(Local Memory Interface Portion : 이하 "LMIF"라 함)이며, 112는 모니터 중계부(Monitor Interface Portion : 이하 "MIF"라 함)이다. 그리고 120은 그래픽시스템 프로세서(Graphic System Processor : 이하 "GSP"라 함)이고, 130은 에뮬레이션부(Emulation Portion)이며, 140은 에뮬레이션/커서메모리(Emulation/Cursor Memory)이고, 141 및 142는 제1, 2시스템메모리(System Memory)이며, 143은 표시메모리(Display Memory)이고, 150은 커서처리회로이다.

제1입출력단자(105)는 퍼스널컴퓨터(도시하지 않음)에 접속되며, 그리고 제1입출력단자(105)는 에뮬레이션부(130)의 제1제어입력단자 및 PCIF(110)의 제1제어단자에 접속되어 있다. 제2입출력단자(115)는 퍼스널컴퓨터에 접속된다. 그리고 제2입출력단자(115)는 에뮬레이션부(130)의 어드레스 입력단자 및 PCIF(110)의 어드레스 단자에 접속되어 있다. PCIF(110)의 제2데이터 단자는 GSP(120)의 제1데이터 단자에 접속되어 있다. PCIF(110)의 제2제어단자는 GSP(120)의 제1제어단자에 접속되어 있다. GSP(120)의 제2데이터 단자는 LMIF(111)의 제1데이터 단자에 접속되어 있다. GSP(120)의 제2제어단자는 LMIF(111)의 제1제어단자에 접속되어 있다. 그리고 GSP(120)의 동기신호 단자는 커서처리회로(150)의 동기신호 입력단자 및 MIF(112)의 동기신호 입력단자에 접속되어 있다. LMIF(111)의 제2제어단자는 에뮬레이션부(130)의 제2제어입력단자, 제1시스템메모리(141)의 제어단자, 제2시스템메모리(142)의 제어단자, 표시메모리(143)의 제어단자 및 커서처리회로(150)의 제어단자에 접속되어 있다.

LMIF(111)의 어드레스단자는 에뮬레이션/커서메모리(140)의 어드레스 단자, 제1시스템메모리(141)의 어드레스 단자, 제2시스템메모리(142)의 어드레스 단자 및 표시메모리(143)의 어드레스 단자에 접속되어 있다. LMIF(111)의 제2데이터 단자는 에뮬레이션/커서메모리(140)의 제2데이터단자, 제1시스템메모리(141)의 데이터단자, 제2시스템메모리(142)의 데이터단자, 표시메모리(143)의 제1데이터 단자 및 커서처리회로(150)의 제1데이터 단자에 접속되어 있다. 표시메모리(150)의 제2데이터 단자는 커서처리회로(150)의 제2데이터 단자에 접속되어 있다. 커서처리회로(150)의 출력단자는 MIF(112)의 데이터 입력단자에 접속되어 있다. MIF(112)의 클럭 출력단자는 GSP(120)의 클럭 입력단자 및 커서처리회로(150)의 클럭 입력단자에 접속되어 있다. 그리고 MIF(112)의 출력단자는 출력단자(145)에 접속되어 있다. 출력단자(145)는 표시장치(도시하지 않음)에 접속된다.

제1도의 작동에 있어서, PCIF(110)는 제1~3입력단자(105, 115, 125)를 통해 퍼스널컴퓨터에서 유입되는 제어신호, 24비트의 어드레스 신호(SA0~SA16, LA17~LA28), 16비트의 데이터 신호(SD0~SD15)를 GSP(120)쪽으로 전달하고, GSP에서 유출되는 제어신호 및 데이터를 제1, 3입력단자(105, 125)을 통해 퍼스널컴퓨터 쪽으로 전송한다.

에뮬레이션부(130)는 제1입력단자(105)를 통해 유입되는 제어신호 및 LMIF(111)로 부터 인가되는 제어신호에 의해 에뮬레이션/커서메모리(140)의 액세스 작동을 제어한다. 여기서, 에뮬레이션부(130)에 제1입력단자(103)를 통해 제어신호가 유입된 경우, 에뮬레이션/커서메모리(140)는 제3입력단자(125)를 통해 제1데이터 단자로 유입되는 에뮬레이션 데이터를 자체내에 저장한다. 반대로, 에뮬레이션부(130)에 LMIF(111)로 부터 제어신호가 인가되는 경우, 에뮬레이션/커서메모리(140)는 자체내에 저장된 에뮬레이션 데이터 중 LMIF(111)로 부터 인가되는 14비트의 어드레스 신호(ADD0~ADD13)

의 논리값에 해당하는 저장구역에 저장된 에뮬레이션 데이터를 독출하여 LMIF(111)에 공급한다. 그리고 에뮬레이션(130)은 제2입력단자(115)을 통해 유입되는 24비트의 어드레스 신호(LA0~LA23)에 의해 구동되며, 또한 제1입력단자(105)를 통해 유입되는 제어신호 및 LMIF(111)로부터 인가되는 제어신호가 동시에 인가될 때는 우선 순위에 따라 상기 두가지 작동중 한 작동을 먼저 개시되도록 제어한다. GSP(120)는 PCIF(110)를 통해 퍼스널컴퓨터로부터 인가되는 비디오표시 지정명령에 의해 에뮬레이션/커서메모리(140)에 저장된 커서데이터를 제어처리한다.

상기 커서데이터 제어처리 과정을 상세하게 설명하면 다음과 같다. GSP(120)는 LMIF(111)를 통해 에뮬레이션/패턴 메모리(140)에 저장된 커서데이터를 읽어들이 표시메모리(143)에 저장한다. 커서처리회로(150)는 표시메모리(143)에 저장된 비디오데이터가 동기신호들에 동기된 상태로 커서처리회로(150)의 제2데이터 단자에 공급되도록 표시메모리(143)을 제어한다. 또한, GSP(120)은 커서 표시를 위하여 커서표시 제어신호, 커서의 위치데이터를 LMIF(111)를 통해 커서처리회로(150)의 제1데이터 단자에 공급한다. 한편으로, GSP(120)는 수직동기신호, 수평동기신호 및 블랭킹신호를 발생하여 커서처리회로(150) 및 MIF(112)에 공급한다. 제1시스템 메모리(141)는 GSP(120)에서 연산도중 발생하는 데이터를 일시 저장하는 기능을 하며, 이를 위하여, 대략 2MB 정도의 용량을 갖는 다이렉트 랜덤 액세스 메모리(Direct Random Access Memory; 이하 "DRAM"이라함)로 형성된다.

그리고 제1시스템 메모리(141)는 GSP(120)에서 처리된 다양한 모양의 커서데이터를 갖고 있으며 커서메모리(140)에는 현재 사용중인 커서데이터만 저장한다. 제2시스템 메모리(142)는 GSP(120)의 동작프로그램 및 각종 파라미터를 저장하고 있으며, 대략 32KB 정도의 용량을 갖는 리드오로지 메모리(Read only Memory; 이하 ROM"이라 함)로 구성된다. 에뮬레이션/커서메모리(140)는 제3입력단자(125)을 통해 유입되는 에뮬레이션 데이터 및 표시될 정보에 대한 커서데이터를 저장한다. 표시메모리(143)는 GSP(120)에서 처리된 한 화면분의 비디오 데이터를 일시저장하며, 이를 위하여, 대략 1.5MB 정도의 용량을 갖는 VRAM으로 구현된다. 커서처리회로(150)는 GSP(120)로부터 LMIF(111)를 통해 제1데이터 단자 및 제어단자로 커서의 위치데이터 및 커서표시 제어신호가 유입될때, 에뮬레이션/커서메모리(140)에 저장된 커서데이터를 독출하고, 표시메모리(143)로부터 제2데이터 단자로 유입되는 비디오데이터와 상기 독출한 커서데이터를 융합하여 화상데이터를 형성한 후 MIF(112)에 공급한다. 그리고 커서처리회로(150)는 커서데이터를 비디오데이터에 융합하지 않을 경우에는 표시메모리(143)로부터 유입되는 비디오데이터를 그대로 MIF(112)로 전달한다. 이와 같은 작동을 수행하기 위하여, 커서처리회로(150)는 MIF(112)에서 공급되는 비디오 클럭펄스열 및 GSP(120)로 유입되는 수평동기신호, 수직동기신호 및 블랭킹 신호에 응답한다. MIF(112)는 비디오 클럭펄스열을 발생하여 GSP(120) 및 커서처리회로(150)에 공급하기 위한 클럭발생기를 포함한다. 그리고 MIF(112)는 커서처리회로(150)로부터 유입되는 화상데이터를 GSP(120)로부터 인가되는 수평동기신호, 수직동기신호 및 블랭킹신호와 자체내에서 발생하는 비디오 클럭펄스열에 맞추어 출력단자(145)를 통해 표시장치(도시하지 않음)로 전송한다.

제2도는 본 발명에 따른 커서처리회로의 실시예를 나타내는 블록도이다. 제1도에 도시된 비디오 어댑터의 한 부분인 커서처리회로(150)의 상세 블록도이다.

제2도에 있어서, 제1데이터 단자(260)는 커서 기준위치 데이터(LA0~LA15)를 유입하기 위하여 제1도에 도시된 LMIF(111)의 제2데이터 단자에 접속되며, 제1데이터 단자(260)는 기준위치 데이터 입력하기 위하여 제1도에 도시된 표시메모리(143)의 제2데이터단자에 접속된다. 그리고 제2데이터단자(261)는 데이터융합부(240)의 제1데이터 단자에 접속되어 있다. 클럭 입력단자(262)는 비디오 클럭 펄스열(VCLK)을 유입하기 위하여 제1도에 도시된 MIF(112)의 클럭단자에 접속된다. 그리고 클럭입력 단자(262)는 화소위치 데이터 발생부(210)의 제1입력단자, 커서데이터 배열부(230)의 제1제어단자, 데이터 융합부(240)의 제1제어단자 및 메모리 제어부(250)의 제1제어단자에 접속되어 있다.

제1동기신호 입력단자(263)는 수평동기신호(/HSYH)를 유입하기 위하여 제1도에 도시된 GSP(120)의 동기신호 단자에 접속된다. 그리고 제1동기신호 입력단자(263)는 커서데이터 배열부(230)의 제4제어 단자에 접속되어 있다. 제2동기신호 입력단자(264)는 블랭킹신호(/BLANK)를 유입하기 위하여 제1도에 도시된 GSP(120)의 동기신호 단자에 접속된다.

그리고 제2동기신호 입력단자(264)는 화소위치 데이터 발생부(210)의 제2입력단자, 위치제어신호 발생부(220)의 제1제어단자, 커서데이터 배열부(230)의 제2제어단자, 데이터융합부(240)의 제2제어단자 및 메모리 제어부(250)의 제2제어단자에 접속되어 있다. 제3동기신호 입력단자(265)는 수직동기신호(/VSYN)를 유입하기 위하여 제1도에 도시된 GSP(120)의 동기신호 단자에 접속된다. 그리고 제3동기신호 입력단자(265)는 화소위치 데이터 발생부(210)의 제3입력단자, 위치제어신호 발생부(220)의 제2제어단자, 커서데이터 배열부(230)의 제3제어단자 및 데이터융합부(240)의 제2제어단자에 접속되어 있다.

제1제어신호 입력단자(266)는 커서표시 제어신호를 유입하기 위하여 제1도에 도시된 LMIF(111)의 제2제어단자에 접속된다. 그리고 제1제어신호 입력단자(266)는 기준위치 데이터 입력부(200)의 제1제어단자에 접속되어 있다. 제2제어신호 입력단자(267)는 라이트 제어신호(/W)를 유입하기 위하여 제1도에 도시된 LMIF(111)의 제2제어단자에 접속된다. 그리고 제2제어신호 입력단자(267)는 기준위치 데이터 입력부(200)의 제2제어단자에 접속되어 있다. 제3제어신호 입력단자(268)는 시스템 리셋신호(/RST)를 유입하기 위하여 제1도에 도시된 LMIF(111)의 제어단자에 접속된다. 그리고 제3제어신호 입력단자(268)는 메모리제어부(250)의 제3제어단자에 접속되어 있다. 기준위치 데이터 입력부(200)의 제1, 2, 출력단자는 위치 제어신호발생부(220)의 제1, 2입력단자에 접속되어 있다. 그리고 기준위치 데이터 입력부(200)의 제3, 4출력단자는 커서 데이터 배열부(230)의 제8, 9제어단자에 접속되어 있다. 기준위치데이터 발생기(210)의 제1, 2출력단자는 위치제어신호 발생부(220)의 제3, 4입력단자에 접속되어 있다. 위치제어신호 발생부(220)의 제1출력단자는 커서 데이터 배열부(230)의 제5제어단자에 접속되어 있다. 위치제어신호 발생부(220)의 제2출력 단자는 커서데이터 배열부(230)의 제6제어단자 및 메모리제어부(250)의 제4제어단자와 결합되어 있다. 메모리제어부(250)의 제1출력단자는 커서데이터 배열부(230)의 제어단자 및 커서데이터 메모리(260)의 리드단자와 결합되어 있다. 그

리고 메모리제어부(250)의 제2출력단자는 에뮬레이션/커서메모리(140)의 어드레스 단자에 접속되어 있다. 에뮬레이션/커서메모리(140)의 데이터 단자는 커서데이터 배열부(230)의 입력단자에 접속되어 있다. 커서데이터 배열부(230)의 출력단자는 데이터 융합부(240)의 제2입력단자에 접속되어 있다.

데이터융합부(240)의 출력단자는 출력단자(269)에 접속되어 있다. 출력단자(269)는 제1도에 도시된 MIF(112)의 데이터 입력단자에 접속되어 있다.

제2도의 작동에 있어서, 기준위치 데이터 입력부(220)는 GSP(120)로부터 LNIF(111)를 통해 유입되는 커서의 X축 및 Y축 기준위치 데이터를 유입하여 새로운 커서의 X축 및 Y축 기준위치 데이터가 다시 유입될때까지 저장한다. 이를 위하여, 기준위치 데이터 입력부(200)는 16비트의 기준위치 데이터(LAD0~LAD15) 중 14 및 15번째 위치데이터(LAD13, LAD14), 커서표시 제어신호(/CURSOR) 및 라이드 제어신호(W)의 논리값에 의해 11비트의 X축 기준위치데이터(XD0~XD10), 11비트의 Y축 위치데이터(YD0~YD10), 및 1비트의 커서표시 구동데이터(HC-EN)를 구분하여 저장한다. 그리고 기준 위치데이터 입력부(200)는 구분저장된 8비트의 X축 위치데이터(XD3~XD10) 및 11비트의 Y축 위치데이터(YD0~YD10)를 제1, 2출력단자를 통해 위치제어신호 발생부(220)의 제1, 2입력단자에 공급하고, 3비트의 X축 위치데이터(XD0~XD2) 및 커서표시 구동데이터(HC-EN)를 제3, 4출력단자를 통해 커서데이터 배열부(230)의 제8, 9제어단자에 공급한다.

화소위치 데이터 발생부(210)는 GSP(120)로부터 제2~3동기신호 입력단자(264, 265)로 유입되는 블랭킹신호(/BLANK) 및 수직동기신호(/SYN)와 MIF(112)로부터 유입되는 비디오 클럭펄스열(VCLK)에 의하여 11비트의 Y축 화소위치 데이터(GYD0~GYD10) 및 X축 화소위치 데이터(GXD0~GXD10)를 발생하여, 8비트의 X축 화소위치 데이터(GXD3~GXD10) 및 11비트의 Y축 화소기준위치 데이터(GYD0~GYD10)를 제1, 2출력단자를 통해 위치제어신호 발생부(220)의 제3, 4입력단자에 공급한다. 위치제어신호 발생부(220)는 기준위치 데이터 입력부(200)로부터의 X축 및 Y축 기준위치 데이터(XD3~XD10, YD0~YD10)와 화소위치 데이터 발생부(210)로부터의 X축 화소위치 데이터(GXD3~GXD10) 및 Y축 화소위치 데이터(GYD0~GYD10)를 비교하여 커서가 표시될 화면상의 영역을 확인하고, 블랭킹신호(/BLANK) 및 비디오 클럭펄스열(VCLK)에 의해 커서표시영역을 나타내는 Y축 활성구간신호(/YACT) 및 X축 활성구간신호(/XACT)를 발생하여 제1, 2출력단자를 통해 커서 데이터배열부(230)의 제5, 6제어단자에 공급한다. 그리고 위치제어신호 발생부(220)는 수직동기신호(/VSYN)의 논리상태에 따라 Y축 및 X축 활성 구간신호의 발생동작을 수행한다. 메모리제어부(250)는 위치제어신호 발생부(220)로부터의 로우논리상태의 Y축 활성구간신호(/YACT) 어드레스 신호(EA0~EA6) 및 메모리리드 신호(/MRD)를 발생한다. 그리고 메모리제어부(250)는 발생된 메모리리드 신호(/MRD)를 제1출력단자를 통해 에뮬레이션/커서메모리(140)의 리드단자 및 커서데이터 배열부(230)의 제7제어단자에 공급하고, 또한 어드레스 신호(EA0~EA6)는 제2출력단자를 통해 에뮬레이션/커서메모리(140)의 어드레스 단자에 공급한다.

여기서 메모리 리드신호(/MRD) 및 어드레스 신호(EA0~EA6)는 수평동기 기간중에 발생한다. 에뮬레이션/커서메모리(140)는 미리 GSP(120)의 제어하에 커서데이터를 자체내에 저장하고, 저장된 커서데이터를 메모리제어부(250)로부터의 메모리 리드신호(/MRD) 및 어드레스 신호(EA0~EA6)에 의해 독출하여 독출되는 16비트의 커서데이터(ED0~ED15)를 커서데이터 배열부(230)의 입력 단자에 공급한다. 그리고 에뮬레이션/커서메모리(140)은 별도로 설치할 수 있고, 반대로 제1도에 도시된 제1시스템 메모리(141)에 포함되도록 구성될 수도 있다. 에뮬레이션/커서메모리(140)가 제1도에 도시된 제1시스템메모리(141)에 포함되도록 구성한 경우, 메모리제어부(250)의 제1, 2출력단자 및 커서데이터 배열부(230)의 입력단자는 각각 제1시스템 메모리(141)의 제어단자, 어드레스 단자 및 데이터 단자에 접속된다. 커서데이터배열부(230)는 위치제어신호 발생부(220)로부터의 로우논리 상태의 X축 및 Y축 활성구간신호(/XACT, /YACT)가 인입되는 동안 에뮬레이션/커서메모리(40)로부터의 커서데이터를 유입하여 데이터융합부(240)의 제2데이터 입력단자로 전송한다. 여기서 커서데이터 배열부(230)의 커서데이터 유입작동은 블랭킹신호(/BLANK)가 로우논리 상태인 동안에 메모리 제어부(250)에서 발생하는 로우논리 상태의 메모리 리드신호(/MRD)에 의해 수행되며, 반면에, 커서데이터 배열부(230)의 커서데이터 전송작동은 비디오 클럭펄스열(VCLK)에 의해 수행된다. 그리고 커서데이터 배열부(230)는 에뮬레이션/커서메모리(140)로부터의 커서데이터(ED0~ED15)를 데이터융합부(240)로 전송하기 전에 기준위치 데이터 입력부(200)로부터의 3비트의 X축 기준위치 데이터(XD~XD2)의 논리값에 해당하는 화소수만큼 커서 데이터를 이동배열한다. 그러므로, 데이터융합부(240)에는 재배열된 16비트의 커서데이터(SD0~SD15)가 공급된다. 또한 커서데이터 배열부(230)는 커서데이터의 배열작동을 기준위치 데이터 입력부(200)로부터 하이논리 상태의 커서표시구동데이터(HC-EN)가 제9제어단자로 인가되는 동안에만 수행한다. 데이터융합부(240)는 커서데이터 배열부(230)로부터의 커서데이터(SD0~SD7, PD0~PD7)를 제1도에 도시된 표시메모리(143)로부터의 비디오 데이터(VD0~VD15)에 융합하여, 융합된 16비트의 비디오 데이터를 비디오 클럭펄스열(VCLK)에 맞추어 출력단자(269)를 통해 제1도에 도시된 MIF(112)의 입력단자에 공급한다. 데이터융합부(240)은 상위 8비트의 커서데이터(PD0~PD7)를 상위 및 하위의 두쌍의 8비트 비디오 데이터(VD0~VD7, VD8~VD15)와 각각 논리합 연산하고, 논리합 연산된 두 쌍의 8비트 비디오 데이터를 상위 8비트의 커서데이터(SD0~SD7)와 배타적논리합 연산을 한다.

그리고 데이터융합부(240)는 배타적논리합 연산된 비디오 데이터를 비디오 클럭펄스열(VCLK)에 동기시켜 출력한다. 한편, 커서데이터가 없는 화면영역에서 커서데이터는 "0"이 됨으로 데이터융합부(240)는 제2데이터 입력단자(261)를 통해 유입되는 표시메모리(143)로부터의 비디오 데이터(VD0~VD15)를 그대로 출력단자(269)로 출력한다.

제3도는 제2도에 도시된 커서처리회로의 상세회로도이다. 제3도에 있어서, 기준위치 데이터 입력부(200)는 부논리합소자(300), 두개의 논리곱소자(310, 311) 및 두개의 레지스터(370, 371)로 구성되어 있다.

화소위치데이터 발생부(210)는 반전소자(420) 및 두개의 카운터(390, 391)로 구성되어 있다. 위치제어신호 발생부(220)는 두개의 비교기(400, 401), 2개의 카운터(392, 393), 3개의 D플립플롭

(410,412), 3개의 논리곱소자(312~314), 4개의 반전소자(421~424), 부논리곱소자(320), 완총소자(432) 및 부논리합소자(301)로 이루어져 있다. 메모리제어부(250)는 3개의 D플립플롭(413~415), 3개의 반전소자(4

25~427), 두개의 카운터(394,395), 논리곱소자(315) 및 논리합소자(330)로 구성되어 있다. 커서 데이터배열부(230)는 2개의 논리곱소자(316,317), 두개의 D플립플롭(416,417), 두개의 부논리합소자(302,303), 세개의 논리합소자(331~33

3), 4개의 반전소자(428~431), 13개의 레지스터(372~384), 카운터(396) 및 비교기(402)로 이루어져 있다. 데이터융합부(240)는 16개의 논리합소자(334~349), 16개의 배타적논리합소자(350~365), 3개의 레지스터(385,386,387), 및 반전소자(43

2)로 이루어져 있다. 에뮬레이션/커서메모리(140)는 제2도에 도시된 회로에서와 동일한 기능, 명칭 및 부호를 갖는다.

제3도의 작동을 제2도에 도시된 회로의 부분별로 설명한다. 먼저 기준위치 데이터 입력부(200)를 설명한다. 부논리합소자(300)는 제1제어단자(266)에 공급되는 커서표시 제어신호(/CSR) 및 제2제어단자(267)에 공급되는 라이트 제어신호(/W)로 부논리합 연산하여 양 입력신호가 모두 로우 논리상태를 갖을 경우 하이 논리상태의 논리신호를 발생한다. 논리곱소자(310)는 제1데이터 단자(260-3)상의 15번째 비트의 위치데이터(LAD14) 및 부논리합소자(300)의 출력신호를 논리곱 연산하여 양 입력신호가 모두 하이 논리상태를 갖을 때 하이 논리상태의 논리신호를 발생한다. 그리고 제1데이터 단자(260-2)에 공급되는 14번째 비트의 위치데이터(LAD13) 및 부논리합소자(300)의 출력신호를 유입하는 논리곱 소자(311)도 양 입력신호가 모두 하이논리상태를 갖을 때 하이논리상태의 논리신호를 발생한다. 레지스터(370)은 논리곱소자(310)로부터 하이 논리상태의 펄스가 클럭단자(CLK)로 인입될 때 제1데이터 단자(260-1,260-4)에 공급되는 하위의 11비트 및 최상위 비트의 위치데이터(LAD0~LAD10,LAD15)를 입력한다. 그리고 레지스터(370)은 Y축 기준위치데이터(YD0~

YD10)를 비교기(400)의 제1입력단자에 공급하고, 입력된 최상위 비트의 위치데이터(LAD15)는 커서표시 구동데이터(HC-EN)로서 논리곱소자(317)의 제1입력단자에 공급한다. 레지스터(371)는 논리곱소자(311)로부터 하이논리상태의 펄스가 클럭단자(CLK)로 인입될 때, 제1데이터 단자(360-1)에 공급되는 11비트의 위치데이터(LAD0~LAD10)를 입력한다. 그리고 레지스터(371)은 입력된 11비트의 위치데이터(LAD0~LAD10)중, 하위 3비트의 기준위치데이터(XD0~XD3)는 비교기(402)의 제1입력단자에 공급하고, 상위 8비트의 위치데이터(XD3~XD10)는 비교기(401)의 제1입력단자에 공급한다. 여기서 부논리합소자(300) 및 두개의 논리곱소자(310,311)는 하나의 디코더로서 작용한다.

화소위치 데이터 발생부(210)에 대하여 설명한다. 카운터(390)는 제3동기신호 입력단자(265)을 통해 클리어단자(CLR)로 인가되는 수직동기신호(/VSYN)가 로우논리상태를 유지하는 동안 제2동기신호 입력단자(264) 및 반전소자(420)를 통해 클럭단자(CLK)로 하이논리상태로 반전된 블랭킹신호(/BLANK)가 인가될 때마다 1씩 가산 카운트하여 점차적으로 증가하는 11비트의 X축 화소위치데이터(GXD0~GXD10)를 발생한다. 카운터(391)는 제2동기신호 입력단자(264) 및 반전소자(420)를 통해 클리어단자(CLR)로 인가되는 반전된 블랭킹신호(/BLANK)가 로우 논리상태를 유지하는 동안 비디오 클럭펄스(VCLK)가 인가될 때마다 1씩 가산 카운트하여 점차적으로 증가하는 11비트의 X축 기준위치 데이터(GXD0~GXD10)를 발생한다. 그리고 양 카운터(390,391)는 각각 클리어단자(CLR)로 하이논리상태의 수직동기신호(/VSYN) 및 하이 논리상태의 반전된 블랭킹신호(/BLANK)가 유입될 때 카운트 값을 초기화 한다.

위치제어신호 발생부(220)의 상세한 작동을 설명한다. 비교기(400)는 레지스터(370)로부터의 11비트의 Y축 기준위치데이터(YD0~YD10)를 카운터(390)로부터의 11비트의 Y축 화소위치 데이터(GYD0~GYD10)를 비교하여 수직축에 대한 커서의 시작 위치를 지시하는 하이 논리상태의 펄스를 발생한다. 비교기(400)는 제2동기신호 입력단자(264) 및 반전소자(421)를 통해 제어단자(CN)로 인가되는 반전된 블랭킹신호(/BLANK)가 로우 논리상태로 유지하는 동안 작동한다. 그리고 플립플롭(410)은 비교기(400)로부터 클럭단자(CLK)로 로우 논리상태의 펄스가 인가될 때 하이 논리상태의 출력신호를 로우 논리상태로 변화시킨 후 논리곱소자(312)로부터 로우 논리상태의 논리신호가 프리세트단자(PRE)로 인가될 때 로우 논리상태의 출력신호를 하이 논리상태로 변화시켜 펄스를 갖는 Y축 활성화구간신호(/YACT)를 발생한다. 카운터(392)는 상기 D플립플롭(410)의 출력단자(Q)로부터 클리어단자(CLR)로 인가되는 Y축 활성화구간신호(/YACT)가 로우 논리상태를 유지하는 동안 반전소자(421)를 통해 클럭단자(CLK)로 하이 논리상태의 펄스를 갖는 반전된 블랭킹신호(/BLANK)가 인가될 때마다 1씩 가산카운트한다. 논리곱소자(312)는 반전소자(423)를 통해 한쪽 입력단자로 인가되는 카운터(392)의 다섯번째 비트의 출력단자(5Q)의 출력신호와 제3동기신호 입력단자(265) 및 반전 소자(422)를 통해 다른쪽 입력단자로 인가되는 반전된 수직동기신호(/VSYN)를 논리곱 연산하여 카운터 값이 "32"가 될 때 로우 논리상태의 논리신호를 D플립플롭(410)의 프리세트단자(PRE)에 공급한다.

결과적으로, Y축 활성화구간신호(/YACT)의 로우 논리상태의 펄스폭은 32개의 수평동기 신호의 기간이 된다. 한편 레지스터(371)로부터 상위 8비트의 X축 화소위치 데이터(XD3~XD10)를 유입하고 카운터(391)로부터 상위 8비트의 X축화소 위치데이터(GXD3~GXD10)를 유입하는 비교기(401)는 양 입력데이터가 동일할 때 수평방향에 대한 커서의 시작지점을 지시하는 하이 논리상태의 비교신호를 완총소자(432) 및 논리곱소자(313)에 공급한다. 논리곱(313)은 완총소자(432)의 출력신호 및 비교기(401)의 출력신호를 논리곱 연산하여 비교기(401)의 출력신호에 라이징에지에서 완총소자(432)의 전파지연시간 만큼 지연된 후에 로우 논리 상태에서 하이 논리상태로 변화된 비교신호를 D플립플롭(411)의 클럭단자(CLK)에 공급한다. 결과적으로, 완총소자(432) 및 논리곱소자(313)는 비교신호를 지연시키는 기능을 한다. D플립플롭(411)은 제2동기신호 입력단자(264)를 통해 클리어단자(CLR)를 로우 논리상태의 블랭킹신호(/BLANK)가 인가될 때 출력단자(Q)상의 출력신호를 초기화한 다음, 논리곱소자(313)로부터 하이 논리상태의 펄스를 갖는 지연된 비교신호가 클럭단자(CLK)로 인가될 때 출력단자(Q)의 출력신호를 하이 논리상태에 변화시킨다. D플립플롭(412)는 상기 D플립플롭(411)의 출력신호가 로우 논리상태에서 하이 논리상태로 변화될 때 하이 논리상태의 출력신호를 로우 논리상태로 천

이시킨 후 논리곱소자(314)로 부터 프리세트 단자(PRE)로 로우 논리상태의 논리신호가 인가될 때 로우 논리상태의 출력신호를 하이 논리상태로 변화시켜, 일정기간 로우 논리상태를 갖는 X축 활성구간 신호(/XACT)를 발생한다.

카운터(393)는 클리어단자((CLR)로 로우 논리상태의 X축 활성구간신호(/XACT)가 인가되는 동안 클럭 입력단자(262)를 통해 클럭단자(CLK)로 비디오 클럭펄스(VCLK)가 인가될 때마다 1씩 가산카운트 한다. 부논리곱소자(320)는 카운터(393)의 최하위 비트 출력신호 및 3번째 비트 출력신호를 부논리곱 연산하여 카운터의 값이 "5가 될때 로우 논리상태의 논리신호를 발생한다. 논리곱소자(314)는 제3동기신호 입력단자(265) 및 반전소자(422)를 통해 유입되는 반전된 수직동기신호(/VSYN), D플립플롭(410)의 출력단자(Q)로 부터 반전소자(424)를 통해 유입되는 반전된 Y축 활성구간신호(/YACT) 및 부논리곱소자(320)의 출력논리신호를 논리곱 연산하여 연산된 결과에 상당하는 논리신호를 D플립플롭(412)의 프리세트 단자(PRE)에 인가한다.

메모리제어부(250)의 상세한 작동을 설명한다.

부논리합소자(301)는 제2동기신호 입력단자(264)를 통해 유입되는 블랭킹신호(/BLANK) 및 D플립플롭(410)의 출력단자(Q)로 부터 유입되는 Y축 활성구간신호(/YACT)를 부논리합 연산하여 양 입력신호가 모두 로우 논리상태일때 하이 논리상태의 논리신호를 발생한다. D플립플롭(413)은 상기 부논리합소자(301)로 부터 클럭단자(CLK)로 인가되는 논리신호의 라이징에지에서 출력단자(Q)의 논리상태를 로우 논리상태로 천이시킨 다음 반전소자(426) 및 논리곱소자(315)을 통해 클리어단자(CLR)로 인가되는 카운터(394)의 4번째 비트의 출력단자(4Q)의 출력신호에 의해 출력단자(Q)의 논리상태를 다시 하이 논리상태로 변화시킨다. 입력단자(D)를 D플립플롭(415)의 반전출력단자(/Q)에 접속한 D플립플롭(414) 및 입력단자(D)를 D플립플롭(414)의 비반전출력단자(Q)에 접속한 D플립플롭(415)는 반전소자(425)를 통해 프리세트단자(PRE)로 인가되는 반전된 D플립플롭(413)의 출력신호가 하이 논리상태인 동안 클럭 입력단자(262)를 통해 클럭단자(CLK)로 인가되는 비디오 클럭펄스열(VCLK)에 따라 래치 작동을 하여 비디오 클럭펄스열(VCLK)을 2분주 한다. 카운터(394)는 클리어단자(CLR)로 인가되는 D플립플롭(413)의 출력신호가 로우논리 상태를 갖는 동안 D플립플롭(414)의 출력단자(Q)로 부터 클럭단자(CLK)로 인가되는 2분주된 비디오 클럭펄스열(VCLK)에 의해 가산카운트를 수행한다. 이때 카운터(394)의 최하위 비트 출력단자(1Q)는 메모리리드신호(/MRD)로 사용되고, 2, 3번째 비트의 출력단자(2Q,3Q)는 에뮬레이션/커서메모리(140)를 위한 2비트의 최하위 어드레스신호(EA0,EA1)로 사용되며, 4번째 비트의 출력단자(4Q)는 D플립플롭(413)을 초기화시키기 위한 신호로 사용된다. 반전소자(426)은 카운터(394)의 최하위 비트 출력신호를 반전시켜 출력한다.

그리고 논리곱소자(315)는 제3제어신호 입력단자(268)를 통해 유입되는 시스템 리세트신호(/RST) 및 반전소자(427)를 통해 유입되는 반전된 카운터(394)의 4번째 비트의 출력신호를 논리곱 연산하여 그 결과를 D플립플롭(315)에 공급한다. 결과적으로 세개의 D플립플롭(413~415), 세개의 반전소자(425~427), 부논리합소자(301), 논리곱소자(315) 및 카운터(394)는 커서표시시 커서가 위치할 수평주사라인들의 주사 기간이 시작되기 전에 4개의 어드레스신호를 발생한다. 한편, 카운터(395)는 논리합소자(330)를 통해 클리어단자(CLR)로 로우 논리상태의 Y축 활성구간신호(/YACT)가 인가되는 동안 제2동기신호 입력단자(264)를 통해 클럭단자(CLK)로 인가되는 블랭킹신호(/BLANK)에 의해 가산카운트 하여 5비트의 어드레스신호(EA2~EA6)를 발생한다. 그리고 논리합소자(330)는 상기 카운터(395)의 6번째 비트의 출력단자(6Q)상의 논리신호와 D플립플롭(410)의 출력신호인 Y축 활성구간신호(/YACT)를 논리합 연산하여 그 결과를 카운터(395)의 클리어단자(CLR)에 공급한다. 에뮬레이션/커서메모리(140)는 상기 카운터들(394, 395)로 부터 인가되는 메모리 리드신호(/MRD) 및 7비트의 어드레스(EA0~EA6)에 의해 리지내에 저장된 16비트의 커서데이터(ED0~ED15)를 독출하여 레지스터(372) 및 레지스터(377)의 입력단자에 공급한다.

커서데이터 배열부(230)의 상세한 작동을 설명한다. 부논리합소자(302)는 D플립플롭(410)의 출력단자(Q)로 부터 유입되는 Y축 활성구간신호(/YACT) 및 클럭입력단자(262)를 통해 유입되는 비디오 클럭펄스열(VCLK)을 부논리합연산하여 그 결과를 논리합소자(332) 및 D플립플롭(417)의 클럭단자(CLK)에 공급한다. 이때 부논리합소자(302)의 출력신호는 Y축 활성구간신호(/YACT)의 로우 논리상태기간 동안에 위상이 반전된 비디오 클럭펄스열(VCLK)을 갖는다. 출력단자(Q)를 반전소자(431)를 통해 입력단자(D)에 접속한 D플립플롭(417)은 클럭단자(CLK)로 유입되는 부논리합소자(302)의 출력을 2분주하여 카운터(396)의 클럭단자(CLK) 및 논리합소자(333)에 공급한다.

한편 논리합소자(331)는 제1동기신호 입력단자(263)를 통해 유입되는 수평동기신호(/HSYN) 및 제2동기신호 입력단자(264)를 통해 유입되는 블랭킹신호(/BLANK)를 논리합연산하여 레지스터들(372~381)의 제1전송모드 선택단자(S0)들, 부논리합소자(303) 및 반전소자(430)에 공급한다. D플립플롭(416)은 반전소자(430)로 부터 인가되는 반전된 논리합소자(331)의 출력신호의 라이징에지에서 하이 논리상태의 출력단자(Q)상의 하이 논리상태의 논리신호를 로우논리상태로 변환시킨 다음 부논리합소자(303)로 부터 프리세트단자(PRE)로 인가되는 로우논리상태의 논리신호에 의해 출력단자(Q)상의 로우 논리상태의 논리신호를 하이논리상태로 변화시킨다. 카운터(396)는 상기 D플립플롭(416)의 출력단자(Q)로 부터 리세트단자(RD)로 인가되는 논리신호가 로우 논리상태를 유지하는 동안 상기 D플립플롭(417)의 출력단자(Q)로 부터 클럭단자(CLK)로 인가되는 펄스열에 의해 1씩 가산되는 3비트의 카운트값을 발생한다. 비교기(402)는 레지스터(371)로 부터 유입되는 하위 3비트의 X축 기준위치데이터(XD0~XD2) 및 상기 카운터(396)로 부터 유입되는 3비트의 카운터값을 비교하여 두입력신호의 논리값이 동일할 때 로우 논리상태의 비교신호를 발생한다. 부논리합소자(303)는 논리합소자(331)의 출력신호 및 비교기(402)의 출력신호를 부논리합연산하여 두입력신호가 모두 로우논리상태일때 하이 논리상태의 논리신호를 D플립플롭(416)의 프리세트단자(PRE)에 공급한다.

그러면 D플립플롭(416)은 부논리합소자(303)의 출력이 하이 논리상태일때 출력단자(Q)의 출력신호를 하이 논리상태로 세트한다.

논리합소자(333)는 D플립플롭(416)의 출력신호 및 플립플롭(417)의 출력신호를 논리합연산하여 그 결과를 논리곱소자(316)에 공급한다. 결과적으로, 논리합소자(333)의 출력은 하위 3비트의 X축 기준

위치데이터(XD0~XD2)의 논리값에 해당하는 갯수의 펄스를 갖는다. 논리합소자(332)는 D플립플롭(412)의 출력단자(Q)로부터 유입되는 X축 활성구간신호(/XACT) 및 D플립플롭(417)의 출력단자(Q)로부터 유입되는 펄스열을 논리합연산하여 그 결과를 논리곱소자(316)에 공급한다. 여기서 논리합소자(332)의 출력은 Y축 활성구간신호(/YACT)가 지정하는 수평라인들의 수평주사 기간중 X축 활성구간신호(/XACT)가 지정하는 기간에 펄스들을 포함한다. 그리고 논리합소자(332)의 출력은 4개의 펄스를 갖는다. 논리곱소자(316)은 양 논리합소자(332,333)의 출력과 카운터(394)의 최하위비트 출력단자(1Q)로부터 반전소자(426)을 통해 유입되는 메모리 리드신호(/MRD)를 논리곱연산하여 그 결과를 레지스터들(372~384)의 클럭단자(CLK)에 공급한다. 논리곱소자(316)의 출력은 메모리리드신호(/MRD), 수평방향에서 커서의 위치를 재조정하기 위한 8개 이내의 펄스 및 32개의 화소데이터를 8개씩 병렬로 이동시키기 위한 4개의 펄스들이 직렬로 배열된 형태를 갖는다. 논리곱소자(317)는 레지스터(370)로부터 유입되는 커서표시 구동데이터(/HC-EN)와 제1동기신호 입력단자(263) 및 반전소자(428)을 통해 유입되는 반전된 수평동기신호(/HSYN)를 논리곱연산하여 레지스터들(376,381)의 클리어단자(CLR)에 공급한다.

레지스터들(372~376)은 에뮬레이션/커서메모리(140)로부터 유입되는 4개의 상위 8비트의 커서데이터(ED8~ED15)를 레지스터들(382,383)쪽으로 전송하고, 한편 레지스터들(377~381)은 4개의 하위 8비트의 커서데이터(E00~E07)를 레지스터들(383,384)쪽으로 전송한다. 여기서 레지스터들(372~376)에 유입되는 32비트의 커서데이터들은 커서의 형상에 대한 정보이고, 레지스터들(377~381)에 유입되는 커서데이터들은 커서의 경계에 대한 정보이다. 레지스터들(372~376, 378~380)을 논리합소자(331)로부터 전송모드 선택단자(S1)로 인가되는 논리신호에 따라 수평동기기간 및 수평주사기간(503)동안에는 논리곱소자(316)로부터 클럭단자(CLK)로 펄스가 인가될 때마다 다음 레지스터쪽으로 커서데이터를 병렬형태로 전송하며, 그리고 블랭킹기간(504)동안에는 논리곱소자(316)으로부터 클럭단자(CLK)로 펄스가 인가될 때마다 커서데이터를 1비트씩 쉬프트하여 직렬로 다음 레지스터쪽으로 전송한다. 레지스터들(382~384)은 D플립플롭(412)으로부터 반전소자(429)를 통해 클리어단자(CLR)로 인가되는 X축 활성구간신호(/XACT)에 의해 X축 커서 표시기간 동안에는 전송작동을 하며, 전송작동시 레지스터들(382~384)은 논리곱소자(316)로부터 클럭단자(CLK)로 펄스가 인가될 때마다 레지스터들(375,381)로부터 유입되는 16비트의 재배열된 커서데이터(PD0~PD7,SD0~SD7)를 논리합소자들(334~349) 및 배타적논리합소자들(3501~365)쪽으로 전송한다.

마지막으로, 데이터융합부(240)의 작동을 상세히 설명한다. 논리합소자들(334~341)은 레지스터들(382,383)로부터 출력되는 상위 8비트의 커서데이터(PD0~PD7)를 각각의 한쪽 입력단자로 한 비트씩 분산입력하고 다른 한쪽 입력단자로 제2데이터 입력단자(261)를 통해 유입되는 16비트의 비디오 데이터중 상위 8비트의 비디오 데이터를 한비트씩 분산입력하여 두 입력신호를 논리합연산한다. 그리고 논리합소자들(342~349)은 레지스터들(382,383)로부터의 상위 8비트의 커서데이터(PD0~PD7)를 각각 한쪽 입력단자로 한 비트씩 분산입력하고 다른 한쪽 입력단자로 제2데이터단자(261)를 통해 유입되는 16비트의 비디오 데이터중 상위 8비트의 비디오 데이터를 분산입력하여 논리합연산한다. 배타적 논리합소자들(350~357)은 각각의 한쪽 단자와 대응접속된 논리합소자들(334~341)로부터 유입되는 논리합 연산된 결과와 레지스터들(383,384)로부터 각각의 다른쪽 입력단자로 분산입력되는 하위 8비트의 커서데이터(SD0~SD7)를 배타적논리합 연산하여 그 결과를 레지스터들(385,386)에 공급한다. 그리고 배타적논리합소자들(358~365)은 각각의 한쪽 입력단자와 대응접속된 논리합소자들(342~349)로부터 유입되는 논리합연산된 결과와 레지스터들(383,384)로부터 유입되는 하위 8비트의 커서데이터(SD0~SD7)를 배타적논리합 연산하여 그 결과를 레지스터들(386,387)에 공급한다. 레지스터들(385~387)은 제2동기신호 입력단자(264)를 통해 프리셋단자(PRE)로 인가되는 블랭킹신호(/BLANK)에 의해 수평주사기간에만 작동하며, 작동시 클럭입력단자(262)를 통해 클럭단자(CLK)에 비디오 클럭펄스(VCLK)가 입력될 때마다 배타적논리합 소자들(350~365)로부터 유입되는 배타적논리합 연산된 결과를 병렬형태로 출력단자(269)를 통해 MIF(112)로 전송한다.

제4도는 본 발명을 설명하기 위한 커서표시 상태도이다.

제4도에 있어서, 제4a도는 비디오 클럭펄스열(VCLK)를 나타낸 도면이고, 제4b도는 수평동기신호(/HSYN)를 나타내는 도면이며, 제4c도는 블랭킹신호(/BLANK)를 나타내는 도면이고, 제4d도는 수직동기신호(/VSYN)를 나타내는 도면이며, 제4e도는 모니터의 화면을 나타내는 도면이다. 제4e도에 있어서, 500은 모니터의 외관을 나타내며 501은 화상데이터가 표시되는 영역을 나타내며, 502는 커서가 표시되는 영역을 나타낸다. 제4a~제4c도 및 제4e도에 있어서, 제1구간(503)은 수평동기기간으로 커서데이터를 병렬형태로 유입하는 기간이고, 제2구간(504)는 블랭킹기간으로 유입된 커서데이터를 하위 3비트의 X축 기준위치 데이터(XD0~XD2)의 값에 따라 0~7개 화소수만큼 쉬프트하여 커서의 수평축 위치를 세밀하게 재조정한다. 그리고 제3구간(505)은 수평방향에서의 커서데이터 출력기간이며, 제4구간(506)은 수직방향에 대한 커서데이터 출력기간이다.

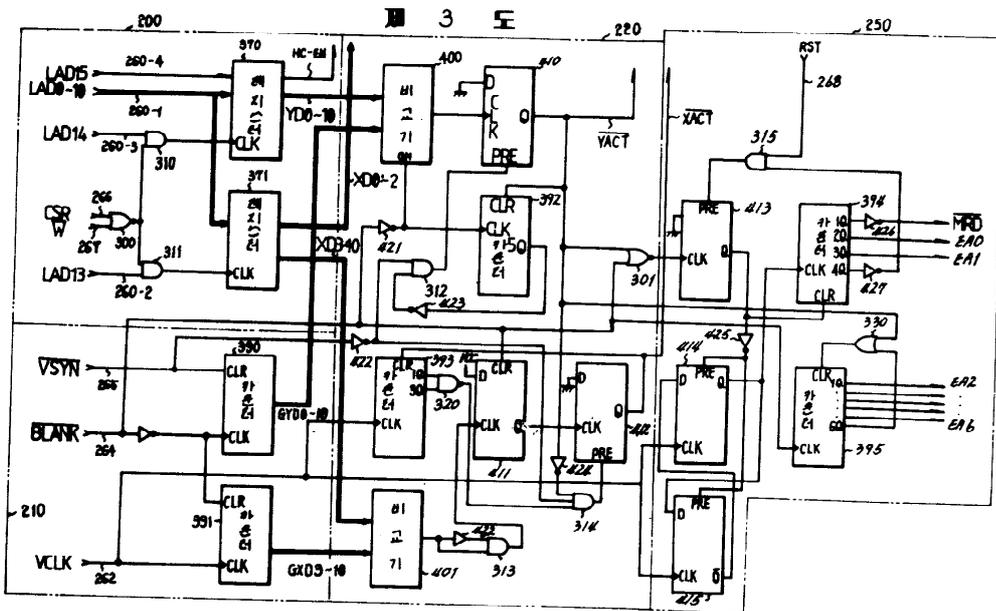
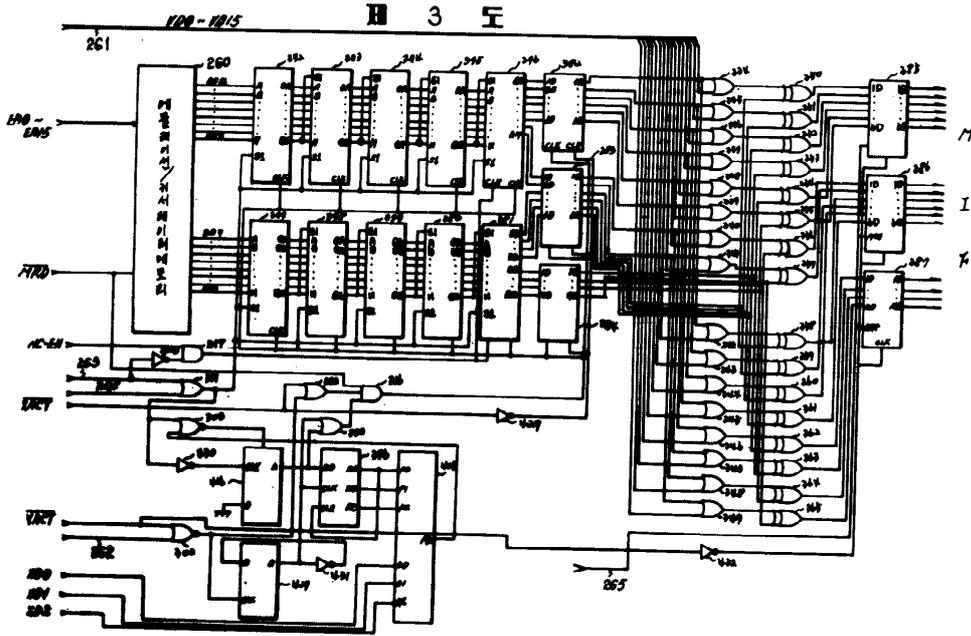
상술한 바와 같이 본 발명은 모니터의 화면에 표시하기 위한 커서데이터의 처리를 하드웨어에 의해 행함으로 처리속도를 향상시킬 수 있고, 불필요한 소프트웨어를 절감할 수 있는 이점이 있다. 또한 본 발명은 커서의 위치를 블랭킹기간에 세밀하게 재조정함으로 동작속도가 빠른 모니터에도 적용할 수 있는 비디오 어댑터를 제공할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

커서가 표시될 위치를 지정하기 위해 기준위치 데이터를 발생하는 위치지정 발생수단과 ; 화면의 구간별 위치데이터를 발생하기 위한 화소위치 데이터 발생수단과; 상기 기준위치 데이터 및 상기 구간별 화소위치 데이터에 의해 커서의 표시구간을 설정하기 위한 X축 및 Y축의 활성구간신호를 발생하

도면3



도면4

