



(21) 申请号 201980040521.0

(22) 申请日 2019.01.17

(65) 同一申请的已公布的文献号
申请公布号 CN 112368845 A

(43) 申请公布日 2021.02.12

(30) 优先权数据
62/687,051 2018.06.19 US

(85) PCT国际申请进入国家阶段日
2020.12.16

(86) PCT国际申请的申请数据
PCT/JP2019/001315 2019.01.17

(87) PCT国际申请的公布数据
W02019/244383 JA 2019.12.26

(73) 专利权人 新唐科技日本株式会社
地址 日本京都府

(72) 发明人 藤冈知惠 吉田弘 松岛芳宏
水原秀树 浜崎正生 坂本光章

(74) 专利代理机构 永新专利商标代理有限公司
72002
专利代理师 安香子

(51) Int.Cl.
H10D 30/60 (2025.01)
H10D 84/03 (2025.01)
H10D 84/83 (2025.01)

(56) 对比文件
CN 101136430 A, 2008.03.05
CN 103456690 A, 2013.12.18

审查员 刘宁

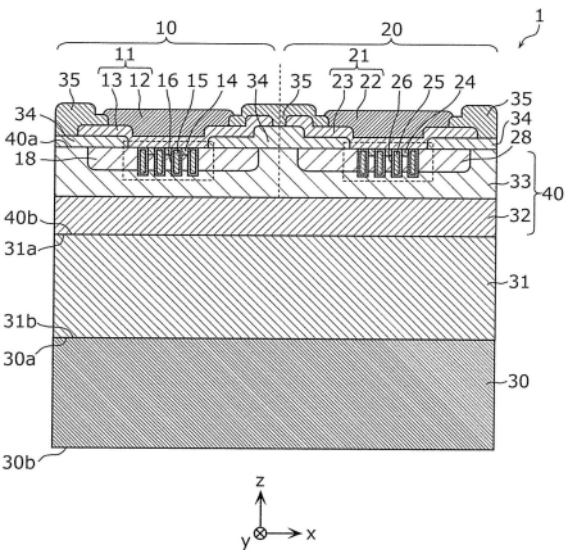
权利要求书4页 说明书19页 附图20页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置(1)具有:半导体层(40),具有主面(40a及40b);金属层(31),具有主面(31a及31b),主面(31a)与主面(40b)接触,比半导体层(40)厚,由第1金属材料构成;金属层(30),具有主面(30a及30b),主面(30a)与主面(31b)接触,比半导体层(40)厚,由杨氏模量比第1金属材料大的金属材料构成;以及晶体管(10及20);晶体管(10)在半导体层(40)的主面(40a)侧具有源极电极(11)及栅极电极(19);晶体管(20)在半导体层(40)的主面(40a)侧具有源极电极(21)及栅极电极(29),将从源极电极(11)经由金属层(31)到源极电极(21)的双向路径作为主电流路径。



1. 一种半导体装置,是能够倒装的芯片尺寸封装型的半导体装置,其中,具有:
半导体层,具有相互背对的第1主面及第2主面,由硅、氮化镓或碳化硅构成;
第1金属层,具有相互背对的第3主面及第4主面,上述第3主面与上述第2主面接触地形成,该第1金属层比上述半导体层厚,且由第1金属材料构成;
第2金属层,具有相互背对的第5主面及第6主面,上述第5主面与上述第4主面接触地形成,该第2金属层比上述半导体层厚,且由杨氏模量比上述第1金属材料大的第2金属材料构成;
第1纵型场效应晶体管,形成于上述半导体层的第1区域中;以及
第2纵型场效应晶体管,在上述半导体层中,形成于在沿着上述第1主面的方向上与上述第1区域相邻的第2区域中;
上述第1纵型场效应晶体管在上述半导体层的上述第1主面侧具有第1源极电极及第1栅极电极;
上述第2纵型场效应晶体管在上述半导体层的上述第1主面侧具有第2源极电极及第2栅极电极;
上述第1金属层作为上述第1纵型场效应晶体管及上述第2纵型场效应晶体管的共用漏极电极发挥功能;
将从上述第1源极电极经由上述共用漏极电极到上述第2源极电极的双向路径作为主电流路径。
2. 如权利要求1所述的半导体装置,其中,
上述第6主面的水平方向的凹凸周期比构成上述第2金属层的晶体粒子的上述水平方向的晶体粒径大。
3. 如权利要求1所述的半导体装置,其中,
上述第5主面中的上述第2金属层的晶体粒径比上述第4主面中的上述第1金属层的晶体粒径小。
4. 如权利要求1所述的半导体装置,其中,
上述第2金属材料的线膨胀系数比上述第1金属材料的线膨胀系数小。
5. 如权利要求1所述的半导体装置,其中,
上述第2金属层的厚度是30 μm 以下。
6. 如权利要求1所述的半导体装置,其中,
上述第2金属层包括:
第1层,具有上述第5主面;以及
第2层,具有上述第6主面;
上述第2层的晶体粒径比上述第1层的晶体粒径大。
7. 如权利要求1所述的半导体装置,其中,
上述第2金属层包括:
第1层,具有上述第5主面;以及
第2层,具有上述第6主面;
上述第2层的晶体粒径比上述第1层的晶体粒径小。
8. 如权利要求1所述的半导体装置,其中,

上述第2金属层包括：

第1层，具有上述第5主面；以及

第2层，具有上述第6主面；

上述第1层的晶体粒径与上述第2层的晶体粒径大致相同，并且上述第2金属层的晶体粒径比上述第1金属层的晶体粒径小。

9. 如权利要求1所述的半导体装置，其中，

上述第2金属层包括：

第1层，具有上述第5主面；以及

第2层，具有上述第6主面；

在上述第6主面的水平方向上，构成上述第1层的金属晶体和构成上述第2层的金属晶体的优先取向面不同。

10. 如权利要求9所述的半导体装置，其中，

在上述第6主面的水平方向上，

构成上述第1层及上述第2层中的一方的金属晶体进行{100}面优先取向；

构成上述第1层及上述第2层中的另一方的金属晶体进行{110}面优先取向。

11. 如权利要求1所述的半导体装置，其中，

构成上述第2金属层的金属晶体在上述第6主面进行{100}面优先取向。

12. 如权利要求1所述的半导体装置，其中，

构成上述第2金属层的金属晶体在上述第6主面进行{110}面优先取向。

13. 如权利要求1所述的半导体装置，其中，

还具有形成于上述第2金属层的上述第6主面的刻印；

上述刻印的图案宽度比上述第6主面的水平方向的凹凸周期大。

14. 如权利要求13所述的半导体装置，其中，

上述刻印的图案深度比上述第6主面的凹凸的最大高度粗糙度大。

15. 如权利要求1所述的半导体装置，其中，

还具有第1突起部，该第1突起部在将上述第2金属层平面视的情况下的上述第2金属层的外周，在从上述第5主面朝向上述第6主面的方向上从上述第6主面突出；

上述第1突起部包含上述第1金属材料及上述第2金属材料中的至少一方。

16. 如权利要求15所述的半导体装置，其中，

上述第1突起部形成于上述平面视中的上述第2金属层的外周的对置的2边。

17. 如权利要求15所述的半导体装置，其中，

上述第1突起部的突出高度是上述第2金属层的厚度的1/3以上。

18. 如权利要求15所述的半导体装置，其中，

上述第1突起部的突出宽度是4 μm 以上。

19. 如权利要求15所述的半导体装置，其中，

上述第1突起部中的上述第2金属材料的含量比上述第1突起部中的上述第1金属材料的含量多。

20. 如权利要求1所述的半导体装置，其中，

在将上述半导体层平面视的情况下，上述半导体层的外周相对于上述第1金属层的外

周隔开间隔而形成于内侧；

还具有第2突起部,该第2突起部在将上述第1金属层平面视的情况下的上述第1金属层的外周,在从上述第4主面朝向上述第3主面的方向上从上述第3主面突出；

上述第2突起部包含上述第1金属材料及上述第2金属材料中的至少一方。

21. 如权利要求20所述的半导体装置,其中,

上述第2突起部形成于上述平面视中的上述第1金属层的外周的对置的2边。

22. 如权利要求1所述的半导体装置,其中,

还在上述第1金属层及上述第2金属层中的至少一方的外周侧面,在从将上述第1金属层平面视的情况下的上述第1金属层的中央朝向上述第1金属层的外周的方向上具有第3突起部。

23. 如权利要求1所述的半导体装置,其中,

还具有第1覆盖层,该第1覆盖层具有相互背对的第7主面及第8主面,上述第7主面与上述第6主面接触地形成,该第1覆盖层由陶瓷材料或塑料材料构成。

24. 如权利要求1所述的半导体装置,其中,

还在将上述第1金属层平面视的情况下的上述第1金属层的外缘部具有第2覆盖层,该第2覆盖层具有相互背对的第9主面及第10主面,上述第10主面与上述第3主面接触地形成,该第2覆盖层由陶瓷材料或塑料材料构成。

25. 如权利要求24所述的半导体装置,其中,

具有在上述半导体层的外缘部沿着上述半导体层的外周边形成的以上述第3主面为底面的槽部。

26. 如权利要求1所述的半导体装置,其中,

还在上述第1金属层及上述第2金属层中的至少一方的外周侧面形成有上述第1金属材料 and 上述第2金属材料的合成物。

27. 如权利要求26所述的半导体装置,其中,

上述合成物在将上述第1金属层及上述第2金属层平面视的情况下的上述半导体装置的整周上形成于上述外周侧面。

28. 如权利要求26所述的半导体装置,其中,

在从上述第3主面朝向上述第6主面的方向上,上述合成物的中心位置在从上述第3主面到上述第6主面的距离的一半的位置与上述第6主面的位置之间。

29. 如权利要求1所述的半导体装置,其中,

在将上述半导体层平面视的情况下,上述半导体层的外周相对于上述第1金属层的外周隔开间隔而形成于内侧。

30. 如权利要求29所述的半导体装置,其中,

在上述平面视中,上述半导体层的外周在整周上相对于上述第1金属层的外周隔开间隔而形成于内侧。

31. 如权利要求29所述的半导体装置,其中,

上述间隔的长度是15 μm 以上。

32. 如权利要求29所述的半导体装置,其中,

上述半导体层的外周侧面中的与上述第3主面相接的上述第2主面侧的端部侧面的凹

凸的最大高度粗糙度,与上述半导体层的外周侧面中的上述第1主面侧的侧面的凹凸的最大高度粗糙度大致相等。

33.如权利要求29所述的半导体装置,其中,
上述半导体层的外周侧面具有包含锐角顶点的凹凸形状。

34.如权利要求29所述的半导体装置,其中,
上述半导体层的外周侧面被非晶质半导体覆盖。

35.如权利要求1所述的半导体装置,其中,
上述半导体层具有:
半导体基板,形成于上述第2主面侧,由硅构成;以及
低浓度杂质层,形成于上述第1主面侧,包含浓度比上述半导体基板中包含的第1导电型杂质的浓度低的上述第1导电型杂质;

上述第1纵型场效应晶体管在上述半导体层的表面具有第1多个槽部,该第1多个槽部填充有包含第1栅极导体的固体部件;

上述第2纵型场效应晶体管在上述半导体层的表面具有第2多个槽部,该第2多个槽部填充有包含第2栅极导体的固体部件;

上述半导体装置还具有在上述半导体层的外缘部表面沿着上述半导体层的外周边形成的第3多个槽部,该第3多个槽部填充有包含硅的固体部件。

36.如权利要求35所述的半导体装置,其中,
上述第1多个槽部与上述第3多个槽部之间的间隔、以及上述第2多个槽部与上述第3多个槽部之间的间隔,比上述第1多个槽部的相邻的槽部的间隔大,并且比上述第2多个槽部的相邻的槽部的间隔大。

37.如权利要求35所述的半导体装置,其中,
还具有以与上述第1源极电极或上述第2源极电极局部重叠的方式形成的保护层;
在将上述半导体层平面视的情况下,上述保护层的外周相对于上述半导体层的外周隔开间隔而形成于内侧;

上述第3多个槽部在上述平面视中从上述半导体层的外周形成至上述保护层的外周。

38.如权利要求35所述的半导体装置,其中,
上述第3多个槽部中的槽部的间距,与上述第1多个槽部中的槽部的间距及上述第2多个槽部中的槽部的间距相同。

半导体装置

技术领域

[0001] 本发明涉及半导体装置,特别涉及能够进行倒装的芯片尺寸封装型的半导体装置。

背景技术

[0002] 以往,提出了一种半导体装置,具备:具有第1主面及第2主面的半导体层、跨从该第1主面到该第2主面而设置的2个纵型场效应晶体管并形成在该第2主面上的金属层。在该结构中,作为从第1晶体管向第2晶体管流动的电流路径,不仅使用半导体基板内部的水平方向路径,还能够使用导通电阻低的金属层中的水平方向路径,所以能够降低半导体装置的导通电阻。

[0003] 在专利文献1中,提出了除了上述结构以外、还在金属层的与半导体基板相反侧形成有导电层的半导体装置。通过该导电层,在将芯片单片化的工序中能够抑制金属层的毛刺的发生。

[0004] 此外,在专利文献2中,提出了除了上述结构以外、还在金属层的与半导体基板相反侧形成有绝缘覆膜的半导体装置。通过该绝缘覆膜,能够维持半导体装置的薄型化,并且能够防止伤痕或缺陷等破损。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2016—86006号公报

[0008] 专利文献2:日本特开2012—182238号公报

发明内容

[0009] 发明要解决的课题

[0010] 但是,在专利文献1及专利文献2所公开的半导体装置中,金属层的热膨胀系数比半导体基板的热膨胀系数大,所以发生因温度变化带来的半导体装置的翘曲。

[0011] 在专利文献1中,在金属层的与半导体基板相反侧形成有导电层,但导电层的主材料是与金属层相同种类的金属,所以形成足够减轻因温度变化带来的半导体装置的翘曲的厚度的导电层在制造方面并不容易。

[0012] 在专利文献2中,在金属层的与半导体基板相反侧形成有用来实现半导体装置的薄型化及破损的防止的绝缘覆膜,但在金属层的厚度是为了确保低导通电阻而需要的厚度的情况下,在绝缘覆膜中不发生足够减轻半导体装置的翘曲的应力。

[0013] 即,在专利文献1及2所公开的半导体装置中,不能兼顾导通电阻的降低和半导体装置的翘曲的抑制。

[0014] 所以,本发明的目的是提供兼顾了导通电阻的降低和翘曲的抑制的芯片尺寸封装型的半导体装置。

[0015] 用来解决课题的手段

[0016] 为了解决上述课题,有关本发明的半导体装置的一技术方案,是能够倒装的芯片尺寸封装型的半导体装置,具有:半导体层,具有相互背对的第1主面及第2主面,由硅、氮化镓或碳化硅构成;第1金属层,具有相互背对的第3主面及第4主面,上述第3主面与上述第2主面接触地形成,该第1金属层比上述半导体层厚,由第1金属材料构成;第2金属层,具有相互背对的第5主面及第6主面,上述第5主面与上述第4主面接触地形成,该第2金属层比上述半导体层厚,由杨氏模量比上述第1金属材料大的第2金属材料构成;第1纵型场效应晶体管,形成于上述半导体层的第1区域中;以及第2纵型场效应晶体管,在上述半导体层中,形成于在沿着上述第1主面的方向上与上述第1区域相邻的第2区域中;上述第1纵型场效应晶体管在上述半导体层的上述第1主面侧具有第1源极电极及第1栅极电极;上述第2纵型场效应晶体管在上述半导体层的上述第1主面侧具有第2源极电极及第2栅极电极;上述第1金属层作为上述第1纵型场效应晶体管及上述第2纵型场效应晶体管的共用漏极电极发挥功能;将从上述第1源极电极经由上述共用漏极电极到上述第2源极电极的双向路径作为主电流路径。

[0017] 根据该结构,由于具有用来确保低导通电阻的厚度的第1金属层与杨氏模量比第1金属层大且比半导体层厚的第2金属层接触,所以能够抑制由半导体层与第1金属层的接触而发生的半导体装置的翘曲。因此,能够提供兼顾了导通电阻的降低和翘曲的抑制的芯片尺寸封装型的半导体装置。

[0018] 发明效果

[0019] 根据有关本发明的半导体装置,能够提供实现兼顾了导通电阻的降低和半导体装置的翘曲的抑制的能够倒装的芯片尺寸封装型的半导体装置。

附图说明

[0020] 图1是表示有关实施方式的半导体装置的结构的一例的剖视图。

[0021] 图2是表示有关实施方式的半导体装置的电极结构的一例的俯视图及表示双向电流的流动的截面概略图。

[0022] 图3是表示有关实施方式的半导体装置对充放电电路的应用例的电路图。

[0023] 图4A是表示具有Si层/Ag层的层叠结构的半导体装置中的、表示与Ag层厚/Si层厚对应的翘曲量及导通电阻的曲线图。

[0024] 图4B是通过试制实验确认了具有Si层/Ag层/Ni层的层叠结构的半导体装置中的与Ni层厚对应的翘曲量的结果的曲线图。

[0025] 图5A是通过试制实验确认了具有Si层/Ag层/Ni层或Si层/Ag层的层叠结构的半导体装置中的与Si层厚对应的导通电阻的结果的曲线图。

[0026] 图5B是是通过试制实验确认了具有Si层/Ag层/Ni层的层叠结构的半导体装置中的与Ni层厚对应的导通电阻的结果的曲线图。

[0027] 图6的(a)是有关实施方式的半导体装置中的Ni层的主面的电子显微镜摄影图,图6的(b)是有关实施方式的半导体装置中的Ni层的截面的电子显微镜摄影图。

[0028] 图7是有关实施方式的半导体装置中的Ni层/Ag层的截面的电子显微镜摄影图。

[0029] 图8是具有Si层/Ag层/Ni层的层叠结构的半导体装置中的将与Ni层厚对应的翘曲量的实测值及预测值进行了比较的曲线图。

- [0030] 图9是具有由晶体粒径不同的多个层构成的Ni层的半导体装置的概略剖视图。
- [0031] 图10是表示具有由通过不同的镀层制法形成的两层构成的Ni层的半导体装置的翘曲量的温度依赖性的图。
- [0032] 图11是表示Ni层主面的凹凸周期及刻印图案宽度与刻印辨识性的关系的概略剖视图。
- [0033] 图12是表示Ni层主面的最大高度粗糙度及刻印深度与刻印辨识性的关系的概略剖视图。
- [0034] 图13A是有关实施方式的半导体装置的剖视图。
- [0035] 图13B是有关实施方式的半导体装置的剖视图。
- [0036] 图13C是有关实施方式的半导体装置的剖视图。
- [0037] 图13D是有关实施方式的半导体装置的剖视图。
- [0038] 图13E是有关实施方式的半导体装置的剖视图。
- [0039] 图13F是有关实施方式的半导体装置的剖视图。
- [0040] 图14是有关实施方式的半导体装置的剖视图。
- [0041] 图15是说明有关实施方式的半导体装置中的Si层的后退距离的图。
- [0042] 图16是有关实施方式的半导体装置中的Si层的侧面的电子显微镜摄影图。
- [0043] 图17是说明有关实施方式的半导体装置中的Si层的侧面形状与制法的关系的图。
- [0044] 图18是有关实施方式的半导体装置中的Si层/Ag层的侧面的电子显微镜摄影图。
- [0045] 图19是有关实施方式的半导体装置的剖视图。
- [0046] 图20是有关实施方式的半导体装置的概略剖视图。
- [0047] 图21是有关实施方式的半导体装置的概略剖视图。

具体实施方式

[0048] 以下说明的实施方式都表示本发明的一具体例。在以下的实施方式中表示的数值、形状、材料、构成要素、构成要素的配置及连接形态等是一例,不是限定本发明的意思。此外,以下的实施方式的构成要素中的、在表示最上位概念的独立权利要求中没有记载的构成要素,设为任意的构成要素而进行说明。

[0049] (实施方式)

[0050] [1. 半导体装置的结构]

[0051] 以下,对有关本实施方式的半导体装置1的结构进行说明。有关本发明的半导体装置1是在半导体基板形成有2个纵型MOS(Metal Oxide Semiconductor:金属氧化物半导体)晶体管的可倒装的CSP(Chip Size Package:芯片尺寸封装)型的多晶体管芯片。上述2个纵型MOS晶体管是功率晶体管,是所谓的沟槽MOS型FET(Field Effect Transistor:场效应晶体管)。但是,有关本实施方式的半导体装置1并不适用于固体摄像装置等被分类为光电类的装置。

[0052] 图1是表示有关实施方式的半导体装置1的结构的一例的剖视图。此外,图2是表示有关实施方式的半导体装置的电极结构的一例的俯视图及表示双向电流的流动的截面概略图。图1的剖视图是观察图2的(a)的I—I的切断面的图。

[0053] 如图1所示,半导体装置1具有半导体层40、金属层30及31、第1纵型MOS晶体管10

(以下称作晶体管10)和第2纵型MOS晶体管20(以下称作晶体管20)。

[0054] 半导体层40具有相互背对的主面40a(第1主面)及主面40b(第2主面),由硅构成。半导体层40为由半导体基板32和低浓度杂质层33层叠而成的结构。半导体基板32配置在半导体层40的主面40b侧,低浓度杂质层33配置在半导体层40的主面40a侧。

[0055] 金属层31是具有相互背对的主面31a(第3主面)及主面31b(第4主面),主面31a与主面40b接触地形成,比半导体层40厚,由第1金属材料构成的第1金属层。第1金属材料例如可以举出银(Ag)、铜(Cu)或金(Au)。

[0056] 金属层30是具有相互背对的主面30a(第5主面)及主面30b(第6主面),主面30a与主面31b接触地形成,比半导体层40厚,由杨氏模量比第1金属材料大的第2金属材料构成的第2金属层。第2金属材料例如可以举出镍(Ni)、白金(Pt)、铱(Ir)、铑(Rh)或铬(Cr)。

[0057] 此外,如图1及图2的(a)、(b)所示,在将半导体层40平面视的情况下,形成在第1区域A1中的晶体管10在半导体层40的主面40a侧具有4个源极电极11a、11b、11c及11d(分别相当于源极电极11)和1个栅极电极19(第1栅极电极)。此外,形成于在沿着主面40a的方向上与第1区域A1相邻的第2区域A2中的晶体管20具有4个源极电极21a、21b、21c及21d(分别相当于源极电极21)和1个栅极电极29(第2栅极电极)。另外,构成1个晶体管10及20的源极电极及栅极电极的个数及配置关系并不限定于图2所示。

[0058] 如图2的(b)及(c)所示,金属层31作为晶体管10及20的共用漏极电极发挥功能,以从源极电极11(第1源极电极)经由金属层31到源极电极21(第2源极电极)的双向路径为主电流路径。

[0059] 根据上述结构,具有用来确保低导通电阻的厚度的金属层31和杨氏模量比金属层31大且比半导体层40厚的金属层30接触,所以能够抑制由半导体层40与金属层31的接触而发生的半导体装置1的翘曲。因此,能够提供兼顾了导通电阻的降低和翘曲的抑制的芯片尺寸封装型的半导体装置1。

[0060] 以下,对半导体装置1的结构及作用详细地进行说明。

[0061] 半导体基板32包含第1导电型的杂质,由硅构成。半导体基板32例如是N型的硅基板。

[0062] 低浓度杂质层33与半导体基板32的上表面(图1中的z轴正方向侧主面)接触地形成,包含浓度比半导体基板32的第1导电型的杂质的浓度低的第1导电型的杂质。低浓度杂质层33例如也可以通过外延生长而形成在半导体基板32上。

[0063] 在低浓度杂质层33的第1区域A1中,形成有包含与第1导电型不同的第2导电型的杂质的体区域18。在体区域18中,形成有包含第1导电型的杂质的源极区域14、栅极导体15及栅极绝缘膜16。源极电极11由部分12和部分13构成,部分12经由部分13而与源极区域14及体区域18连接。栅极导体15与栅极电极19连接。

[0064] 源极电极11的部分12是在安装时呈现与焊料等导电性接合材料良好的接合性的层,作为不受限定的一例,也可以由包含镍、钛、钨、钼中的某1种以上的金属材料构成。对于部分12的表面,也可以施以金等的镀层。

[0065] 源极电极11的部分13是将部分12与半导体层40连接的层,作为不受限定的一例,也可以由包含铝、铜、金、银中的某1种以上的金属材料构成。

[0066] 在低浓度杂质层33的第2区域A2中,形成有包含与第1导电型不同的第2导电型的

杂质的体区域28。在体区域28中,形成有包含第1导电型的杂质的源极区域24、栅极导体25及栅极绝缘膜26。源极电极21由部分22和部分23构成,部分22经由部分23而与源极区域24及体区域28连接。栅极导体25与栅极电极29连接。

[0067] 源极电极21的部分22是在安装时呈现与焊料等的导电性接合材良好的接合性的层,作为不受限定的一例,也可以由含有镍,钛,钨,钼中的某1种以上的金属材料构成。对于部分22的表面,也可以施以金等的镀层。

[0068] 源极电极21的部分23是将部分22与半导体层40连接的层,作为不受限定的一例,也可以由包含铝、铜、金、银中的某1种以上的金属材料构成。

[0069] 体区域18及体区域28被具有开口的层间绝缘层34覆盖,设有穿过层间绝缘层34的开口与源极区域14及源极区域24连接的源极电极的部分13及23。层间绝缘层34及源极电极的部分13及23被具有开口的钝化层35覆盖,设有穿过钝化层35的开口与源极电极的部分13、23分别连接的部分12及22。

[0070] [2. 半导体装置的动作]

[0071] 在图1所示的半导体装置1中,例如也可以将第1导电型设为N型,将第2导电型设为P型,源极区域14、源极区域24、半导体基板32及低浓度杂质层33是N型半导体,并且,体区域18及体区域28是P型半导体。

[0072] 此外,例如也可以将第1导电型设为P型,将第2导电型设为N型,源极区域14、源极区域24、半导体基板32及低浓度杂质层33是P型半导体,并且,体区域18及体区域28是N型半导体。

[0073] 以下,假设为将第1导电型设为N型、将第2导电型设为P型的所谓N沟道型晶体管的情况,对半导体装置1的导通动作进行说明。

[0074] 在图1所示的半导体装置1中,如果向源极电极11施加高电压并向源极电极21施加低电压,以源极电极21为基准而向栅极电极29(栅极导体25)施加阈值以上的电压,则在体区域28中的栅极绝缘膜26的附近形成导通沟道。结果,以源极电极11—体区域18—低浓度杂质层33—半导体基板32—金属层31—半导体基板32—低浓度杂质层33—形成在体区域28中的导通沟道—源极区域24—源极电极21的路径流过导通电流,半导体装置1成为导通状态。另外,在该导通路径中的体区域18与低浓度杂质层33的接触面有PN结,作为体二极管发挥功能。此外,由于该导通电流流过金属层31,所以通过将金属层31加厚,导通电流路径的截面积扩大,能够减小半导体装置1的导通电阻。该导通状态是后述的图3中的充电状态的情况。

[0075] [3. 兼顾半导体装置的翘曲减小和低导通电阻的结构]

[0076] 图3是表示半导体装置1向智能电话或平板电脑的充放电电路的应用例的电路图,半导体装置1根据从控制IC2给出的控制信号,控制从电池3向负载4的放电动作及从负载4向电池3的充电动作。在这样作为智能电话或平板电脑的充放电电路而应用半导体装置1的情况下,因为充电时间缩短及急速充电实现的制约,导通电阻作为20V耐压规格而被要求 $2.2 \sim 2.4 \text{ m}\Omega$ 以下。

[0077] 此外,在将半导体装置1安装到安装基板的情况下,源极电极11、栅极电极19、源极电极21及栅极电极29经由焊料等导电性接合材料,以倒装方式与设置在安装基板上的电极接合。在此情况下,半导体装置1的翘曲越大,源极电极11、栅极电极19、源极电极21及栅极

电极29与设在安装基板上的电极的电连接越不稳定。即,为了使与半导体装置1的安装基板上的电极的接合更稳定化,需要使半导体装置1的翘曲较小。

[0078] 图4A是通过试制实验确认了具有半导体层40(以下有记作Si层的情况)/金属层31(以下有记作Ag层的情况)的层叠结构的半导体装置中的、与Ag层厚/Si层厚(将Ag层厚用Si层厚除得到的值)对应的翘曲量及导通电阻的结果的曲线图。更具体地讲,在该图中,表示了长边长为3.40mm(图2的L1)且短边长为1.96mm(图2的L2)的半导体装置的250℃下的翘曲量及导通电阻。根据该图,要求导通电阻满足 $2.4\text{m}\Omega$ 以下的Ag层厚/Si层厚比1.0大。另一方面,在Ag层厚/Si层厚比1.0大的范围中,250℃下的翘曲量不成为业界规格的 $60\mu\text{m}$ 以下。

[0079] 相对于此,金属层30(以下有记作Ni层的情况)为了在确保半导体装置1的低导通电阻的同时抑制在半导体装置1中发生的翘曲而配置。这是将金属层31用半导体层40和金属层30夹着的构造,从金属层31的两面的应力平衡的观点出发,为了抑制翘曲量,优选的是金属层30具有与半导体层40相同程度的材料物性且相同程度的厚度。但是,由于不存在这样的金属材料,所以金属层30至少需要具有比金属层31所具有的材料物性值更接近于半导体层40的材料物性值的材料物性值,并且金属层30的厚度比半导体层40的厚度厚。

[0080] 在表1中,例示作为半导体层40/金属层31/金属层30的例子的Si层/Ag层/Ni层的典型的各层的膜厚及物性值。

[0081] [表1]

[0082]		膜厚 (μm)	杨氏模量 (GPa)	线膨胀系数 (ppm)	制法
	Si 层	20 (t_1)	185 (E_1)	3—5 (α_1)	
	Ag 层	50 (t_2)	83 (E_2)	18.9 (α_2)	电镀法
	Ni 层	30 (t_3)	200 (E_3)	12.8 (α_3)	电镀法
		$t_1 < t_2$ $t_1 < t_3$	$E_3 > E_2$	$\alpha_3 < \alpha_2$	

[0083] 如表1所示,构成Ni层的第2金属材料的杨氏模量比构成Ag层的第1金属材料的杨氏模量大。此外,Ni层的厚度比Si层厚,Ag层的厚度比Si层的厚度厚。进而,构成Ni层的第2金属材料的线膨胀系数比构成Ag层的第1金属材料的线膨胀系数小。通过使Ni层的线膨胀系数比Ag层的线膨胀系数小,能够进一步抑制半导体装置1的翘曲。

[0084] 图4B是通过试制实验确认了具有Si层/Ag层/Ni层的层叠结构的半导体装置1中的与Ni层厚对应的翘曲量的结果的曲线图。更具体地讲,在图4B中表示由计算机模拟器预测了Si层厚为 $20\mu\text{m}$ 、Ag层厚为 $50\mu\text{m}$ 的情况下的与Ni层厚对应的250℃下的翘曲量的结果的曲线图。

[0085] 如该图所示,在没有Ni层的状态(Ni层厚= $0\mu\text{m}$)下,翘曲量为 $67\mu\text{m}$ 左右,但随着Ni层厚增加而翘曲量减小。这里,为了完全抑制关于翘曲的安装问题,翘曲量需要降低到 $30\mu\text{m}$ 左右。为此,Ni层需要比Si层厚。

[0086] 根据图4A及图4B的结果,为了兼顾翘曲量的减小和低导通电阻,在具有Si层/Ag层/Ni层的层叠结构的半导体装置1中,需要Ag层比Si层厚,并且Ni层比Si层厚。

[0087] 接着,对能够兼顾翘曲量的减小和低导通电阻的层叠结构进行说明。

[0088] 图5A是通过试制实验确认了具有Si层/Ag层/Ni层或Si层/Ag层的层叠结构的半导体装置中的与Si层的厚度对应的导通电阻的结果的曲线图。更具体地讲,在该图中示出了表示在具有Si层/Ag层的层叠结构的半导体装置中、Ag层厚为 $30\mu\text{m}$ 及 $50\mu\text{m}$ 的情况下的与Si

层厚对应的导通电阻的曲线图。同时,在该图中示出了表示在具有Si层/Ag层/Ni层的层叠结构的半导体装置中、Ag层厚为 $30\mu\text{m}$ 且Ni层厚为 $30\mu\text{m}$ 、以及Ag层厚为 $50\mu\text{m}$ 且Ni层厚为 $30\mu\text{m}$ 的情况下的与Si层的厚度对应的导通电阻的曲线图。

[0089] 如图5A所示,随着使Si层变薄,半导体装置的导通电阻变低。但是,Si层通过薄膜化而能够实现导通电阻的降低,但半导体基板晶片面内的膜厚不均匀增大及局部地发生破裂或裂纹这样的制造工艺上的问题突显,所以实现低于 $20\mu\text{m}$ 的稳定的薄膜化是困难的。此外,使Ag层越厚,导通电阻越减小,如果附加Ni层,则导通电阻有减小的趋势。

[0090] 图5B是通过试制实验确认了具有Si层/Ag层/Ni层的层叠结构的半导体装置中的与Ni层厚对应的导通电阻的结果的曲线图。更具体地讲,在该图中,示出了表示Si层($20\mu\text{m}$)/Ag层($30\mu\text{m}$)及Si层($20\mu\text{m}$)/Ag层($50\mu\text{m}$)的情况下的与Ni层厚对应的导通电阻的曲线图。由该图可知,随着使Ni层厚变厚,半导体装置的导通电阻微减,所以通过附加Ni层,不会使半导体装置的导通电阻增加。特别是,在Si层厚为 $20\mu\text{m}$ 、Ag层厚为 $30\mu\text{m}$ 、Ni层厚为 $30\mu\text{m}$ 时,导通电阻减小到 $2.3\text{m}\Omega$ 左右。

[0091] 根据图5A及图5B也可知,在具有Si层/Ag层/Ni层的层叠结构的半导体装置1中,通过Ag层比Si层厚、并且Ni层比Si层厚,能够兼顾翘曲量的减小和低导通电阻。

[0092] [4. 半导体装置的微观结构]

[0093] 在有关本实施方式的半导体装置1中,优选的是Ni层比Si层厚、Si层比 $20\mu\text{m}$ 厚,所以Ni层需要具有几十 μm 的厚度的层。根据该观点,Ni层例如通过湿式镀层法形成。湿式镀层(Wet plating)法大体分为电镀(electroplating)法及化学镀层(chemical plating)法,但电镀法具有膜厚的限制较少、能够低温形成、对于设备的热影响较少的特征。因此,作为半导体装置1的Ni层的制法,优选的是电镀法。作为Ni层的形成法,也可以举出蒸镀等干式方法,但由于其晶体粒子是几十nm量级,制膜速率较低,所以作为制作具有膜厚 $10\mu\text{m}$ 以上的厚膜的方法是不现实的。

[0094] 电镀法是在溶液中离子化的金属种通过电位梯度而向阴极方向移动、该金属种与阴极的基材原子进行化学结合而形成金属皮膜的方法。因此,有所形成的金属皮膜的晶体粒子生长而容易变大的趋向。

[0095] 图6是表示有关实施方式的半导体装置1的Ni层的晶体状态的图。在图6的(a)中,表示半导体装置1的Ni层的主面30b的电子显微镜摄影图,在图6的(b)中,表示半导体装置1的Ni层的截面的电子显微镜摄影图。

[0096] 在图6的(a)中,在Ni层的主面30b呈现作为多个晶体的集合体的粒子的凹凸构造,该凹凸构造的周期例如是 $10\sim 20\mu\text{m}$ 。另一方面,在图6的(b)中,在Ni层的截面构造中,呈现在与主面30b大致垂直的方向上生长的、具有 $1\mu\text{m}$ 以上的大小的多个晶体。

[0097] 根据图6的(a)及(b),作为通过电镀法而形成厚膜的金属层30(Ni层)的特征,金属层30(Ni层)的主面30b的水平方向(x轴方向)的凹凸周期比构成金属层30(Ni层)的晶体的水平方向(x轴方向)的粒径大。

[0098] 由此可知,作为比Si层厚的Ni层的形成法,电镀法是有效的。

[0099] 图7是表示有关实施方式的半导体装置1的Ni层/Ag层的截面的电子显微镜摄影图。在图7的(a)、(b)及(c)中,分别表示了镀层电流是 2.1A 、 4.5A 及 8.0A 的情况下的由电镀法形成的Ag层及Ni层的截面。

[0100] 作为金属膜的特征,已知在该金属膜的晶体性与该金属膜的硬度之间有关系,由越细的晶体粒子构成的金属膜越硬(杨氏模量越大)。此外,在电镀法中,随着制膜的进行而晶体粒变大。换言之,随着膜厚变厚而晶体粒变大。

[0101] 在有关本实施方式的半导体装置1中,Ni层/Ag层在Si层的主面40b形成Ag层,然后,在Ag层的主面31b形成Ni层。由此,如图7所示,不管在哪个镀层电流下,主面30a附近的金属层30(Ni层)的晶体粒径都比主面30b附近的金属层30(Ni层)的晶体粒径小,此外,主面30a附近的金属层30(Ni层)的晶体粒径比主面31b附近的金属层31(Ag层)的晶体粒径小。

[0102] 由此,除了线膨胀系数相对较小的Ni层与线膨胀系数相对较大的Ag层相接以外,晶体粒径相对较小的Ni层与晶体粒径相对较大的Ag层相接,所以在升温时Ag层不易延伸,抑制半导体装置1的翘曲的效果变高。

[0103] 图8是具有Si层/Ag层/Ni层的层叠结构的半导体装置中的将与Ni层厚对应的翘曲量的实测值及预测值进行了比较的曲线图。在该图中,表示了Si层/Ag层/Ni层的层叠结构中、Si层厚为20 μm 且Ag层厚为50 μm 的情况下的由Ni层厚的增加带来的翘曲量的、试制实验的实测值和计算机模拟器的预测值。由此可知,在Ni层厚为20 μm 以上的区域中,发生翘曲量的实测值与预测值的背离,在实测值中由Ni层厚的增加带来的翘曲抑制的效果下降。

[0104] 此外,通过使Ni层厚增加而半导体装置1的翘曲抑制效果变高,但Ni层的镀层膜形成所需要的时间变长,制造成本增大。此外,进行半导体装置1的单片化的切割(dicing)工序中的切削负荷增加,有可能发生因切削速度的减小带来的制造成本的增大、切割刀片的破损等不良状况。

[0105] 因此,从由Ni层厚的增加带来的有效的翘曲抑制效果及制造工序上的观点来看,Ni层厚优选的是30 μm 以下。即,金属层30(Ni层)的厚度优选的是比半导体层40(Si层)厚且30 μm 以下。由此,能得到有效的翘曲抑制效果,能够实现制造工序的缩短及低成本化。

[0106] 图9是具有由晶体粒径不同的多个层构成的Ni层的半导体装置的概略剖视图。

[0107] 图9的(a)表示具有主面30a的第1层70A的晶体粒子比具有主面30b的第2层70B的晶体粒子小的状态。在该结构中,第1层70A为比第2层70B硬的层。因此,作为Ni层内的翘曲的趋向,较软的第2层70B比较硬的第1层70A更容易延伸,成为Ni层的主面30b侧为凸状的翘曲,成为与Si层和Ag层之间的翘曲方向相同的方向。即,通过层叠Ni层,虽然半导体装置1的翘曲量减小,但根据Ni层内的上述晶体粒径分布,半导体装置的翘曲抑制效果减小。

[0108] 图9的(a)所示的Ni层的晶体粒径的分布是不改变电镀法的制膜条件而将Ni层进行制膜的结果。因此,根据图9的(a)所示的Ni层的结构,能够在通过将镀层电流条件设为一定等的被简单化的电镀法对Ni层进行制膜的同时,抑制半导体装置的翘曲。

[0109] 图9的(b)表示具有主面30a的第1层70C的晶体粒径和具有主面30b的第2层70D的晶体粒径是大致相同的状态。进而,金属层30(Ni层)的晶体粒径比金属层31(Ag层)的主面31b侧的晶体粒径小。在该结构中,Ni层成为均匀的硬度,并且,Ni层比Ag层硬,所以能够抑制半导体装置1的翘曲。此外,由于能够作为半导体装置1的外表面的Ni层比Ag层硬,所以在通过切割进行的切削工序中能够抑制切割刀片的破损,能够实现制造工序的简单化。

[0110] 图9的(c)表示具有主面30a的第1层70E的晶体粒子比具有主面30b的第2层70F的晶体粒子大的状态。在该结构中,第1层70E为比第2层70F软的层。因此,作为Ni层内的翘曲的趋向,较软的第1层70E比较硬的第2层70F容易延伸,成为Ni层的主面30a侧为凸状的翘

曲,成为与Si层和Ag层之间的翘曲方向相反的方向。即,根据Ni层内的上述晶体粒径分布,半导体装置1的翘曲抑制效果被强化。此外,由于能够成为半导体装置1的外表面的Ni层的主面30b侧较硬,所以通过切割进行的切削工序变得容易,能实现制造工序的简单化。

[0111] 另外,如图9的(b)及(c)那样,为了实现第1层的晶体状态和第2层的晶体状态,只要进行在第1层和第2层间设定单独的镀层电流条件等的控制就可以。

[0112] 接着,对金属层30的晶体取向与硬度的关系进行说明。

[0113] 通常,已知规则正确地进行原子排列的晶体根据晶体的方向而物性值变化。在Ni中也是同样的,根据晶体取向而物性值不同。Ni单晶体的杨氏模量在晶体生长方向为<110>方位的情况下是 2.04×10^{12} (dyn/cm²),在晶体生长方向为<100>方位的情况下是 1.21×10^{12} (dyn/cm²)。即,<110>优先方位的Ni层与<100>优先方位的Ni层相比杨氏模量更大而更硬。

[0114] 此外,在将Ni层通过电镀法制膜的情况下,已知根据溶液而Ni层的晶体取向不同。例如,使用了硫酸浴或瓦特浴(watts bath)的Ni层在比较高的镀层电流密度的范围中,晶体生长方向是<110>优先方位,使用了氨基磺酸浴的Ni层成为晶体生长方向是<100>优先方位的晶体。

[0115] 图10是表示具有由通过不同的镀层制法形成的2层构成的Ni层的半导体装置的翘曲量的温度依赖性的图。该图的(a)是使用了氨基磺酸浴的第1层(膜厚15μm)及使用了硫酸浴的第2层(膜厚15μm)从Ag层(膜厚50μm)的主面31b起依次形成的层叠结构的剖视图。此外,该图的(b)表示Ag层(膜厚50μm)与第1层(膜厚30μm)的层叠结构中的翘曲量的温度依赖性、Ag层(膜厚50μm)与第2层(膜厚15μm)的层叠结构的翘曲量的温度依赖性、以及Ag层(膜厚50μm)、第1层(膜厚15μm)与第2层(膜厚15μm)的层叠结构中的翘曲量的温度依赖性。

[0116] 根据上述认识,由于第1层(氨基磺酸Ni)的晶体生长方向(z轴负方向)为<100>优先方位,第2层(硫酸Ni)的晶体生长方向(z轴负方向)为<110>优先方位,所以第2层与第1层相比杨氏模量高。由此,第2层与第1层相比有翘曲量减小的趋向,在高温区域中翘曲量的上限变小。但是,由于低温区域中的翘曲量的下限的减少趋向较强而达到了负区域,所以第1层的翘曲量的上下限范围更窄。这里,通过将具有对于翘曲量的不同特性的第1层与第2层层叠,能够使高温区域中的翘曲量的上限比第1层的小,并且使低温区域中的翘曲量的下限值(负区域的值)比第2层的大。

[0117] 另外,“优先的晶体取向”也称作<110>优先方位(或{110}面优先取向)等,表示在单位体积或单位面积中的全部晶体中,具有规定的晶体方位(或晶体面)的晶体的比例最多,可以使用X射线衍射法或后方散射电子衍射法进行确认。

[0118] 根据上述结构,金属层30(Ni层)包括具有主面30a的第1层和具有主面30b的第2层,在主面30b的水平方向上,构成第1层的金属晶体和构成第2层的金属晶体的优先取向面不同。

[0119] 由此,半导体装置1的翘曲量(的绝对值及范围)等的控制变得容易。

[0120] 此外,也可以是,在主面30b的水平方向上,构成第1层及第2层中的一方的金属晶体进行{100}面优先取向,构成第1层及第2层中的另一方的金属晶体进行{110}面优先取向。

[0121] 由此,半导体装置1的翘曲量(的绝对值及范围)等的控制变得容易。

[0122] 此外,也可以是,不论金属层30(Ni层)是由晶体取向不同的多个层构成还是由单

层构成,构成金属层30(Ni层)的金属晶体都在主面30b中进行{100}面优先取向。

[0123] 由此,由于{100}面与{110}面相比杨氏模量较小,所以刻印工序中的激光刻印变得容易。

[0124] 此外,也可以是,不论金属层30(Ni层)是由晶体取向不同的多个层构成还是由单层构成,构成金属层30(Ni层)的金属晶体都在主面30b中进行{110}面优先取向。

[0125] 由此,由于{110}面与{100}面相比杨氏模量较大,所以能够强化半导体装置1的翘曲抑制。

[0126] [5.半导体装置的刻印辨识性]

[0127] 有关本实施方式的半导体装置1还具有形成在金属层30(Ni层)的主面30b上的刻印。上述刻印例如是包括产品名及制造日等的识别信息的标识。在半导体装置1中,例如通过激光照射对主面30b进行刻印,以使得即使是倒装后,从外部的辨识也变得容易。用于上述激光照射的激光中较多使用YAG激光,YAG激光是包括树脂材料在内能够进行向金属材料的微细的刻印的激光。

[0128] 形成在Ni层的主面30b上的刻印的辨识性较大地影响Ni层的表面状态。通过对Ni层的主面30b照射激光,主面30b中的激光照射区域的粒界被重构而表面状态变化。通过该表面状态变化后的线状区域的宽度(刻印的图案宽度)及深度(刻印深度)与该线状区域以外的主面30b的区域的表面状态的关系,决定刻印的辨识性。作为刻印的辨识性变差的例子,可以举出由于被刻印的字符及线的消失、以及模糊等而该刻印的判别变得困难的情况。

[0129] 图11是表示Ni层的主面30b的凹凸周期及刻印图案宽度与刻印辨识性的关系的半导体装置的概略剖视图。如该图所示,在被照射激光而表面状态变化的线状区域的(x轴方向的)图案宽度比Ni层的主面30b的凹凸周期小的情况下,不能辨识刻印,被判定为不合格。相对于此,在上述线状区域的图案宽度比Ni层的主面30b的凹凸周期大的情况下,能够辨识刻印,被判定为良好。

[0130] 图12是表示Ni层的主面30b的最大高度粗糙度及刻印深度与刻印辨识性的关系的图。如该图所示,在被照射激光而表面状态变化的线状区域的(z轴方向的)刻印深度比Ni层的主面30b的最大高度粗糙度Rz小的情况下,不能辨识刻印,被判定为不良。相对于此,在上述线状区域的刻印深度比Ni层的主面30b的最大高度粗糙度Rz大的情况下,能够辨识刻印,被判定为良好。

[0131] [6.半导体装置的端部结构]

[0132] 图13A是有关实施方式的半导体装置1A的剖视图。如该图所示,半导体装置1A具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)、晶体管10及20和突起部36A、36B、37A及37B。半导体装置1A与有关实施方式的半导体装置1相比,不同的是具有突起部36A、36B、37A及37B、以及在将Si层平面视的情况下Si层的外周比Ni层及Ag层的外周朝向半导体装置1A的中心方向后退。以下,关于半导体装置1A,对与半导体装置1相同的点省略说明,以不同的点为中心进行说明。

[0133] 在将半导体层40(Si层)平面视的情况下,半导体层40(Si层)的外周比金属层30(Ni层)及31(Ag层)的外周朝向半导体装置1A的中心方向后退。这是因为通过两阶段的切断工序(Si层的切断工序、Ni层及Ag层的切断工序)执行将半导体装置1A单片化的工序。另外,在半导体装置1A中,Si层的外周比Ni层及Ag层的外周后退的结构不是必须的。

[0134] 突起部36A及36B是在将金属层30 (Ni层) 从主面30b平面视的情况下,在Ni层的外周在从主面30a朝向主面30b的方向(z轴负方向)上从主面30b突出的第1突起部。突起部36A及36B包含金属层31所具有的第1金属材料及金属层30所具有的第2金属材料中的至少一方。在半导体装置1A中,突起部36A及36B包含Ag及Ni中的至少一方。

[0135] 由此,能够加强Ni层的外周的机械强度及硬度,所以能够强化半导体装置1A的翘曲抑制。

[0136] 另外,突起部36A及36B也可以形成于上述平面视中的构成金属层30 (Ni层) 的外周的边中的对置的2边或全部边。

[0137] 由此,能够强化半导体装置1A的与形成了突起部36A及36B的方向正交的方向的翘曲抑制。

[0138] 另外,突起部36A及36B的突出高度例如是金属层30 (Ni层) 的厚度的1/3以上。

[0139] 由此,能够进一步加强Ni层的外周的机械强度及硬度。

[0140] 此外,突起部36A及36B的突出宽度例如是4 μm 以上。

[0141] 由此,能够进一步加强Ni层的外周的机械强度及硬度,此外,在清洗工序中能够抑制突起部36A及36B从半导体装置1A脱离,所以能够抑制半导体装置1A因脱离的导电物而发生短路不良等。

[0142] 此外,在突起部36A及36B中,第2金属材料的含量比第1金属材料的含量多。在半导体装置1A中,在突起部36A及36B中,Ni含量比Ag含量多。

[0143] 由此,突起部36A及36B与杨氏模量较小的Ag相比更多地包含杨氏模量较大的Ni,所以成为相对较硬的突起物。因此,能够进一步加强金属层30的外周的机械强度及硬度,此外,由于在清洗工序中能够抑制突起部36A及36B从半导体装置1A脱离,所以能够抑制半导体装置1A因脱离的导电物而发生短路不良等。

[0144] 另外,在半导体装置1A中,突起部36A及36B的结构不是必须的。

[0145] 在将半导体层40 (Si层) 平面视的情况下,半导体层40 (Si层) 的外周相对于金属层31 (Ag层) 的外周隔开间隔而形成于内侧。

[0146] 突起部37A及37B是在将金属层31 (Ag层) 从主面31a平面视的情况下,在金属层31 (Ag层) 的外周在从主面31b朝向主面31a的方向(z轴正方向)上从主面31a突出的第2突起部。突起部37A及37B包含金属层31 (Ag层) 所具有的第1金属材料及金属层30 (Ni层) 所具有的第2金属材料中的至少一方。在半导体装置1A中,突起部37A及37B包含Ag及Ni中的至少一方。

[0147] 由此,能够加强Ag层的外周的机械强度及硬度,所以能够强化半导体装置1A的翘曲抑制。

[0148] 另外,突起部37A及37B也可以形成于上述平面视中的构成金属层31 (Ag层) 的外周的边中的对置的2边或全部边。

[0149] 由此,能够强化半导体装置1A的与形成了突起部37A及37B的方向正交的方向的翘曲抑制。

[0150] 另外,在半导体装置1A中,突起部37A及37B的结构不是必须的。

[0151] 此外,在半导体装置1A中,突起部36A、36B、37A及37B是通过半导体装置1A的单片化工序,金属层30 (Ni层) 及31 (Ag层) 的构成物从金属层30 (Ni层) 及31 (Ag层) 的外周部延伸

而成的。

[0152] 在半导体装置1A的单片化工序中,例如使用刀片切割。这是使用附着有金刚石磨石的几十 μm 左右的宽度的圆形刀片高速旋转而将Si层、Ni层及Ag层切削的工序。此时,通过圆形刀片从Si层侧向Ni层侧切入,但圆形刀片的宽度(几十 μm)左右的材料被削掉。因此,有延展性的Ni层及Ag层在圆形刀片的切削加工方向上被拉伸,形成突起部(毛刺)。该突起部在相对于Ni层及Ag层的表面垂直的方向上形成新的大致平面,起到作为Ni层及Ag层的加强件的作用。由此,能够强化半导体装置1A的翘曲抑制。

[0153] 图13B是有关实施方式的半导体装置1B的剖视图。如该图所示,半导体装置1B具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)和突起部36B、37B及38。半导体装置1B与半导体装置1A相比,具有突起部38这一点不同。以下,对于半导体装置1B,关于与半导体装置1A相同的点省略说明,以不同的点为中心进行说明。

[0154] 突起部38是在金属层31(Ag层)外周侧面在从将金属层31(Ag层)平面视的情况下的金属层31(Ag层)的中央朝向外周的方向(x轴正方向)上形成的第3突起部。另外,突起部38也可以在Ni层外周侧面在将Ni层平面视的情况下在从Ni层的中央朝向外周的方向(x轴正方向)上形成。

[0155] 由此,能够加强Ni层的外周的机械强度及硬度,所以能够抑制半导体装置1B的翘曲抑制。

[0156] 图13C是有关实施方式的半导体装置1C的剖视图。如该图所示,半导体装置1C具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)、覆盖层50、和突起部37A(未图示)及37B。半导体装置1C与半导体装置1A相比,没有突起部36A及36B而具有覆盖层50这一点不同。以下,对于半导体装置1C,关于与半导体装置1A相同的点省略说明,以不同的点为中心进行说明。

[0157] 覆盖层50是具有相互背对的主面50a(第7主面)及主面50b(第8主面),主面50a与Ni层的主面30b直接接触或夹着接合材料而形成,由陶瓷材料或塑料材料构成的第1覆盖层。

[0158] 另外,覆盖层50在半导体装置1C的单片化工序之前已经被配置。由此,在使用刀片切割的单片化工序中,能够避免在Ni层的主面30b产生突起物(毛刺)。

[0159] 图13D是有关实施方式的半导体装置1D的剖视图。如该图所示,半导体装置1D具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)和覆盖层50及51。半导体装置1D与半导体装置1C相比,没有突起部37A及37B而具有覆盖层51这一点不同。以下,对于半导体装置1D,关于与半导体装置1C相同的点省略说明,以不同的点为中心进行说明。

[0160] 覆盖层51是在将金属层31(Ag层)平面视的情况下的金属层31(Ag层)的外缘部具有相互背对的主面51a(第9主面)及主面51b(第10主面),主面51b与金属层31(Ag层)的主面31a直接接触或夹着接合材料而形成,由陶瓷材料或塑料材料构成的第2覆盖层。

[0161] 另外,覆盖层51在半导体装置1D的单片化工序之前已经被配置。由此,在使用刀片切割的单片化工序中,能够避免在Ag层的主面31a产生突起物(毛刺)。

[0162] 图13E是有关实施方式的半导体装置1E的剖视图。如该图所示,半导体装置1E具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)、覆盖层50和槽部60。半导体装置1E与半导体装置1D相比,没有覆盖层51而具有将Si层分隔的槽部60这一点不同。以下,对于半导体装

置1E,关于与半导体装置1D相同的点省略说明,以不同的点为中心进行说明。

[0163] 槽部60是在半导体层40 (Si层) 的外缘部沿着半导体层40 (Si层) 的外周边形成的以主面31a为底面的槽。

[0164] 另外,槽部60在半导体装置1E的单片化工序之前已经形成。由此,在使用刀片切割的单片化工序中,能够避免产生达到体区域18或体区域28那样的Si层的碎片。

[0165] 图13F是有关实施方式的半导体装置1F的剖视图。如该图所示,半导体装置1F具有半导体层40 (Si层)、金属层30 (Ni层) 及31 (Ag层) 和合成物39。半导体装置1F与半导体装置1相比,具有合成物39这一点不同。以下,对于半导体装置1F,关于与半导体装置1相同的点省略说明,以不同的点为中心进行说明。

[0166] 合成物39是形成在金属层30 (Ni层) 的外周侧面的、第1金属材料与第2金属材料的合成物。在本实施方式中,合成物39是Ag与Ni的合成物。

[0167] 由此,能够加强Ni层的外周的机械强度及硬度,所以能够强化半导体装置1F的翘曲抑制。另外,合成物39也可以形成在Ag层的外周侧面。在此情况下,能够加强Ag层的外周的机械强度及硬度,所以能够强化半导体装置1F的翘曲抑制。

[0168] 在半导体装置1F的单片化工序中,例如作为Ni层及Ag层的切断方法而使用激光切割。因此,在Ni层及Ag层的外周侧面,附着通过激光而熔融的第1金属材料与第2金属材料的合成物。

[0169] 另外,在将金属层30 (Ni层) 及31 (Ag层) 平面视的情况下,合成物39也可以在半导体装置1F的整周上形成于金属层30 (Ni层) 及金属层31 (Ag层) 中的至少一方的外周侧面。

[0170] 由此,能够进一步加强Ni层或Ag层的外周的机械强度及硬度。

[0171] 此外,如图13F所示,例如在从主面31a朝向主面30b的方向(z轴负方向)上,合成物39的中心位置在从主面31a到主面30b的距离的一半的位置与主面30b的位置之间。

[0172] 由此,在通过激光切割进行的单片化工序中,能够抑制Ni层及Ag层的构成物飞散的游离体(以下有记作碎屑的情况)附着到半导体装置1F的表面(z轴正方向侧)。例如,在Ni层及Ag层的合成层的切断时,只要在将从主面31a到主面30b的距离的一半以上的厚度量从主面31a侧进行刀片切割后,将剩余的较薄的合成层从主面31a侧或从主面30b侧用强度较弱的激光输出进行激光切割,就能够抑制碎屑的发生。

[0173] 此外,可确认突起部36A、36B、37A、37B、38及合成物39遍及半导体装置1A的外周各边的1/3以上的距离而连续地形成。像这样突起部或合成物在半导体装置1A的外周边连续地形成的结构进一步强化半导体装置1A的翘曲抑制。此外,突起部或合成物根据单片化工序的条件,也有遍及半导体装置1A的外周各边的1/2以上或2/3以上的距离而连续地形成的情况,在此情况下可进一步强化半导体装置1A的翘曲抑制。

[0174] 图14是有关实施方式的半导体装置1G的剖视图。如该图所示,半导体装置1G具有半导体层40 (Si层)、金属层30 (Ni层) 及31 (Ag层) 和晶体管10及20。半导体装置1G与半导体装置1相比,在将半导体层40 (Si层) 平面视的情况下半导体层40 (Si层) 的外周比金属层30 (Ni层) 及31 (Ag层) 的外周朝向半导体装置1G的中心方向后退这一点不同。以下,对于半导体装置1G,关于与半导体装置1相同的点省略说明,以不同的点为中心进行说明。

[0175] 在将半导体层40 (Si层) 平面视的情况下,半导体层40 (Si层) 的外周相对于金属层31 (Ag层) 的外周隔开间隔而形成于内侧。进而,半导体层40 (Si层) 的外周也可以在整周上

相对于金属层31 (Ag层) 的外周隔开间隔而形成于内侧。

[0176] 另外,上述结构在单片化工序中的Ni层及Ag层的切断之前已经被形成。由此,能够抑制将Ni层及Ag层通过切割来切断时的Si层的碎片及碎屑向Si层的侧面的附着。此外,在Ni层及Ag层的刀片切割时,不将Si层同时切断也可以,所以能够减轻刀片切割的切断负荷,此外,在切割中使用的切割刀片的选择变得容易。这是因为,在陶瓷材料的Si层、和金属材料的Ni层及Ag层中,适合于切削的切割刀片的种类不同。

[0177] 此外,半导体层40 (Si层) 及金属层31 (Ag层) 的平面方向上的半导体层40 (Si层) 的外周与金属层31 (Ag层) 的外周的距离 (间隔的长度) 例如是15 μm 以上。

[0178] 图15是说明有关实施方式的半导体装置1G中的Si层的后退距离的图。在该图中示出了在制造工序中相邻的2个半导体装置1G的边界区域的剖视图。

[0179] 在半导体装置1G的单片化工序中,在将Si层进行了刀片切割的情况下,有在Si层产生碎片的情况。为了避免该情况,在半导体装置1G中,不仅使用刀片切割,还并用等离子切割来进行单片化是有效的。等离子切割可以通过利用等离子反应将Si层化学性地除去的干式蚀刻法,在Si层的切削面不产生碎片地进行切削加工。

[0180] 在半导体装置1G的单片化工序中,通过等离子切割,将其后进行刀片切割或激光切割的区域的、对其后的刀片切割或激光切割切削宽度 (在图15中是激光加工宽度或刀片加工宽度) 加上余量宽度后的切削宽度 (在图15中是等离子加工宽度) 量的Si层除去。然后,通过刀片切割或激光切割,将Ag层及Ni层切削。由此,能够在Si层的外周部不产生碎片而进行半导体装置1G的单片化。

[0181] 在将该Ag层及Ni层切削时,为了不会通过刀片切割或激光切割对Si层带来损伤,需要将相邻的半导体装置1G的Si层彼此的间隔确保得比激光加工宽度或刀片加工宽度大。由此,Si层的外周相对于Ag层的外周隔开间隔而形成于内侧。

[0182] 如图15所示,在将激光加工宽度或刀片加工宽度例如设为30 ~ 35 μm ,将基于等离子切割的加工宽度例如设为65 μm 的情况下,Si层的外周与Ag层的外周的距离 (图15的后退距离LB) 例如为15 ~ 17 μm 。

[0183] 由此,作为半导体装置1G的单片化工序,在通过等离子切割对Si层进行加工、通过刀片切割或激光切割对Ag层及Ni层进行加工的情况下,能够容易实现在Si层的外周部不产生碎片的单片化。

[0184] 图16是有关实施方式的半导体装置1G中的Si层的侧面的电子显微镜摄影图。如该图所示,半导体层40 (Si层) 的外周侧面中的与主面31a相接的主面40b侧的端部侧面的凹凸的最大高度粗糙度Rz与半导体层40 (Si层) 的外周侧面中的主面40a侧的侧面的凹凸的最大高度粗糙度Rz大致相等。此外,在半导体层40 (Si层) 的平面视中,半导体层40 (Si层) 的外周侧面中的与主面31a相接的主面40b侧的端部侧面没有比半导体层40 (Si层) 的外周侧面中的主面40a侧的侧面的最大外周更靠外侧形成。即,在Ag层的主面31a上没有形成半导体层40的残渣。

[0185] 由此,在将Ag层及Ni层进行激光切割时,能够抑制在Si层的侧面上附着作为Ag层及Ni层的构成物的金属。

[0186] 此外,如图16所示,半导体层40 (Si层) 的外周侧面也可以具有包含锐角顶点的凹凸形状。

[0187] 由此,通过包含锐角顶点的凹凸形状,促进从Si层的外周侧面的散热,提高半导体装置1G的散热性。

[0188] 图17是说明有关实施方式的半导体装置1G中的Si层的侧面形状与制法的关系的图。在该图的(a)中示出了将Si层平面视的情况下的基于等离子切割用掩模形状的、包含锐角顶点的凹凸形状。此外,在该图的(b)中示出了将Si层剖视的情况下的等离子切割时的加工状态。在这里的等离子切割工序中,由于分多个阶段进行等离子切削加工,所以Si层的侧面在y轴方向(或x轴方向)及z轴方向双方中形成有包含锐角顶点的凹凸。此外,如该图的(b)所示,Si层的外周侧面中的与Ag层相接的端部侧面的凹凸的最大高度粗糙度Rz与Si层的外周侧面中的位于与Ag层相反一侧的侧面的凹凸的最大高度粗糙度Rz大致相等。此外,在Si层的平面视中,Si层的外周侧面中的与Ag层相接的端部侧面没有比Si层的外周侧面中的位于与Ag层相反一侧的侧面的最大外周更靠外侧形成。

[0189] 图18是有关实施方式的半导体装置1H中的Si层及Ag层的侧面的电子显微镜摄影图。如该图所示,半导体装置1H具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)、晶体管10及20和非晶质半导体44。半导体装置1H与半导体装置1G相比,具有非晶质半导体44这一点不同。以下,对于半导体装置1H,关于与半导体装置1G相同的点省略说明,以不同的点为中心进行说明。

[0190] 非晶质半导体44在半导体层40(Si层)的外周侧面以将半导体层40(Si层)覆盖的方式形成。

[0191] 另外,非晶质半导体44是在半导体装置1H的单片化工序中在通过激光切割切断了Si层的情况下构成Si层的Si熔融凝固并附着于Si层的侧面而成的。由此,在其后的通过刀片切割进行的Ag层及Ni层的切割时,抑制在Si层出现裂纹或Si层的一部分剥离。

[0192] 图19是有关实施方式的半导体装置1J的剖视图。如该图所示,半导体装置1J具有半导体层40(Si层)、金属层30(Ni层)及31(Ag层)、晶体管10及20和槽部43A及43B。半导体装置1J与半导体装置1G相比,具有槽部43A及43B这一点不同。以下,对于半导体装置1J,关于与半导体装置1G相同的点省略说明,以不同的点为中心进行说明。

[0193] 晶体管10在Si层的主面40a,具有填充有作为栅极导体15及栅极绝缘膜16的固体部件的多个槽部41(第1多个槽部、主体部沟槽)。

[0194] 晶体管20在Si层的主面40a,具有填充有作为栅极导体25及栅极绝缘膜26的固体部件的多个槽部42(第2多个槽部、主体部沟槽)。

[0195] 多个槽部43A及多个槽部43B是在半导体层40(Si层)的主面40a的外缘部沿着半导体层40(Si层)的外周边形成的、填充有包含硅的固体部件的第3多个槽部(假沟槽)。多个槽部43A配置在主面40a的上述外缘部中的晶体管10侧的外缘部。此外,多个槽部43B配置在主面40a的上述外缘部中的晶体管20侧的外缘部。

[0196] 另外,填充在多个槽部43A及多个槽部43B中的固体部件也可以是与填充在多个槽部41及多个槽部42中的固体部件相同的材料,在此情况下,能够通过与多个槽部41及多个槽部42的形成工序相同的工序形成多个槽部43A及多个槽部43B。由此,能够实现制造工序的简单化。

[0197] 由此,在半导体装置1J的单片化工序中,能够抑制在刀片切割时发生的Si层的裂纹及一部分剥离达到体区域18及体区域28。

[0198] 另外,多个槽部41与多个槽部43A之间的间隔LgA、以及多个槽部42与多个槽部43B之间的间隔LgB也可以比多个槽部41中的相邻的槽彼此的间隔Pg1大,并且比多个槽部42中的相邻的槽彼此的间隔Pg2大。

[0199] 由此,间隔LgA及LgB比主体部的槽部的间隔Pg1及Pg2大,所以能够将半导体装置1J的制造掩模图案占用率降低到可稳定制造的范围。

[0200] 此外,半导体装置1J具有以与源极电极11或源极电极21局部重叠的方式形成的钝化层35(保护层)。这里,在将半导体层40(Si层)平面视的情况下,钝化层35的外周相对于半导体层40(Si层)的外周隔开间隔而形成于内侧,多个槽部43A及多个槽部43B在上述平面视中形成在从半导体层40(Si层)的外周到钝化层35的外周的区间中。

[0201] 由此,在没有形成钝化层35、对于在刀片切割时发生的Si层的裂纹及一部分剥离的耐受性较弱的Si层的主面40a的外缘部,也能够提高对于Si层的裂纹及一部分剥离的耐受性。

[0202] 此外,多个槽部43A及多个槽部43B中的槽部的间距也可以与多个槽部41及多个槽部42中的槽部的间距相同。

[0203] 由此,能够将多个槽部43A及多个槽部43B在形成多个槽部41及多个槽部42的工序中同时形成,所以能够使半导体装置1J的设计及制造简单化。

[0204] (其他实施方式)

[0205] 以上,基于实施方式对有关本发明的1个或多个技术方案的半导体装置进行了说明,但本发明并不限于该实施方式。只要不脱离本发明的主旨,对本实施方式实施了本领域技术人员想到的各种变形后的形态、或将不同实施方式的一部分的构成要素组合而构建的形态也包含在本发明的1个或多个技术方案的范围内。

[0206] 在本实施方式中,例示了在由硅构成的半导体基板形成有2个纵型MOS晶体管的半导体装置1,但有关本发明的半导体装置包括具有以下的结构的半导体装置。

[0207] 图20是构成有关实施方式的半导体装置100的1个纵型III族氮化物半导体晶体管的概略剖视图。半导体装置100是可倒装的芯片尺寸封装型的III族氮化物半导体晶体管。如图20所示,构成半导体装置100的纵型III族氮化物半导体晶体管具备由n型的III族氮化物半导体构成的基板132、n型的III族氮化物半导体层133(及143)、p型的III族氮化物半导体层134(及144)和金属层130及131。此外,设有将III族氮化物半导体层134的一部分贯穿而底部达到III族氮化物半导体层133的凹部。此外,设有将III族氮化物半导体层144的一部分贯穿而底部达到III族氮化物半导体层143的凹部。进而,以将凹部的底部、侧部和III族氮化物半导体层134的表面的一部分覆盖的方式,依次形成有III族氮化物半导体层137、和带隙比III族氮化物半导体层137大的III族氮化物半导体层135。此外,以将凹部的底部、侧部和III族氮化物半导体层144的表面的一部分覆盖的方式,依次形成有III族氮化物半导体层147、和带隙比III族氮化物半导体层147大的III族氮化物半导体层145。进而,在III族氮化物半导体层134的表面形成有栅极导体119,在III族氮化物半导体层135的上层形成有源极电极111。此外,在III族氮化物半导体层144的表面形成有栅极导体129,在III族氮化物半导体层145的上层形成有源极电极121。在III族氮化物半导体层137与III族氮化物半导体层135的边界附近产生了二维电子气体136。此外,在III族氮化物半导体层147与III族氮化物半导体层145的边界附近产生了二维电子气体146。

[0208] 作为III族氮化物半导体层134、III族氮化物半导体层133及基板132的层叠体的半导体层140具有相互背对的第1主面及第2主面。此外,作为III族氮化物半导体层144、III族氮化物半导体层143及基板132的层叠体的半导体层150具有相互背对的第1主面及第2主面。

[0209] 金属层131是具有相互背对的第3主面及第4主面,第3主面与第2主面接触地形成,比半导体层140及150厚,且由第1金属材料构成的第1金属层。

[0210] 金属层130是具有相互背对的第5主面及第6主面,第5主面与第4主面接触地形成,比半导体层140及150厚,且由杨氏模量比第1金属材料大的第2金属材料构成的第2金属层。

[0211] 此外,在半导体层140的第1区域中,形成有由基板132、III族氮化物半导体层133、134、135及137、金属层130及131、栅极导体119、以及源极电极111构成的第1纵型III族氮化物半导体晶体管,在沿着第1主面的方向上与第1区域相邻的第2区域中形成有由基板132、III族氮化物半导体层143、144、145及147、金属层130及131、栅极导体129、以及源极电极121构成的第2纵型III族氮化物半导体晶体管。

[0212] 金属层131作为第1纵型III族氮化物半导体晶体管及第2纵型III族氮化物半导体晶体管的共用漏极电极发挥功能。

[0213] 另外,III族氮化物半导体层133及143也可以是连续的1个层。此外,III族氮化物半导体层135及145也可以是连续的1个层。此外,III族氮化物半导体层137及147也可以是连续的1个层。此外,二维电子气体136及146也可以连续。此外,构成III族氮化物半导体层133、134、135、137、143、144、145及147的III族元素也可以是单独的Al、Ga或In、或者它们的组合。

[0214] 根据上述结构,由于具有用来确保低导通电阻的厚度的金属层131与杨氏模量比金属层131大且比半导体层140及150厚的金属层130接触,所以能够抑制通过半导体层140及150与金属层131的接触而发生的半导体装置100的翘曲。因此,能够提供兼顾了导通电阻的降低和翘曲的抑制的芯片尺寸封装型的半导体装置100。

[0215] 图21是构成有关实施方式的半导体装置200的1个纵型SiC晶体管的概略剖视图。半导体装置200是能够倒装的芯片尺寸封装型的SiC(碳化硅)功率晶体管。如图21所示,构成半导体装置200的SiC晶体管具备包含高浓度n型杂质的SiC基板232、低浓度n型杂质层233和金属层230及231。在低浓度n型杂质层233中,设有在内部具有高浓度n型杂质层的p型杂质层。此外,在p型杂质层内部的高浓度n型杂质层的表面及p型杂质层的表面,以接触的方式设有源极电极211(及221),在与p型杂质层内部的高浓度n型杂质层和低浓度n型杂质层233之间的p型杂质层对置的位置,经由绝缘膜216设有栅极导体219(及229)。

[0216] 作为低浓度n型杂质层233及SiC基板232的层叠体的半导体层240具有相互背对的第1主面及第2主面。

[0217] 金属层231是具有相互背对的第3主面及第4主面,第3主面与第2主面接触地形成,比半导体层240厚,且由第1金属材料构成的第1金属层。

[0218] 金属层230是具有相互背对的第5主面及第6主面,第5主面与第4主面接触地形成,比半导体层240厚,且由杨氏模量比第1金属材料大的第2金属材料构成的第2金属层。

[0219] 此外,在半导体层240的第1区域中,形成有由SiC基板232、低浓度n型杂质层233、金属层230及231、栅极导体219、以及源极电极211构成的第1纵型SiC晶体管,在沿着第1主

面的方向上与第1区域相邻的第2区域中形成有由SiC基板232、低浓度n型杂质层233、金属层230及231、栅极导体229、以及源极电极221构成的第2纵型SiC晶体管。

[0220] 金属层231作为第1纵型SiC晶体管及第2纵型SiC晶体管的共用漏极电极发挥功能。

[0221] 根据上述结构,由于具有用来确保低导通电阻的厚度的金属层231与杨氏模量比金属层231大且比半导体层40B厚的金属层230接触,所以能够抑制通过半导体层40B与金属层231的接触而发生的半导体装置200的翘曲。因此,能够提供兼顾了导通电阻的降低和翘曲的抑制的芯片尺寸封装型的半导体装置200。

[0222] 产业上的可利用性

[0223] 有关本发明的半导体装置作为CSP型的半导体装置能够广泛地利用于双向晶体管的各种半导体装置。

[0224] 标号说明

[0225] 1、1A、1B、1C、1D、1E、1F、1G、1H、1J、100、200 半导体装置

[0226] 2 控制IC

[0227] 3 电池

[0228] 4 负载

[0229] 10 晶体管(第1纵型MOS晶体管)

[0230] 11、11a、11A、11b、11B、11c、11d、21、21a、21A、21b、21B、21c、21d、111、121、211、221 源极电极

[0231] 12、13、22、23 部分

[0232] 14、24 源极区域

[0233] 15、25、119、129、219、229 栅极导体

[0234] 16、26 栅极绝缘膜

[0235] 18、28 体区域

[0236] 19、19A、19B、29、29A、29B 栅极电极

[0237] 20 晶体管(第2纵型MOS晶体管)

[0238] 30、31、130、131、230、231 金属层

[0239] 30a、30b、31a、31b、40a、40b、50a、50b、51a、51b 主面

[0240] 32 半导体基板

[0241] 33 低浓度杂质层

[0242] 34 层间绝缘层

[0243] 35 钝化层

[0244] 36A、36B、37A、37B、38 突起部

[0245] 39 合成物

[0246] 40、140、150、240 半导体层

[0247] 41、42、43A、43B、60 槽部

[0248] 44 非晶质半导体

[0249] 50、51 覆盖层

[0250] 70A、70C、70E 第1层

- [0251] 70B、70D、70F 第2层
- [0252] 132 基板
- [0253] 133、134、135、137、143、144、145、147 III族氮化物半导体层
- [0254] 136、146 二维电子气体
- [0255] 216 绝缘膜
- [0256] 232 SiC基板
- [0257] 233 低浓度n型杂质层

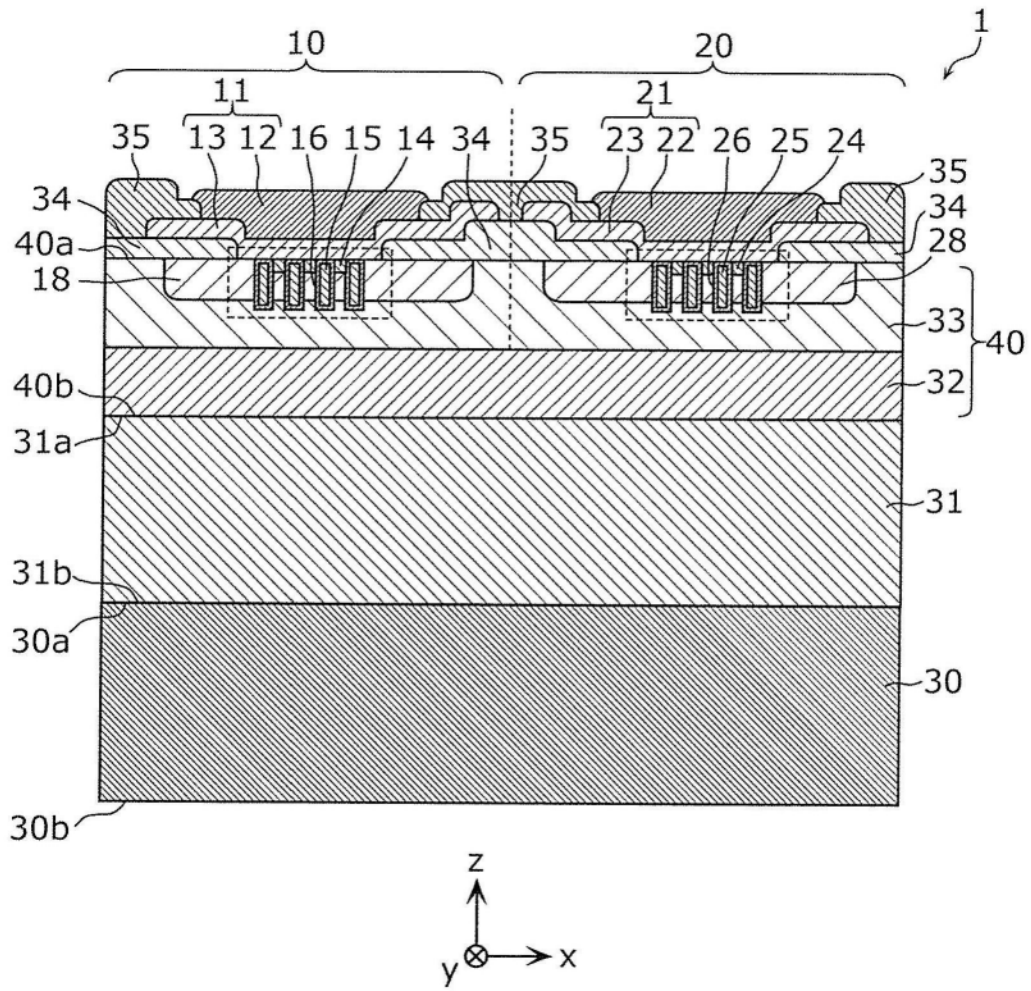


图1

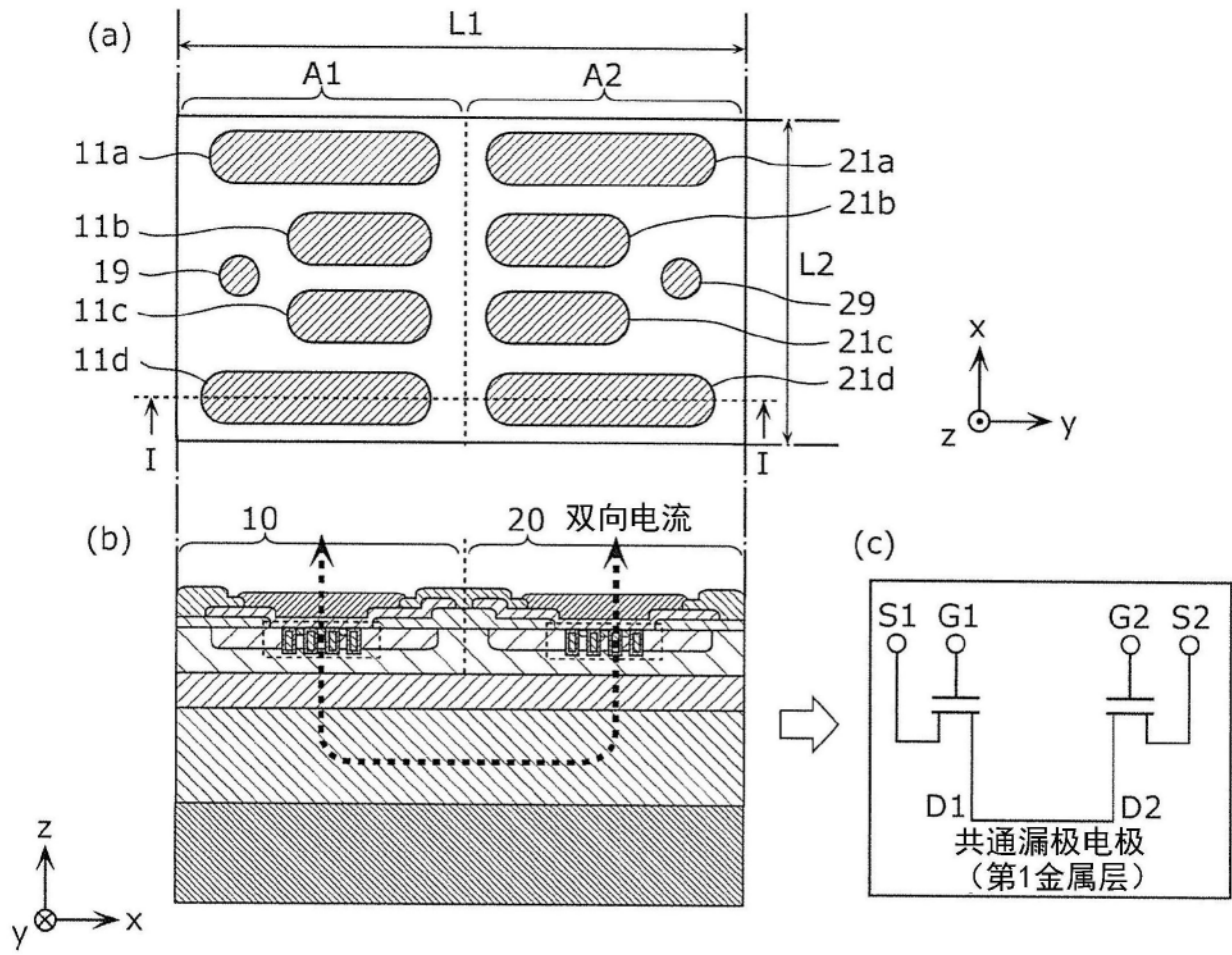


图2

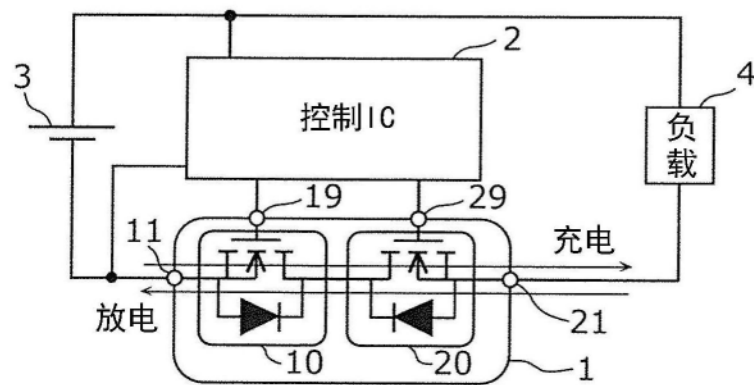


图3

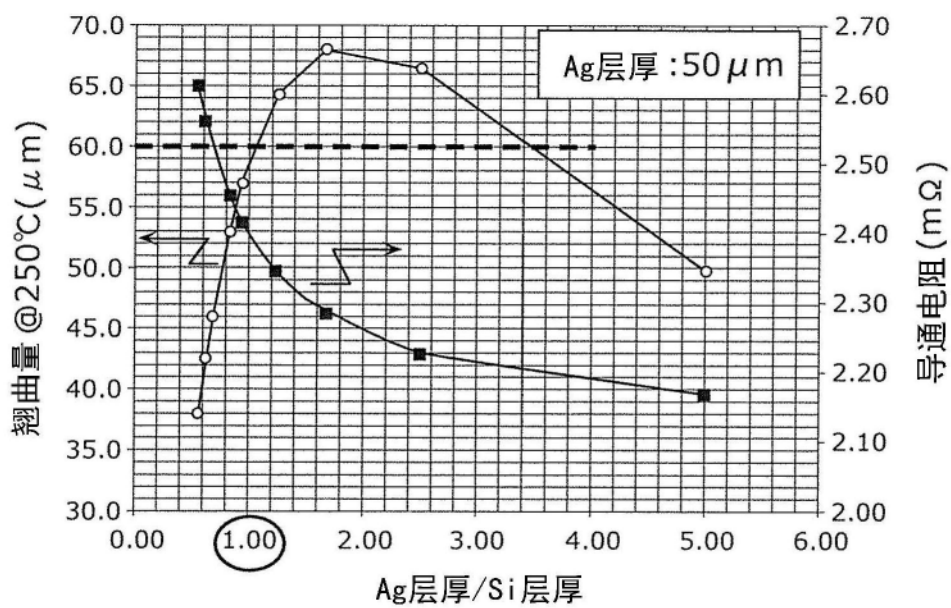


图4A

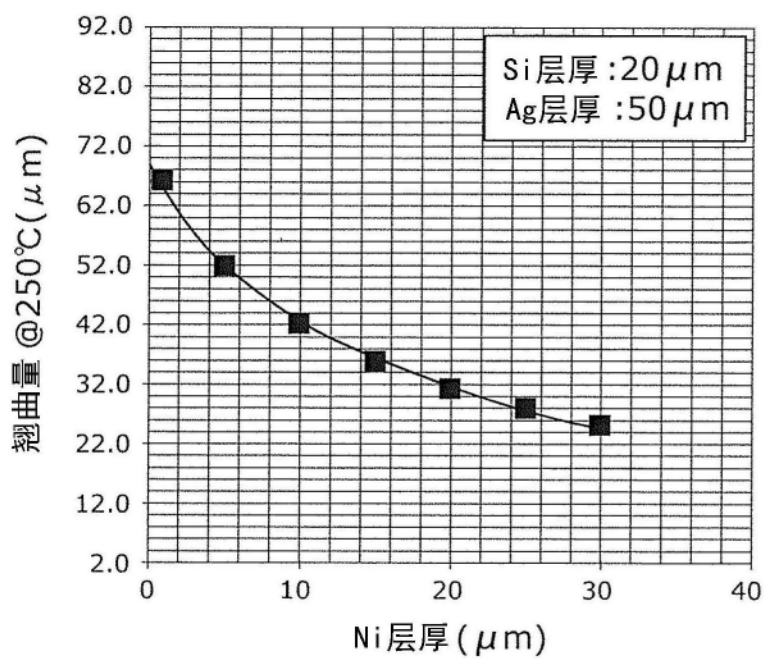


图4B

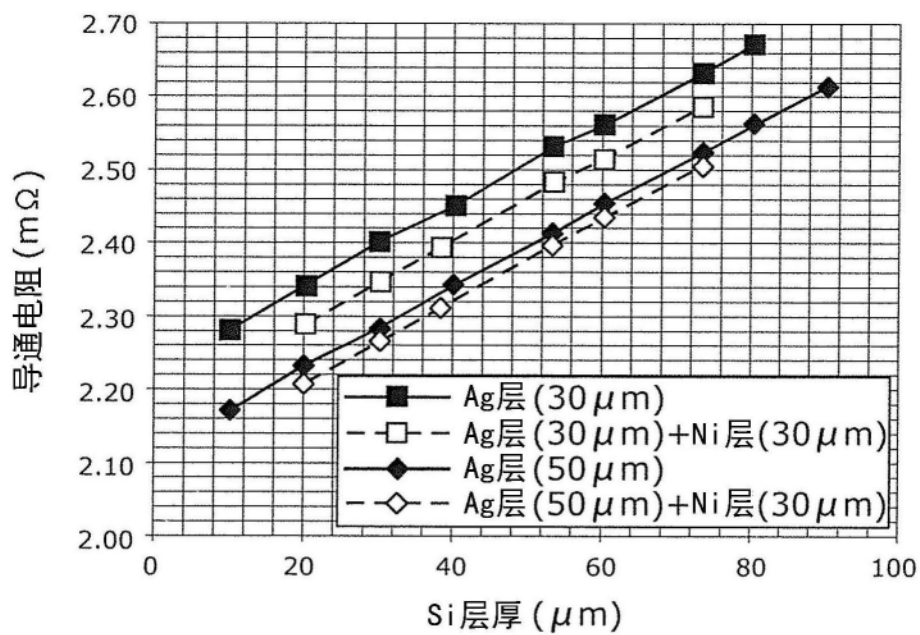


图5A

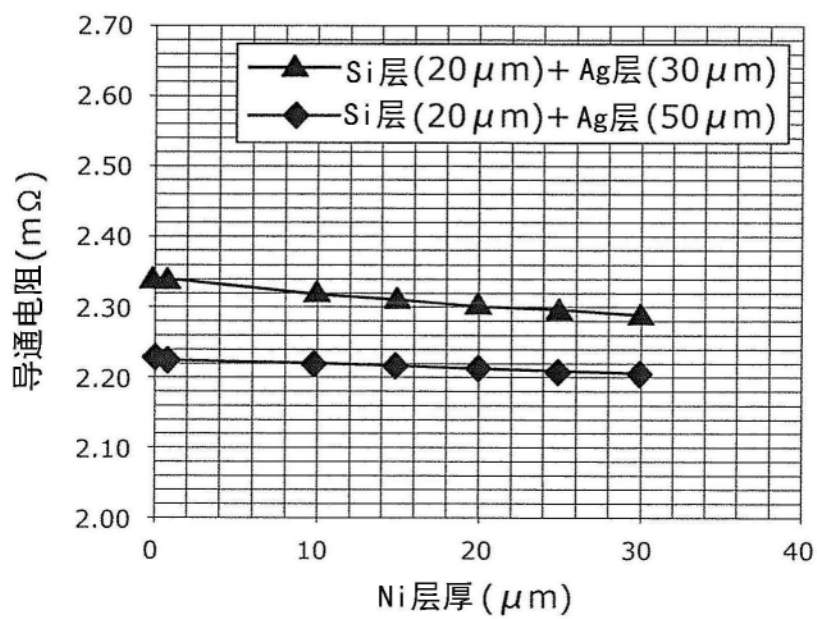


图5B

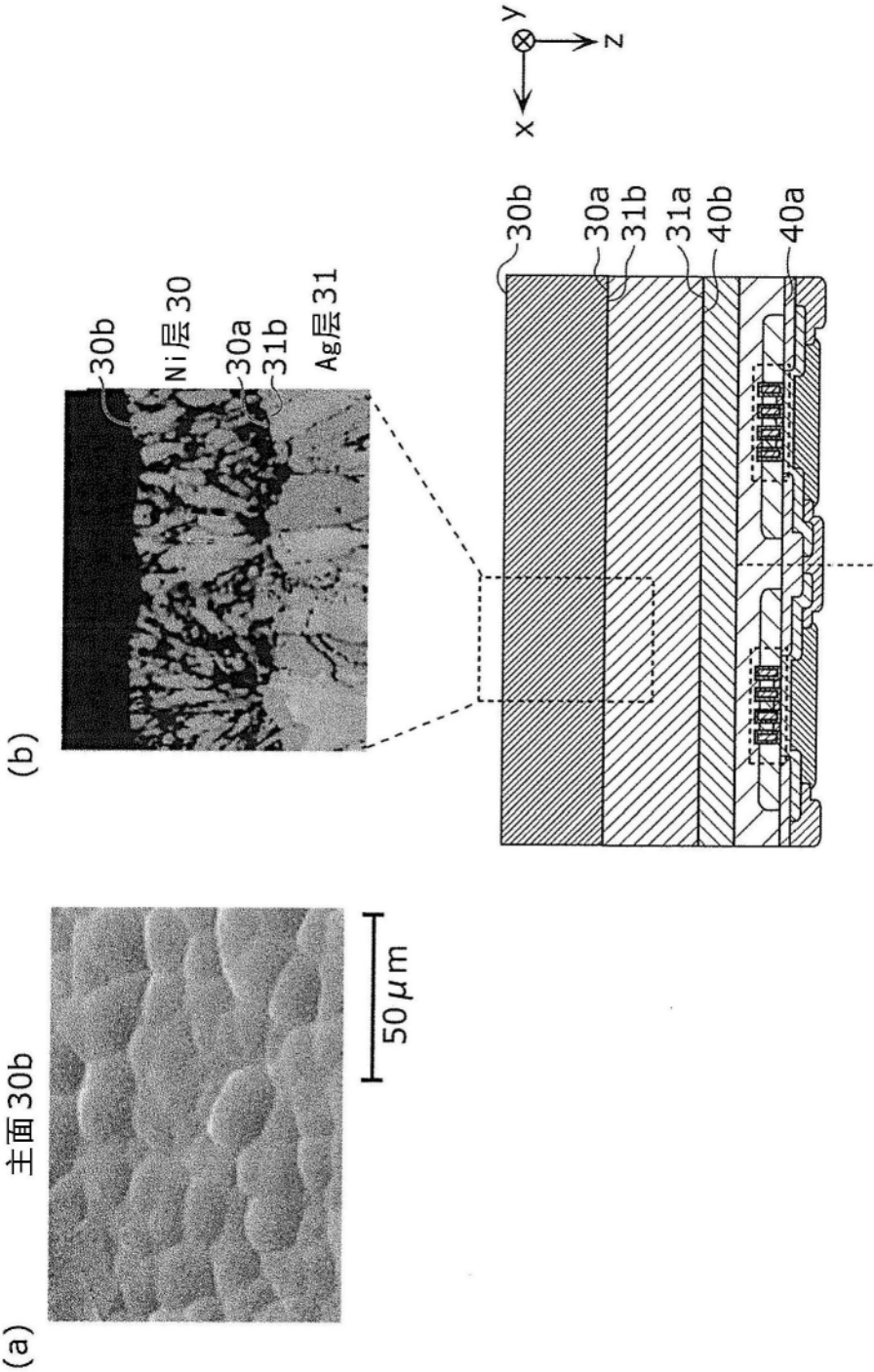


图6

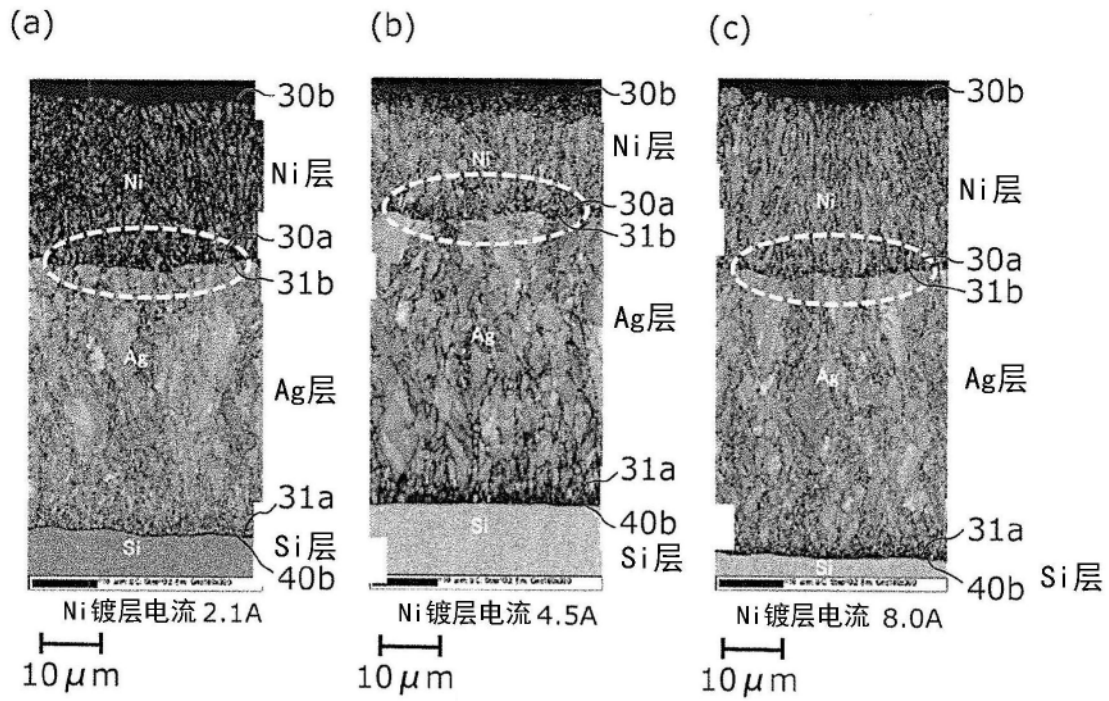


图7

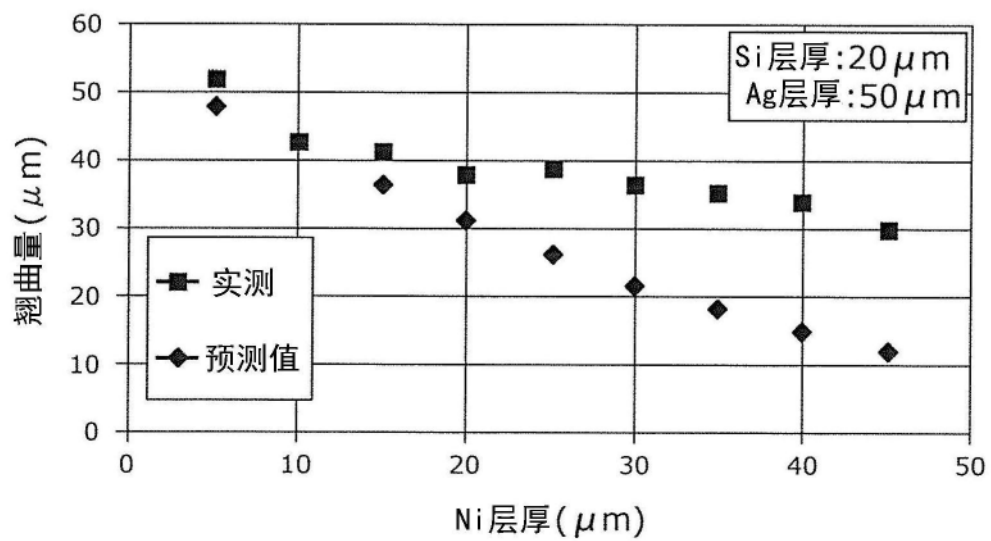


图8

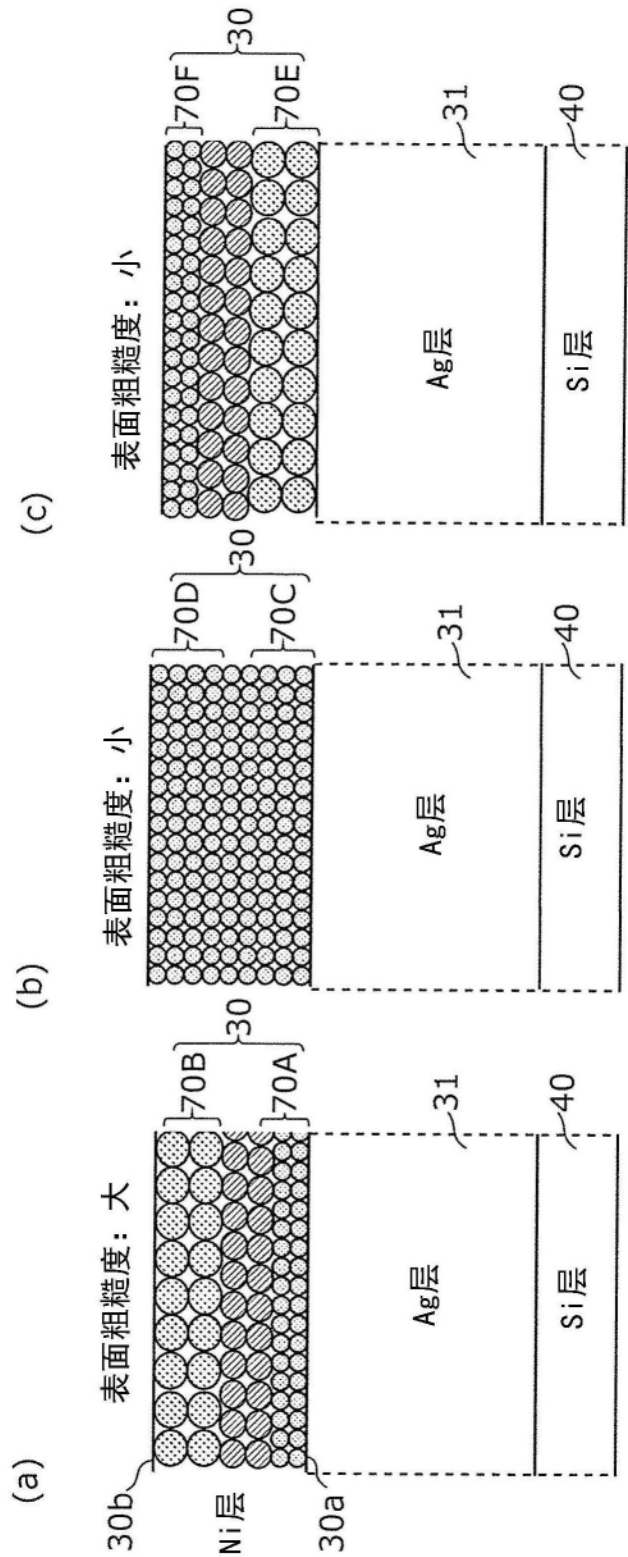


图9

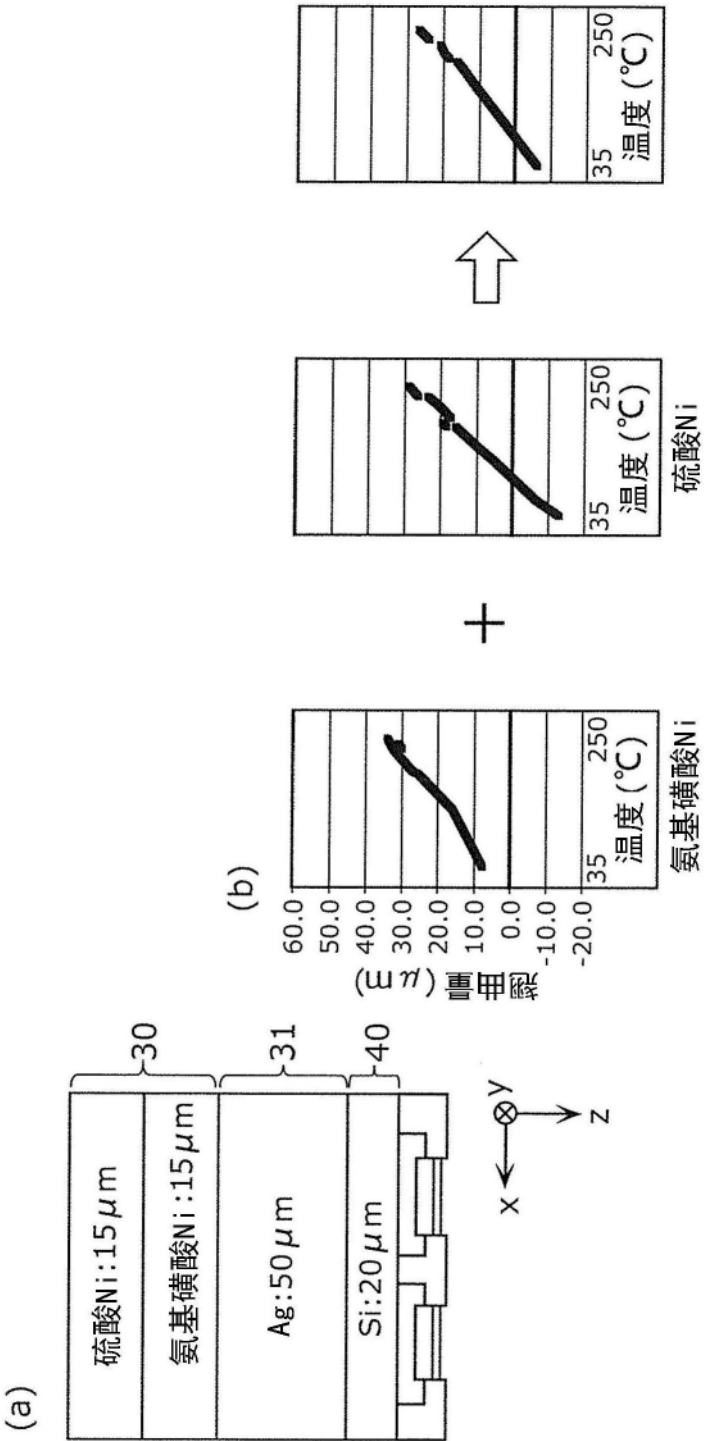


图10

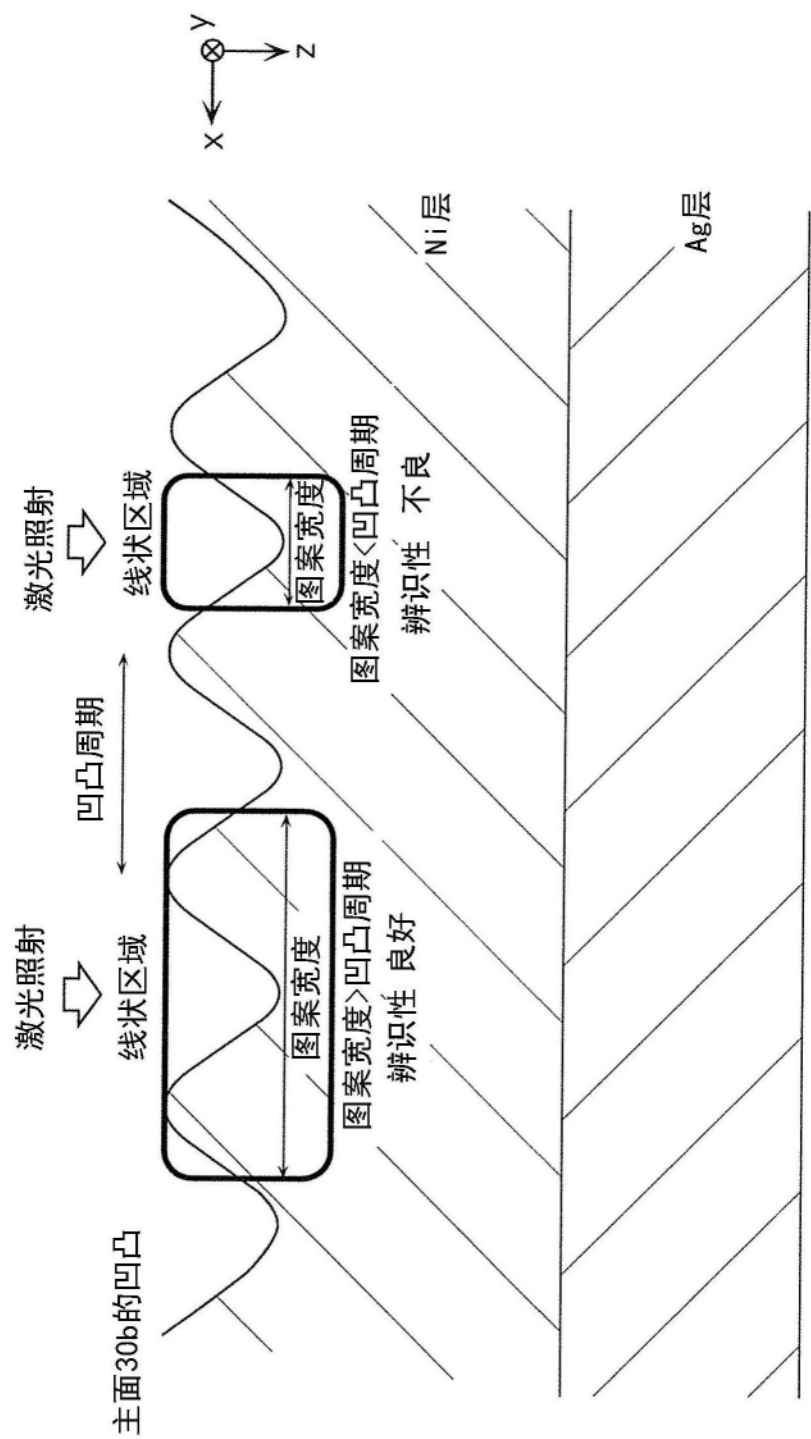


图11

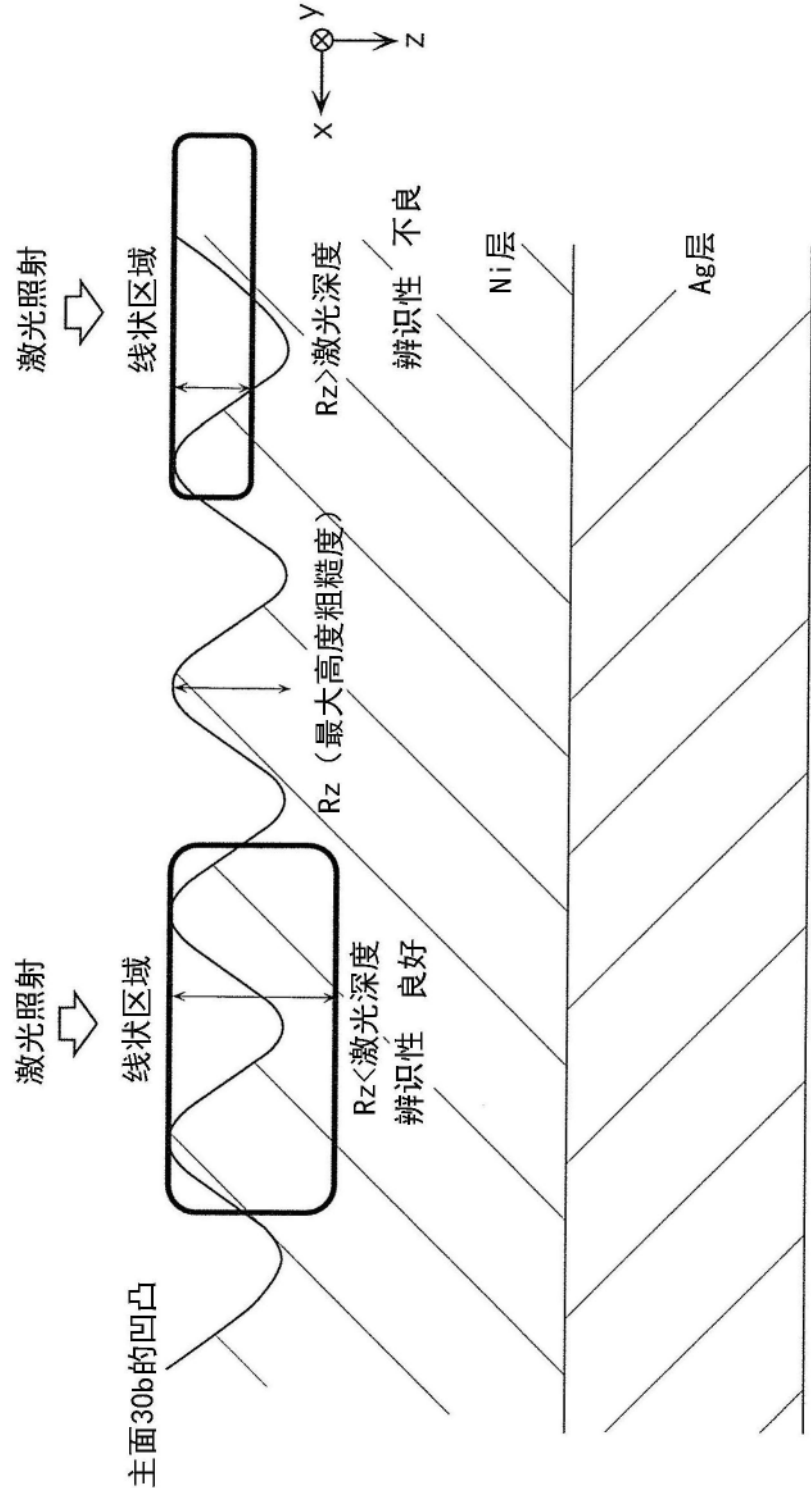


图12

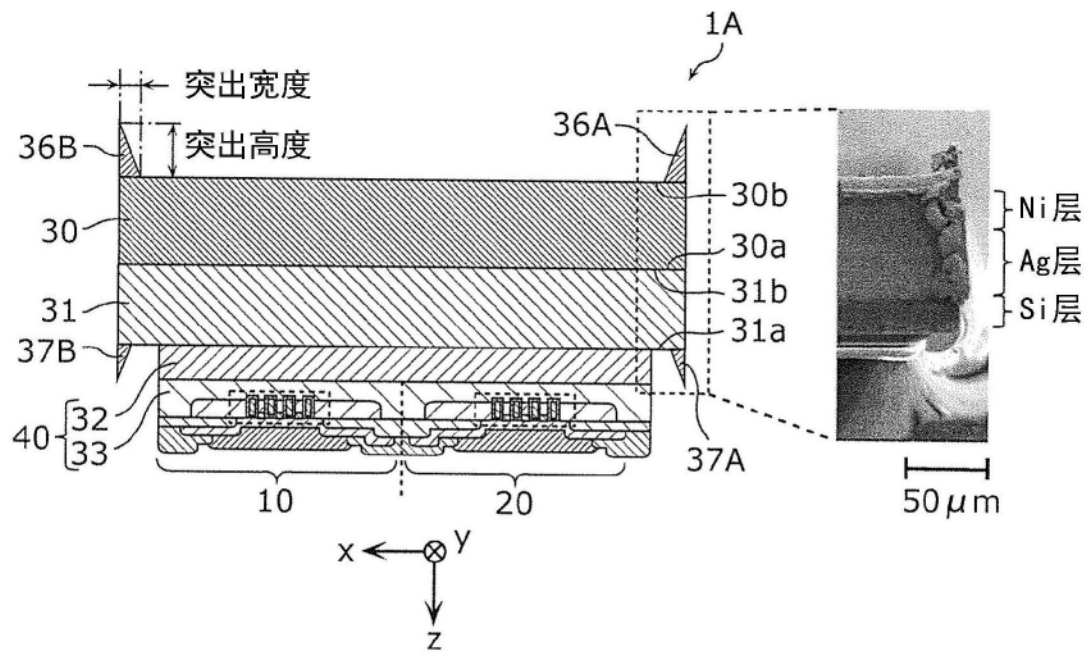


图13A

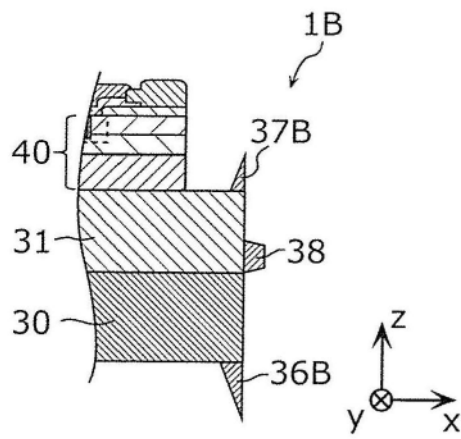


图13B

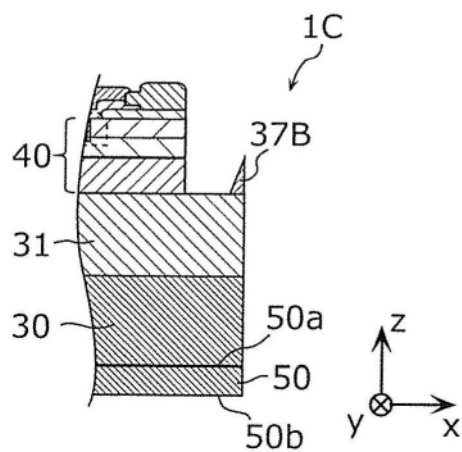


图13C

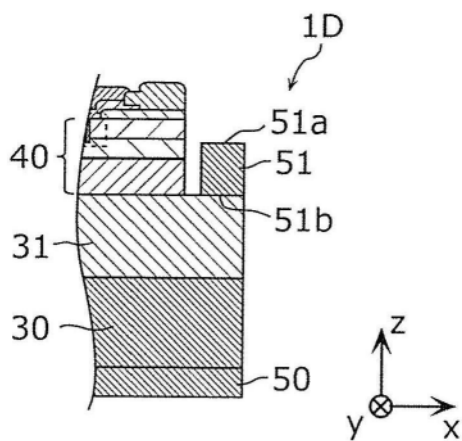


图13D

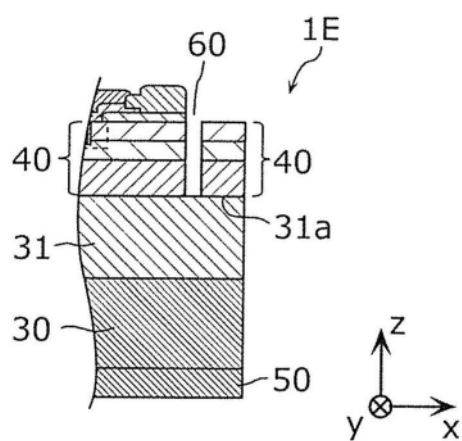


图13E

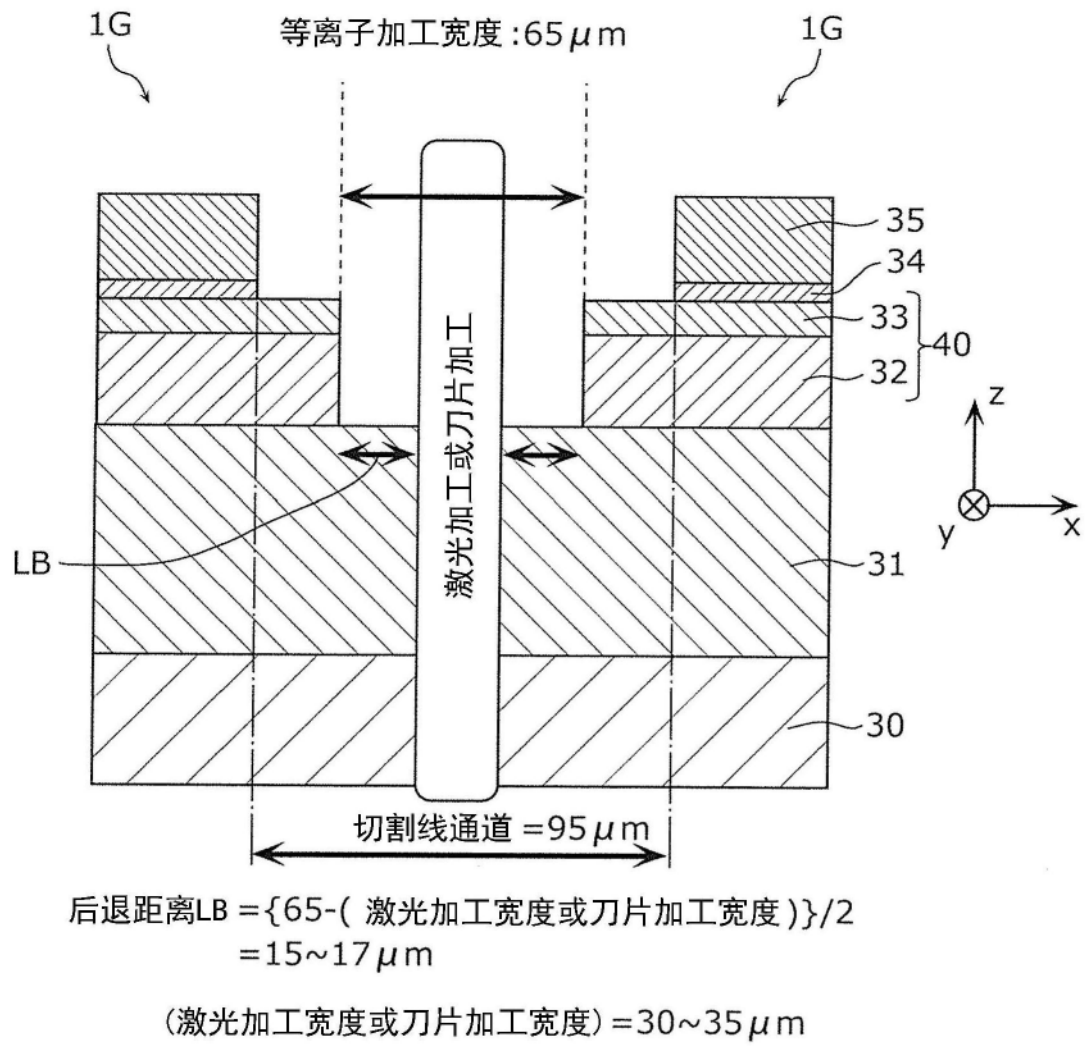


图15

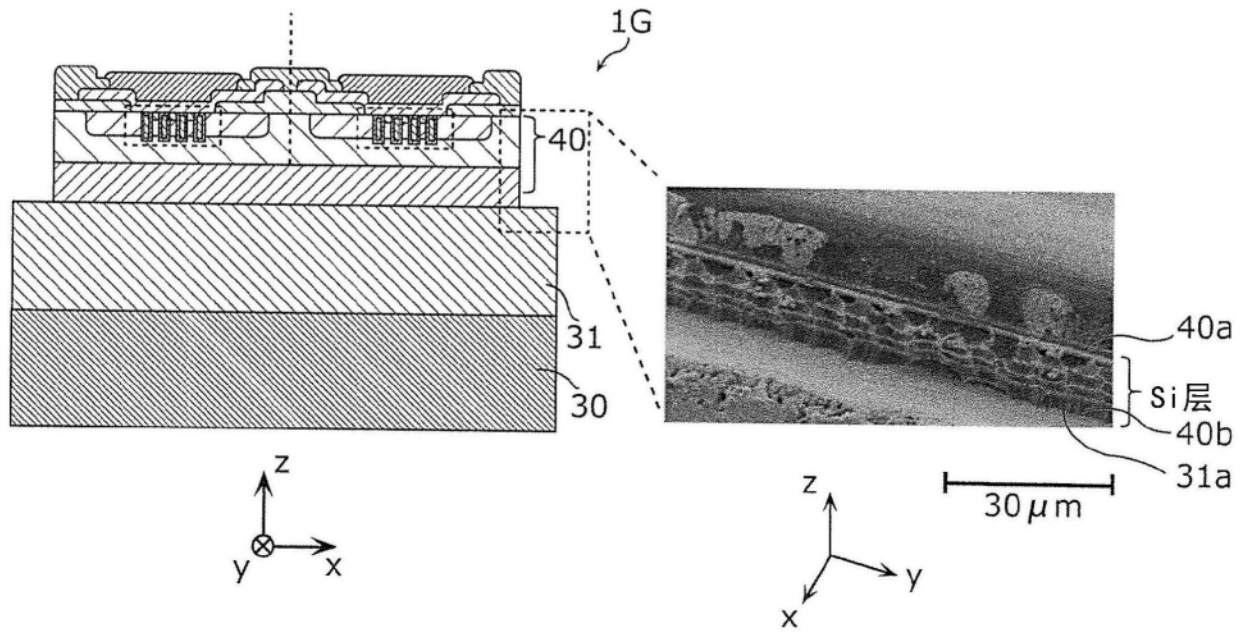


图16

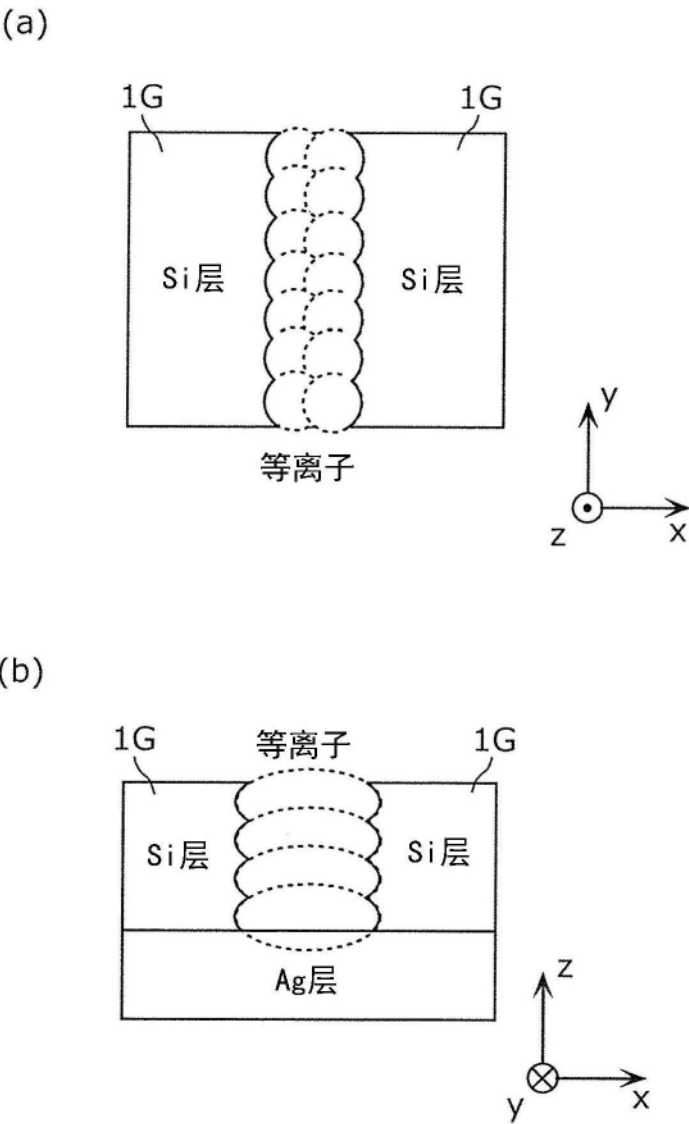


图17

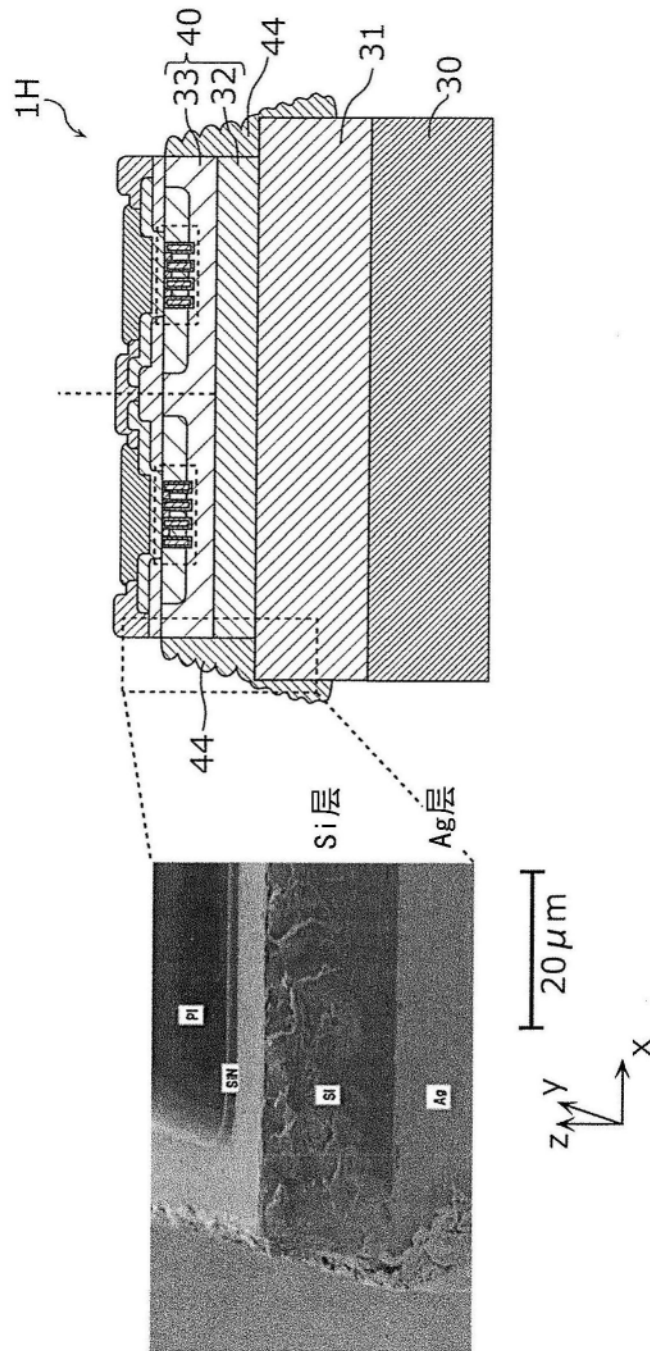


图18

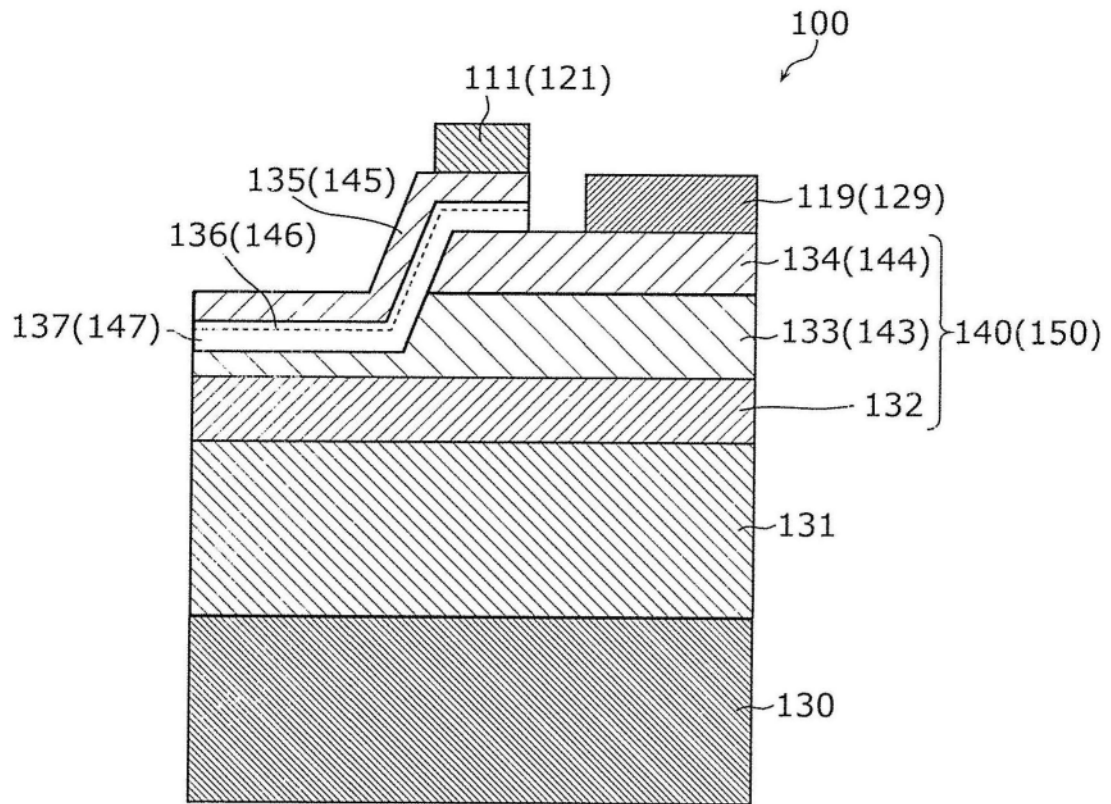


图20

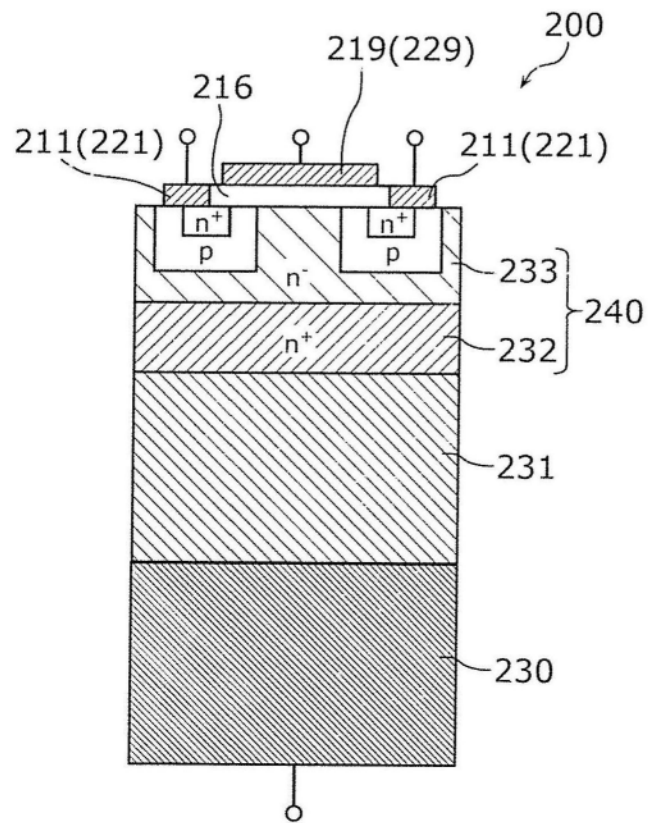


图21