

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-68553

(P2010-68553A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

P

テーマコード(参考)

5H730

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願2008-229945 (P2008-229945)
 (22) 出願日 平成20年9月8日(2008.9.8)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100068526
 弁理士 田村 恭生
 (74) 代理人 100098280
 弁理士 石野 正弘
 (72) 発明者 野田 一平
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 Fターム(参考) 5H730 AA04 AS01 AS05 BB13 BB57
 DD04 EE13 EE59 FD01 FF01
 FG05

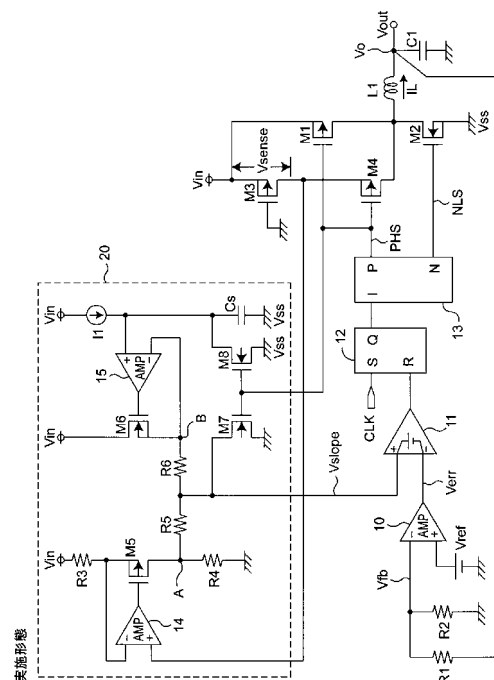
(54) 【発明の名称】 電流モード制御型DC-DCコンバータ

(57) 【要約】

【課題】 リセットパルスが出力された後スロープ電圧を素早く接地電位まで低下させ、出力電圧の変動を防止する。

【解決手段】 電流モード制御型DC-DCコンバータは、クロック信号が入力される度にオンされるスイッチングトランジスタM4と、スイッチングトランジスタのオンにより電流が供給されるインダクタL1と、基準電圧と出力電圧を分圧した分圧電圧との差を増幅した誤差電圧を出力する誤差増幅回路10と、インダクタ電流にスロープ補償を行なったスロープ電圧を発生するスロープ電圧発生回路20と、スロープ電圧と誤差電圧を比較し、スロープ電圧が誤差電圧に達したときリセットパルス生成するPWMコンパレータ11とを備え、リセットパルスによってスイッチングトランジスタをオフする。ここで、リセットパルスが生成されてから次のクロック信号が入力されるまでの期間、スロープ電圧を接地電位に保持する手段を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

所定の周期で出力されるクロック信号と、
前記クロック信号が入力される度にオンされるスイッチングトランジスタと、
前記スイッチングトランジスタのオンにより電流が供給されるインダクタと、
所定の基準電圧と、D C - D C コンバータの出力電圧を分圧した分圧電圧との差を増幅した誤差電圧を出力する誤差増幅回路と、

前記インダクタ電流にスロープ補償を行なったスロープ電圧を発生するスロープ電圧発生回路と、

前記スロープ電圧と前記誤差電圧を比較し、前記スロープ電圧が前記誤差電圧に達したときリセットパルスを生成するP W Mコンパレータとを備え、

前記リセットパルスによって前記スイッチングトランジスタをオフする電流モード制御型D C - D Cコンバータにおいて、

前記リセットパルスが生成されてから次の前記クロック信号が入力されるまでの期間、前記スロープ電圧を接地電位に保持する手段を備えたことを特徴とする電流モード制御型D C - D Cコンバータ。

【請求項 2】

前記P W Mコンパレータは入力オフセット電圧を備え、前記スロープ電圧に前記入力オフセット電圧を加えた電圧が前記誤差電圧以上になったとき、前記リセットパルスを生成するようにしたことを特徴とする請求項 1 記載の電流モード制御型D C - D Cコンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子機器の電源に用いる電流モード制御型D C - D Cコンバータに関する。

【背景技術】

【0002】

携帯機器の電源回路としては、小型化が可能でしかも高効率が得られるインダクタを用いた非絶縁方式のD C - D Cコンバータがよく用いられている。D C - D Cコンバータを帰還方式で分けると電圧モード制御と電流モード制御方式がある。電流モード制御方式のD C - D Cコンバータは、ラインレギュレーションに優れ、位相補償が簡単であり、電流制限が容易に実現でき、並列に構成して大容量化するのに適するなど、多くの利点があり、近年多く用いられるようになってきた。

【0003】

特許文献 1 は、本出願人が特許を受ける権利を有する発明が開示された特許出願公報であって、図 3 は特許文献 1 の図 1 に開示されている従来技術に係る電流モード制御型D C - D Cコンバータの構成を示す回路図である。図 4 のタイミングチャートを参照しながら、本発明に係る当該従来技術の部分の動作を簡単に説明する。

【0004】

R Sフリップフロップ回路 1 2 のセット入力 S にはクロック信号が入力され、クロック信号の周期毎にR Sフリップフロップ回路 1 2 はセットされる。R Sフリップフロップ回路 1 2 がセットされると、出力端子 Q がハイレベルとなり、この信号はドライバ回路 1 3 の入力端子 I に印加される。すると、ドライバ回路 1 3 は出力端子 P から出力される制御信号 P H S と出力端子 N から出力される制御信号 N L S を共にローレベルにして、スイッチングトランジスタ M 1 をオン、同期整流トランジスタ M 2 をオフにする。このとき、スイッチングトランジスタ M 1 に並列に接続され、かつ直列接続されているP M O S トランジスタ M 3 と M 4 もオンになる。

【0005】

次いで、スイッチングトランジスタ M 1 がオンになると、電源入力端子 V i n からインダクタ L 1 に電流 I L が供給される。このとき、スイッチングトランジスタ M 1 のソース

ードレイン間にはインダクタ電流 I_L に比例した電圧降下が発生する。この電圧降下は、PMOSトランジスタM3とM4で分圧され、PMOSトランジスタM3のソースードレイン間電圧として取り出される。この電圧が電圧 V_{sense} である。

【0006】

電圧 V_{sense} は演算増幅回路18の非反転入力に印加されている。演算増幅回路18の反転入力は、PMOSトランジスタM5のソースに接続され、出力はPMOSトランジスタM5のゲートに接続されている。PMOSトランジスタM5のソースと電源入力端子 V_{in} 間には抵抗 R_6 が接続され、ドレインと接地端子 V_{ss} 間には抵抗 R_8 が接続されている。そのため、PMOSトランジスタM5のドレイン電圧Aは、電圧 V_{sense} に比例し、しかも接地基準に変換した電圧となる。インダクタ電流 I_L は時間の経過と共に増加するので、図4に示すように電圧Aは時間と共に上昇する。なお、電圧Aが0Vより高い電圧からスタートしているのは、スイッチングトランジスタM1がオフの間、同期整流トランジスタM2を介してインダクタ電流 I_L が流れており、次にスイッチングトランジスタM1がオンするまでインダクタ電流が0Aにならない連続モードのためである。

【0007】

次に、補正スロープ補償電圧生成回路17の動作を無視して、固定スロープ補償電圧生成回路16の動作を説明する。制御信号PHSがハイレベルのときは、NMOSトランジスタM10はオンしており、コンデンサC2の電荷は放電されている。またPMOSトランジスタM9はオフしており、電流源I1からコンデンサC2への電流供給は停止している。前記したように、クロック信号がRSフリップフロップ回路12に入って、制御信号PHSがローレベルになると、NMOSトランジスタM10がオフ、PMOSトランジスタM9がオンとなる。すると、コンデンサC2は電流源I1によって充電され、PMOSトランジスタM9のドレインとコンデンサC2の接続ノードの電圧Bは図4に示すように直線的に上昇する。

【0008】

電圧Aと電圧Bは抵抗 R_7 と R_9 を介して加算され、図4に示す電圧Cが得られる。この電圧Cは演算増幅回路19と、PMOSトランジスタM7、M6で構成されたカレントミラー回路を介してPWMコンパレータ11の反転入力に印加されている。一方、DC-DCコンバータの出力電圧 V_{out} は抵抗 R_1 と R_2 で分圧され、誤差増幅回路10の反転入力に印加されている。誤差増幅回路10の非反転入力には基準電圧 V_{ref} が印加されており、誤差増幅回路10は、分圧された出力電圧と基準電圧 V_{ref} の差を増幅した誤差電圧 V_{err} をPWMコンパレータ11の反転入力に印加している。

【0009】

図4の電圧Cと誤差電圧 V_{err} で示すように、電圧Cが時間経過と共に上昇し、誤差電圧 V_{err} に達すると、PWMコンパレータ11の出力はハイレベルとなり、RSフリップフロップ回路12をリセットする。すると出力端子Qはローレベルとなり、これを受けたドライバ回路13は制御信号PHSとNLSを共にハイレベルとする。すると、スイッチングトランジスタM1はオフ、同期整流トランジスタM2はオンとなる。また、NMOSトランジスタM10はオンとなるので、コンデンサC2に蓄えられた電荷を放電するので、電圧Bは接地電位まで低下する。なお、PMOSトランジスタM9はオフするので、電流源I1からの電流は遮断される。さらに、PMOSトランジスタM3とM4がオフするので、電圧 V_{sense} はほぼ入力電圧 V_{in} になり、電圧Aも接地電圧まで低下するので、電圧Cも接地電圧まで低下する。次に、クロック信号がハイレベルになり、制御信号PHSがローレベルになると上記動作を繰り返す。

【0010】

【特許文献1】特開2007-209103号公報。

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、従来のスロープ電圧生成回路では、スイッチングトランジスタM1がオ

10

20

30

40

50

フした後、直ちに接地電位まで低下せず、図4の電圧Cの波形で、鎖線で示すようゆっくりと低下する。これは、回路のC点からPWMコンパレータ11の非反転入力までに生じる浮遊容量にたまった電荷を放電するのに時間が掛かるためである。この時間が長くなり、次のクロック信号が入力されるまでに接地電位まで低下しないと、次のサイクルでこの電圧が加算され、正確なスイッチング時間が得られなくなり、出力電圧の変動を招くという不具合が発生する。

【0012】

本発明は上述した実情を考慮してなされたものであって、リセットパルスが出力された後、スロープ電圧を素早く接地電位まで低下させ、出力電圧の変動を防止するようにしたDC-DCコンバータを提供することを目的とする。

【課題を解決するための手段】

【0013】

上記の課題を解決するために、本発明に係る電流モード制御型DC-DCコンバータによれば、所定の周期で出力されるクロック信号と、前記クロック信号が入力される度にオンされるスイッチングトランジスタと、前記スイッチングトランジスタのオンにより電流が供給されるインダクタと、所定の基準電圧と、DC-DCコンバータの出力電圧を分圧した分圧電圧との差を増幅した誤差電圧を出力する誤差増幅回路と、前記インダクタ電流にスロープ補償を行なったスロープ電圧を発生するスロープ電圧発生回路と、前記スロープ電圧と前記誤差電圧を比較し、前記スロープ電圧が前記誤差電圧に達したときリセットパルスを生成するPWMコンパレータを備え、前記リセットパルスによって前記スイッチングトランジスタをオフする電流モード制御型DC-DCコンバータにおいて、前記リセットパルスが生成されてから次の前記クロック信号が入力されるまでの期間、前記スロープ電圧を接地電位に保持する手段を備えたので、スイッチングトランジスタがオフした直後にスロープ電圧を接地電位まで低下することができるようになった。

【0014】

上記電流モード制御型DC-DCコンバータにおいて、前記PWMコンパレータは入力オフセット電圧を備え、前記スロープ電圧に前記入力オフセット電圧を加えた電圧が前記誤差電圧以上になったとき、前記リセットパルスを生成するようにしたので、出力電圧が目標電圧以上になった場合でも、安定した動作を行なうことができるようになった。

【発明の効果】

【0015】

本発明によれば、スイッチングトランジスタM1をオフした場合は、スロープ電圧V_{slope}を強制的に接地電圧まで低下させるようにしたので、次にスイッチングトランジスタM1がオンするときに、前回のスロープ電圧が残っていて出力電圧V_oを変動させることがなくなった。また、PWMコンパレータ11に入力オフセット電圧を設けたため、急激な負荷変動などでオーバーシュートが発生し、出力電圧V_oが目標電圧以上になった場合でも、安定した動作を行なうことができるようになった。

【発明を実施するための最良の形態】

【0016】

以下、本発明に係る実施形態について図面を参照して説明する。

【0017】

図1は、本発明の一実施形態に係る電流モード制御型DC-DCコンバータの構成を示す回路図である。本実施形態に係る電流モード制御型DC-DCコンバータは、スロープ電圧発生回路20と、基準電圧V_{ref}と、誤差増幅回路10と、PWMコンパレータ11と、RSフリップフロップ回路12と、ドライバ回路13と、スイッチングトランジスタM1と、同期整流トランジスタM2と、PMOSTランジスタM3とM4と、インダクタL1と、コンデンサC1と、抵抗R1とR2とを備えて構成され、電源入力端子V_{in}、接地端子V_{ss}、出力端子V_{out}を備えている。さらに、電源入力端子V_{in}と接地端子V_{ss}間には、図示しない入力電圧V_iが接続され、出力端子V_{out}からは出力電圧V_oが出力されている。スロープ電圧発生回路20は、演算増幅回路14と15と、電

10

20

30

40

50

流源 I_1 と、PMOS トランジスタ M_5 と、NMOS トランジスタ M_6 から M_8 と、コンデンサ C_s と、抵抗 R_3 から R_6 とを備えて構成される。

【0018】

出力電圧 V_o は抵抗 R_1 と R_2 で分圧され、分圧された分圧電圧 V_{fb} は誤差増幅回路 10 の反転入力に印加されている。誤差増幅回路 10 の非反転入力には基準電圧 V_{ref} が接続され、出力からは分圧電圧 V_{fb} と基準電圧 V_{ref} の差を増幅した誤差電圧 V_{err} が出力され、この誤差電圧 V_{err} は PWM コンパレータ 11 の反転入力に入力されている。PWM コンパレータ 11 の出力は RS フリップフロップ回路 12 のリセット端子 R に接続されている。RS フリップフロップ回路 12 のセット端子 S には図示しない発振回路から出力されるクロック信号 CLK が入力されている。RS フリップフロップ回路 12 の出力端子 Q はドライバ回路 13 の入力端子 I に接続されている。ドライバ回路 13 の出力端子 P はスイッチングトランジスタ M_1 と PMOS トランジスタ M_4 、および NMOS トランジスタ M_7 と M_8 のゲートに接続されている。また、出力端子 N は同期整流トランジスタ M_2 のゲートに接続されている。

10

【0019】

スイッチングトランジスタ M_1 は PMOS トランジスタで構成され、ソースは電源入力端子 V_{in} に、ドレインはインダクタ L_1 の一端と同期整流トランジスタ M_2 のドレインに接続されている。同期整流トランジスタ M_2 は NMOS トランジスタで構成され、ソースは接地端子 V_{ss} に接続されている。インダクタ L_1 の他端は出力端子 V_{out} に接続されている。コンデンサ C_1 は出力端子 V_{out} と接地端子 V_{ss} 間に接続されている。PMOS トランジスタ M_3 のソースは電源入力端子 V_{in} に接続され、ゲートは接地端子 V_{ss} に接続され、ドレインは PMOS トランジスタ M_4 のソースに接続されている。PMOS トランジスタ M_4 のドレインはスイッチングトランジスタ M_1 のドレインに接続されている。

20

【0020】

演算増幅回路 14 の非反転入力には PMOS トランジスタ M_3 のドレインに接続され、反転入力には PMOS トランジスタ M_5 のソースに接続されている。また、出力は PMOS トランジスタ M_5 のゲートに接続されている。PMOS トランジスタ M_5 のソースと電源入力端子 V_{in} の間には抵抗 R_3 が接続され、ドレインと接地端子 V_{ss} 間には抵抗 R_4 が接続されている。さらにドレインは抵抗 R_5 の一端に接続されている。

30

【0021】

演算増幅回路 15 の非反転入力と電源入力端子 V_{in} 間には電流源 I_1 が接続されている。また、非反転入力には、コンデンサ C_s の一端と、NMOS トランジスタ M_8 のドレインに接続されている。コンデンサ C_s の他端と、NMOS トランジスタ M_8 のソースは接地端子 V_{ss} に接続されている。演算増幅回路 15 の反転入力には NMOS トランジスタ M_6 のソースと抵抗 R_6 の一端に接続され、出力は NMOS トランジスタ M_6 のゲートに接続されている。NMOS トランジスタ M_6 のドレインは電源入力端子 V_{in} に接続されている。抵抗 R_6 の他端は抵抗 R_5 の他端に接続され、抵抗 R_5 と R_6 の接続ノードは PWM コンパレータ 11 の非反転入力に接続されている。さらに、抵抗 R_5 と R_6 の接続ノードと接地端子 V_{ss} 間には NMOS トランジスタ M_7 が接続されている。

40

【0022】

次に、図 1 の DC-DC コンバータの回路動作について以下に説明する。図 2 は図 1 の回路動作を説明するためのタイミングチャートで、本発明に関わる部分の信号を示している。 CLK は RS フリップフロップ回路 12 のセット端子 S に入力されるクロック信号である。 PHS はドライバ回路 13 の出力端子 P から出力される制御信号である。リセットパルス (PWM_{out}) は PWM コンパレータ 11 の出力信号である。 IL はインダクタ L_1 に流れる電流である。電圧 A は PMOS トランジスタ M_5 のドレイン電圧である。電圧 B は NMOS トランジスタ M_6 のソース電圧である。 V_{slope} は抵抗 R_5 と R_6 の接続ノードの電圧で、PWM コンパレータ 11 の非反転入力に印加される電圧である。

【0023】

50

クロック信号CLKがハイレベルになると、RSフリップフロップ回路12がセットされ、出力端子Qがハイレベルを出力する。この信号がドライバ回路13の入力端子Iに入力される。するとドライバ回路13は出力端子Pから出力される制御信号PHSと、出力端子Nから出力される制御信号NLSを共にローレベルにする。

【0024】

制御信号PHSがローレベルになると、スイッチングトランジスタM1がオンとなり、電源入力端子VinからインダクタL1に電流ILを供給する。スイッチングトランジスタM1がオンした直後のインダクタ電流ILは、スイッチングトランジスタM1がオンする直前のインダクタ電流ILに等しいので、連続動作モードにおいては、図4のILに示すように正の電流値になっている。

10

【0025】

電流モード制御では、インダクタ電流ILによる帰還ループを設けるため、インダクタ電流ILを電圧に変換して、PWMコンパレータ11に入力し、出力電圧Voと比較を行なう。そのため、インダクタ電流ILに比例した電圧を作成している。スロープ電圧発生回路20はそのための回路である。インダクタ電流ILは時間の経過に従って増加する。スイッチングトランジスタM1のオン抵抗はほぼ一定であるから、スイッチングトランジスタM1のソースドレイン間電圧はインダクタ電流ILに比例した電圧となる。

【0026】

PMOSトランジスタM3のゲートは接地されているので、PMOSトランジスタM3は常にオンしている。PMOSトランジスタM4はスイッチングトランジスタM1と同期してオン／オフ制御されている。また、PMOSトランジスタM3とM4は直列接続されており、さらに、スイッチングトランジスタM1に並列に接続されているので、PMOSトランジスタM3のソースドレイン間電圧VsenseはスイッチングトランジスタM1の両端の電圧を、PMOSトランジスタM3とM4のオン抵抗で分圧した電圧となる。すなわち、電圧Vsenseはインダクタ電流ILに比例した電圧となる。

20

【0027】

電圧Vsenseは演算増幅回路14の非反転入力に印加されている。演算増幅回路14はPMOSトランジスタM5のソースが電圧Vsenseと同電位になるようにPMOSトランジスタM5のゲート電圧を制御する。その結果、PMOSトランジスタM5のドレイン電流をId5とすると、ドレイン電流Id5は電圧Vsenseに比例した電流で $Id5 = Vsense / R3$ となる。

30

【0028】

抵抗 $R4 \ll R5$ とすると、このドレイン電流Id5はほとんど抵抗R4に流れるので、PMOSトランジスタM5のドレイン電圧Aは、 $A = R4 \times (Vsense / R3)$ となる。抵抗 $R4 = R3$ とすると、電圧 $A = Vsense$ となり、電圧Aは電圧Vsenseと等しく、しかも接地電位基準となる。

【0029】

次に、スロープ補償回路を説明する。電流モード制御の場合、スイッチングトランジスタM1のオン時比率が50%を超えると、動作が不安定になるサブハーモニック発振が発生する。そのため、インダクタ電流ILに比例したスロープ電圧に、さらに別のスロープ電圧を加算するスロープ補償を行なう必要がある。

40

【0030】

制御信号PHSがローレベルになると、NMOSトランジスタM8がオフとなる。すると、コンデンサCsは電流源I1によって定電流充電が行われるので、コンデンサCsの端子電圧は直線的に上昇する。演算増幅回路15はNMOSトランジスタM6のソース電圧BがコンデンサCsの端子電圧と同じになるようにNMOSトランジスタM6のゲート電圧を制御するので、電圧Bは図4に示すように、接地電位から時間の経過にしたがって上昇する電圧となる。電圧Vslopeは電圧Aと電圧Bの中間の電圧となり、次式で表される。

【0031】

50

〔数 1〕

$$V_{slope} = V_B + (R_6 \times (V_A - V_B)) / (R_5 + R_6) \quad \cdots (式 1)$$

【0032】

ここで、抵抗 R_5 と抵抗 R_6 の抵抗値を同じにすると、次式で表される。

【0033】

〔数 2〕

$$V_{slope} = V_B + (V_A - V_B) / 2 = (V_A + V_B) / 2 \quad \cdots (式 2)$$

【0034】

すなわち、電圧 A に電圧 B を加算した電圧が得られる。この電圧 V_{slope} は PWM コンパレータの非反転入力に印加されている。 10

【0035】

一方、DC-DC コンバータの出力電圧 V_o は抵抗 R_1 と R_2 で分圧され、分圧された分圧電圧 V_{fb} は誤差増幅回路 10 の反転入力に印加されている。誤差増幅回路 10 の非反転入力には基準電圧 V_{ref} が印加されているので、誤差増幅回路 10 は、基準電圧 V_{ref} と分圧電圧 V_{fb} の差を増幅した誤差電圧 V_{err} を出力する。この誤差電圧 V_{err} は PWM コンパレータ 11 の反転入力に印加されている。PWM コンパレータ 11 はスロープ電圧 V_{slope} が上昇し、誤差電圧 V_{err} に達するとハイレベルを出力する。この信号は RS フリップフロップ回路 12 のリセット端子 R に入力されているので、RS フリップフロップ回路 12 はリセットされ、出力端子 Q はローレベルとなる。すると、ドライバ回路 13 の出力端子 P と N は共にハイレベルとなる。すなわち、制御信号 PHS と NLS がハイレベルとなる。 20

【0036】

なお、PWM コンパレータの入力にはオフセット電圧が設けてある。これは、何らかの原因で出力電圧 V_o が目標電圧以上になると、誤差増幅回路 10 の出力である誤差電圧 V_{err} は接地電位まで低下してしまう。このような状態のとき、クロック信号 CLK がハイレベルとなり、スイッチングトランジスタ M_1 がオンして、スロープ電圧 V_{slope} が出力されると、スロープ電圧 V_{slope} も接地電位からスタートするので、PWM コンパレータ 11 の出力信号は不安定となり、不用意に RS フリップフロップ回路 12 にリセット信号を出力してしまう。 30

【0037】

そこで、PWM コンパレータ 11 の入力にオフセット電圧を設け、誤差電圧 V_{err} とスロープ電圧 V_{slope} が共に接地電位の場合は、PWM コンパレータ 11 の出力はハイレベルとなり、クロック信号 CLK が RS フリップフロップ回路 12 入力されても、出力端子 Q からハイレベルが出力されないようにしている。ここで、誤差電圧 V_{err} がオフセット電圧以上の場合は、PWM コンパレータ 11 の出力はローレベルとなり、クロック信号 CLK により RS フリップフロップ回路 12 がセットできるようにしている。これにより、誤差増幅回路 10 の出力が接地電位まで低下した場合でも安定した動作を行なうことができるようになる。 40

【0038】

制御信号 PHS と NLS がハイレベルになると、スイッチングトランジスタ M_1 はオフ、同期整流トランジスタ M_2 はオンとなる。すると、インダクタ電流 I_L は接地端子 V_s から同期整流トランジスタ M_2 を介して供給され、時間の経過に従い減少する。また、制御信号 PHS がハイレベルになると、PMOS トランジスタ M_4 もオフとなるので、PMOS トランジスタ M_3 のドレイン電流は流れなくなり、PMOS トランジスタ M_3 における電圧降下である電圧 V_{sense} は 0 V となる。その結果、PMOS トランジスタ M_5 のソース電位も入力電圧 V_i となり、PMOS トランジスタ M_5 のドレイン電流 I_{d5} は 0 A となる。すると電圧 A は接地電位まで低下する。 50

【0039】

さらに、制御信号 PHS がハイレベルになると、NMOS トランジスタ M_7 と M_8 がオ

ンとなる。NMOSトランジスタM7がオンすると、PWMコンパレータ11の非反転入力を接地電位にショートするので、電圧V_{slope}を急速に接地電位まで低下させる。その結果、従来技術で問題となっていた、電圧V_{slope}の立下り遅れによる問題が解決される。

【0040】

NMOSトランジスタM8がオンすると、コンデンサC_sの電荷を放電するので電圧Bも急速に接地電位まで低下する。なお、実施例では、NMOSトランジスタM8がオン中はM8に電流源I1の電流が流れてしまうが、図3の従来技術にあるPMOSトランジスタM9に相当するトランジスタを設けて、NMOSトランジスタM8がオンしている間は電流源I1からの電流を遮断してもよい。クロック信号CLKが次にハイレベルになると、上記動作を繰り返す。

10

【0041】

以上説明したように、本実施形態によれば、スイッチングトランジスタM1をオフした場合は、NMOSトランジスタM7をオンにして、スロープ電圧V_{slope}を強制的に接地電圧まで低下させるようにしたので、次にスイッチングトランジスタM1がオンするときに、前回のスロープ電圧が放電しきらずに残っていて出力電圧V_oを変動させることがなくなった。また、PWMコンパレータ11に入力オフセット電圧を設けたため、急激な負荷変動などでオーバーシュートが発生し、出力電圧V_oが目標電圧以上になった場合でも、安定した動作を行なうことができるようになった。

20

【産業上の利用可能性】

【0042】

以上詳述したように、本発明によれば、スイッチングトランジスタM1をオフした場合は、スロープ電圧V_{slope}を強制的に接地電圧まで低下させるようにしたので、次にスイッチングトランジスタM1がオンするときに、前回のスロープ電圧が残っていて出力電圧V_oを変動させることがなくなった。また、PWMコンパレータ11に入力オフセット電圧を設けたため、急激な負荷変動などでオーバーシュートが発生し、出力電圧V_oが目標電圧以上になった場合でも、安定した動作を行なうことができるようになった。

【図面の簡単な説明】

【0043】

【図1】本発明の一実施形態に係る電流モード制御型DC-DCコンバータの構成を示す回路図である。

30

【図2】図1の電流モード制御型DC-DCコンバータの回路動作を説明するためのタイミングチャートである。

【図3】従来技術の電流モード制御型DC-DCコンバータの回路図である。

【図4】図3の電流モード制御型DC-DCコンバータの回路動作を説明するためのタイミングチャートである。

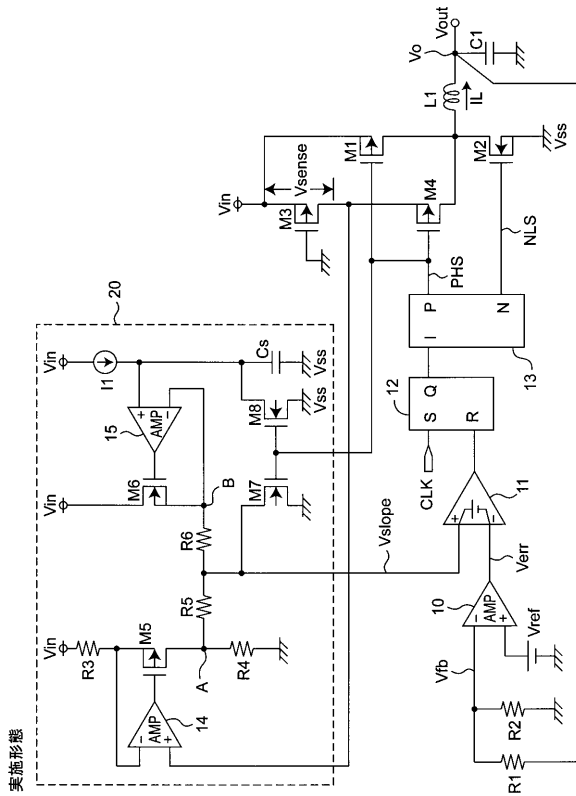
【符号の説明】

【0044】

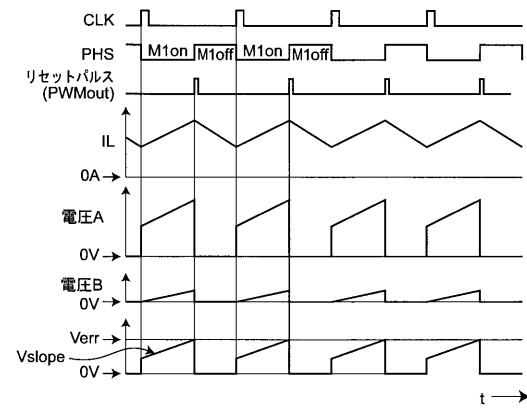
10…誤差増幅回路、
 11…PWMコンパレータ、
 12…RSフリップフロップ回路、
 13…ドライバ回路、
 20…スロープ電圧発生回路、
 V_{ref}…基準電圧、
 M1…スイッチングトランジスタ、
 M2…同期整流トランジスタ、
 M3, M4…PMOSトランジスタ、
 L1…インダクタ。

40

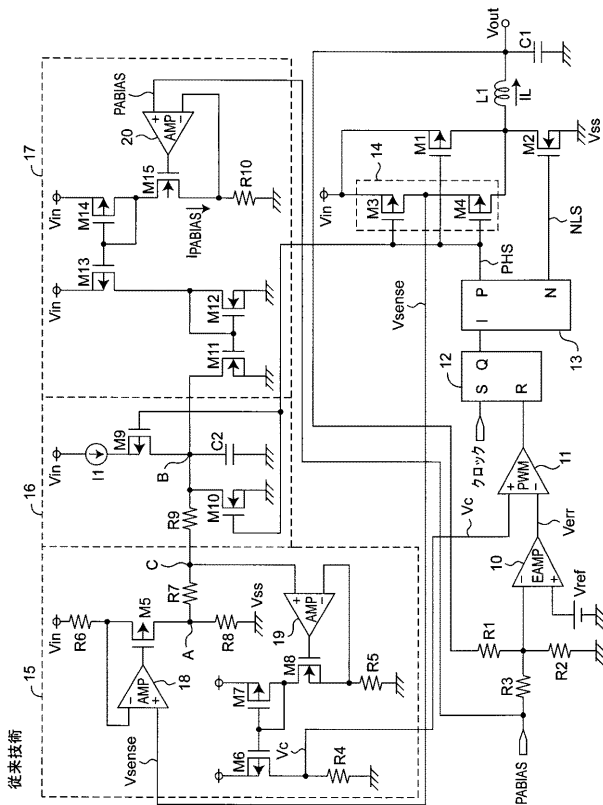
【図 1】



【図 2】



【図 3】



【図 4】

