



(12) 发明专利

(10) 授权公告号 CN 103176414 B

(45) 授权公告日 2016. 06. 15

(21) 申请号 201110432558. 3

CN 101453208 A, 2009. 06. 10,

(22) 申请日 2011. 12. 21

CN 1947338 A, 2007. 04. 11,

(73) 专利权人 国民技术股份有限公司

审查员 魏小丽

地址 518057 广东省深圳市南山区高新技术产业园区深圳软件园 3 栋 301、302

(72) 发明人 石道林

(74) 专利代理机构 北京轻创知识产权代理有限公司 11212

代理人 杨立

(51) Int. Cl.

G05B 19/04(2006. 01)

(56) 对比文件

US 2004140842 A1, 2004. 07. 22,

US 2006279346 A1, 2006. 12. 14,

CN 1550067 A, 2004. 11. 24,

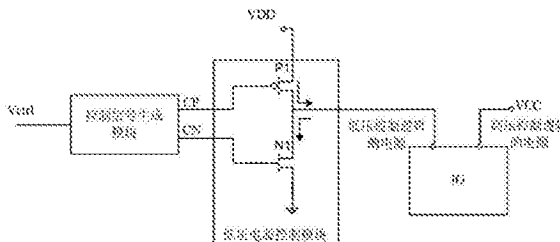
权利要求书1页 说明书3页 附图3页

(54) 发明名称

一种漏电控制电路及其方法

(57) 摘要

本发明提供了一种漏电控制电路及方法, 该电路包括: 控制信号生成模块, 用于把原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号; 和低压电源控制模块, 包括功率管和泄放管, 泄放管用于放电, 并受所述第二控制信号控制, 功率管在所述第一控制信号的控制下控制低压控制逻辑的电源。所述方法包括: 控制信号经控制信号生成模块后转化成跳变沿相互错开的第一控制信号和第二控制信号; 第一控制信号控制低压电源控制模块中的功率管, 第二控制信号控制低压电源控制模块中的泄放管。本发明采用一种简单的控制逻辑来控制低压控制逻辑的电源的上电时间和上电速度, 简化了控制电路, 减小了内部电源建立过程中引起的 I/O 漏电。



1. 一种漏电控制电路,包括:

控制信号生成模块,用于把原始控制信号转化成第一控制信号和第二控制信号,其中第一控制信号和第二控制信号的跳变沿相互错开,且第一控制信号的跳变沿在第二控制信号的跳变沿之后;

低压电源控制模块,包括功率管和泄放管,所述泄放管用于放电,并受所述第二控制信号控制,所述功率管在所述第一控制信号的控制下控制低压控制逻辑的电源。

2. 根据权利要求1所述的一种漏电控制电路,其特征在于:控制信号生成模块采用异步逻辑电路把原始控制信号转化成第一控制信号和第二控制信号。

3. 根据权利要求2所述的一种漏电控制电路,其特征在于:控制信号生成模块包括第一延迟模块、第二延迟模块以及或门,其中所述原始控制信号通过第一延迟模块产生第二控制信号;第二控制信号通过第二延迟模块产生的信号与原始控制信号进行或操作输出第一控制信号。

4. 根据权利要求2所述的一种漏电控制电路,其特征在于:控制信号生成模块包括一延迟模块、或门和与门,其中所述原始控制信号通过延迟模块产生第一延迟信号,所述第一延迟信号与所述原始控制信号进行或操作输出所述第一控制信号,所述第一延迟信号与所述原始控制信号进行与操作输出第二控制信号。

5. 根据权利要求1-4任一所述的漏电控制电路,其特征在于:在所述低压电源控制模块中,功率管的源端接芯片内部电源,栅端接所述第一控制信号,功率管的漏端接所述泄放管的漏端和低压控制逻辑的电源,泄放管的源端和栅端分别接地和第二控制信号。

6. 一种漏电控制方法,包括:

原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号,且第一控制信号的跳变沿在第二控制信号的跳变沿之后;

所述第一控制信号通过功率管控制低压控制逻辑的电源;

所述第二控制信号控制用于放电的泄放管。

7. 根据权利要求6所述的一种漏电控制方法,其特征在于,所述原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号包括:

所述原始控制信号经过延迟产生第二控制信号;

所述第二控制信号经过延迟,再与原始控制信号进行或操作产生第一控制信号。

8. 根据权利要求6所述的一种漏电控制方法,其特征在于,所述原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号包括:

所述原始控制信号经过延迟产生第一延迟信号;

所述第一延迟信号与所述原始控制信号进行或操作产生所述第一控制信号;

所述第一延迟信号与所述原始控制信号进行与操作产生第二控制信号。

## 一种漏电控制电路及其方法

### 技术领域

[0001] 本发明涉及芯片领域,更具体的说,涉及芯片的电源控制领域,尤其是一种漏电控制电路及其方法。

### 背景技术

[0002] 目前,接触卡、智能卡应用非常广泛,读卡器的种类繁多,但是读卡器的差别比较大,不同读卡器的上电速度不同。芯片的输入输出电路(I/O)一般分前驱逻辑部分和后驱逻辑部分,它们电压分别采用内部电源和外部电源。在芯片上电时,芯片内部电源建立需要一定的时间。通常外部电源电压先上,而内部电源后上,在内部电源建立的过程中,I/O前驱逻辑部分可能存在不定态,可能导致I/O上出现比较大的漏电。这种上电时的漏电现象比较常见。如果I/O漏电过大,可能会触发读卡器的短路保护,同时由于接触卡不能集成限流电阻,所以比较难控制I/O上电的电流。

[0003] 现有的I/O的电路结构如图1所示。上电期间,由于I/O的低压控制逻辑的电源还处于建立过程中,会导致低压逻辑工作异常,进一步导致高压控制逻辑工作异常,从而同时开启HNMI和HPMI这2个大的驱动管,引起大的漏电。

[0004] 现有技术中,暂时还没有能控制这种上电时引起的漏电问题。

### 发明内容

[0005] 为了克服上述问题,本发明采用一种简单的控制逻辑来控制I/O的低压控制逻辑的电源的上电时间和上电速度,保证在芯片上电完成和数字复位完成后,才开启I/O的电源。

[0006] 本发明提出了一种漏电控制电路,包括:控制信号生成模块,用于把原始控制信号转化成第一控制信号和第二控制信号,其中第一控制信号和第二控制信号的跳变沿相互错开;低压电源控制模块,包括功率管和泄放管,泄放管用于放电,并受所述第二控制信号控制,所述功率管在所述第一控制信号的控制下控制低压控制逻辑的电源。

[0007] 进一步,控制信号生成模块采用异步逻辑电路把原始控制信号转化成第一控制信号和第二控制信号。具体的,控制信号生成模块可以包括第一延迟模块、第二延迟模块以及或门,其中所述原始控制信号通过第一延迟模块产生第二控制信号;第二控制信号通过第二延迟模块产生的信号与原始控制信号进行或操作输出第一控制信号。控制信号生成模块还可以包括一延迟模块、或门和与门,其中所述原始控制信号通过延迟模块产生第一延迟信号,所述第一延迟信号与所述原始控制信号进行或操作输出所述第一控制信号,所述第一延迟信号与所述原始控制信号进行与操作输出第二控制信号。

[0008] 进一步,在所述低压电源控制模块中,功率管的源端接芯片内部电源,栅端接所述第一控制信号,功率管的漏端接所述泄放管的漏端和低压控制逻辑的电源,泄放管的源端和栅端分别接地和第二控制信号。

[0009] 本发明还提出了一种漏电控制方法,包括:原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号;所述第一控制信号通过功率管控制低压控制逻辑的电

源;所述第二控制信号控制用于放电的泄放管。进一步地,所述原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号包括:所述原始控制信号经过延迟产生第二控制信号;所述第二控制信号经过延迟,再与原始控制信号进行或操作产生第一控制信号。

[0010] 进一步地,所述原始控制信号转化成跳变沿相互错开的第一控制信号和第二控制信号包括:所述原始控制信号经过延迟产生第一延迟信号;所述第一延迟信号与所述原始控制信号进行或操作产生所述第一控制信号;所述第一延迟信号与所述原始控制信号进行与操作产生第二控制信号。

[0011] 通过本发明提出的方案,简化了控制电路,减小了内部电源建立过程中引起的IO漏电。

### 附图说明

[0012] 图1为现有的IO电路结构。

[0013] 图2为本发明的漏电控制电路的功能示意图。

[0014] 图3为本发明的漏电控制电路的内部结构。

[0015] 图4为本发明的一种控制信号生成模块的电路结构。

[0016] 图5为图4所示电路的时序图。

[0017] 图6为本发明的另一种控制信号生成模块的电路结构。

[0018] 图7为图6所示电路的时序图。

### 具体实施方式

[0019] 以下结合附图对本发明的原理和特征进行描述,所举实例只用于解释本发明,并非用于限定本发明的范围。

[0020] 本发明提出了一种漏电控制电路及方法,通过一个简单的电路控制低压控制逻辑的电源,从而减小了上电期间IO上的漏电。

[0021] 图2示出了该漏电控制电路的功能示意图,控制信号生成模块把输入的原始控制信号 $V_{ctrl}$ 转化为CP和CN信号,分别控制两个开关K0和K1,从而控制了低压控制逻辑的电源。图中,VDD表示芯片内部电源,VCC表示外部电源。

[0022] 图3示出了该漏电控制电路的内部结构,该电路包括控制信号生成模块和低压电源控制模块。

[0023] 控制信号生成模块把输入的原始控制信号 $V_{ctrl}$ 转化为CP和CN信号,分别控制低压电源控制模块中的功率管P1和泄放管N1。

[0024] 低压电源控制模块包括功率管P1和泄放管N1。P1管的源端接VDD,栅端接CP信号,P1管的漏端接N1管的漏端和低压控制逻辑的电源。P1管在控制信号生成模块生成的CP信号控制下控制低压控制逻辑的电源。在上电器件、电源没有建立好,数字没有开始复位前,该信号一直为高,即 $CP=VDD$ 。

[0025] N1管的源端接地,栅端接CN信号,漏端接P1管的漏端和低压控制逻辑的电源。N1管用于放电,主要是保证在上电期间(即 $V_{ctrl}=0$ 时候)开启,保证低压控制逻辑的电源为0,防止上电时IO上的漏电。

[0026] 控制信号生成模块可以采用异步逻辑电路把输入的原始控制信号 $V_{ctrl}$ 转化为CP

和CN信号。图4示出了一种具体的控制信号生成模块的电路结构,其中原始控制信号Vctrl通过延迟模块Td1产生CN信号;CN信号再通过延迟模块Td2产生Vctrl1信号,Vctrl1信号再与Vctrl信号进行一个或操作输出CP信号。设置该控制信号生成模块的目的,就是把控制P1管的CP信号和控制N1管的CN信号的跳变沿错开,避免两管同时开启引起的漏电。

[0027] 图5示出了如图4所示电路的具体时序图。

[0028] 图6示出了另一种具体的控制信号生成模块的电路结构,其中原始控制信号Vctrl通过延迟模块Td1产生Vctrl2信号,Vctrl2信号与Vctrl信号进行一个或操作输出CP信号,Vctrl2信号与Vctrl信号进行一个与操作输出CN信号。

[0029] 图7示出了如图6所示电路的具体时序图。如图7可以看出,控制P1管的CP信号和控制N1管的CN信号的跳变沿错开了,这样避免了两管同时开启引起的漏电。

[0030] 本发明还提出了一种漏电控制方法,原始控制信号Vctrl转化成跳变沿相互错开的第一控制信号CP和第二控制信号CN;信号CP通过功率管P1控制芯片低压控制逻辑的电源,信号CN控制用于放电的泄放管N1。

[0031] 优选地,原始控制信号Vctrl产生CP信号和CN信号可以通过如下方法实现:原始控制信号Vctrl经过延迟产生CN信号;CN信号经过延迟,再与原始控制信号Vctrl进行或操作产生CP信号。

[0032] 或者,原始控制信号Vctrl经过延迟产生Vctrl1信号,Vctrl1信号与Vctrl信号进行或操作产生CP信号,Vctrl1信号与原始控制信号Vctrl进行与操作产生CN信号。根据上述方法,芯片上电期间,外部电源已经建立好,而芯片内部信号还再建立中,Vctrl=0,关闭P1管,开启N1管,即低压控制逻辑的电源为0。

[0033] 当内部电源VDD建立稳定后,数字系统可以开始工作,复位完成前,Vctrl=0,此时数字的部分控制逻辑还处于一种不定态,需要复位才能保证输出正常。所以此时低压控制逻辑的电源为0。

[0034] 当数字复位完毕,Vctrl=1,关闭N1管,再延迟一段时间,开启P1管,把VDD的电源连入低压控制逻辑的电源端。IO可以开始正常工作,至此IO的内部电源完成释放。

[0035] 用这种方法,可以减小上电期间和数字复位期间,IO上的不定态输出引起的漏电。

[0036] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

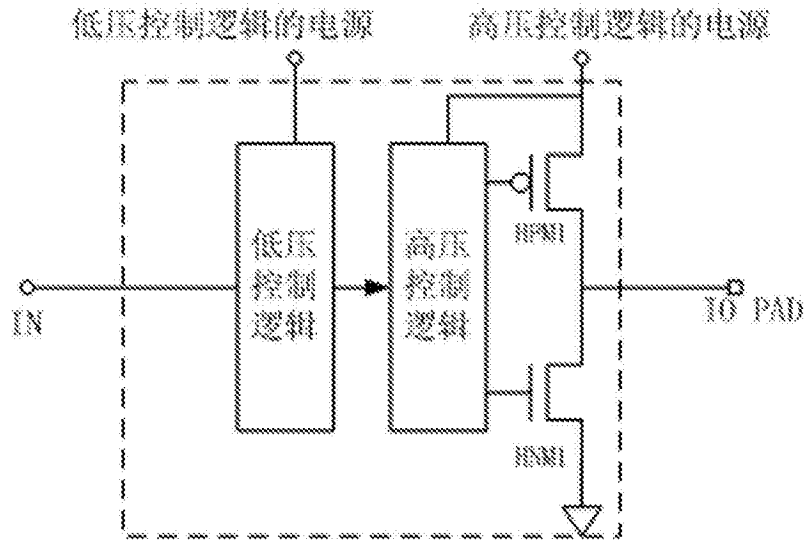


图1

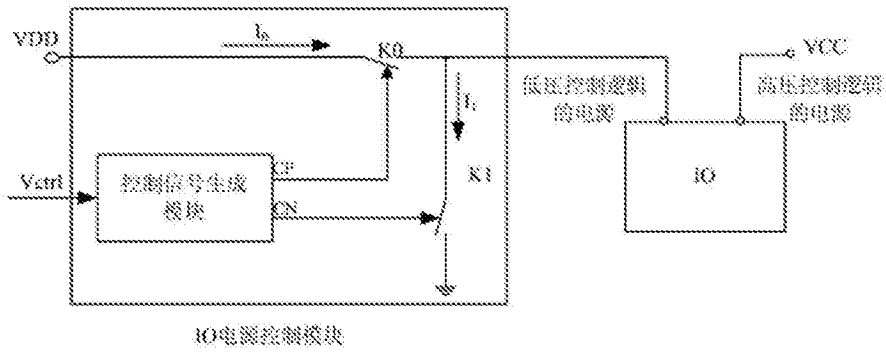


图2

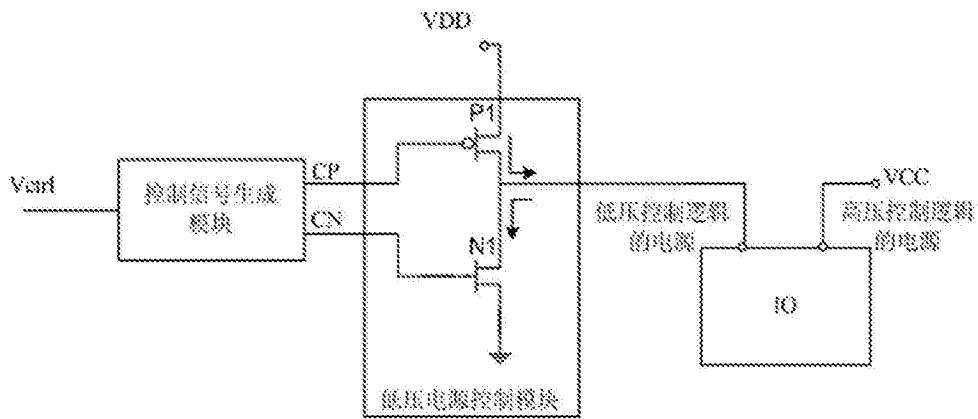


图3

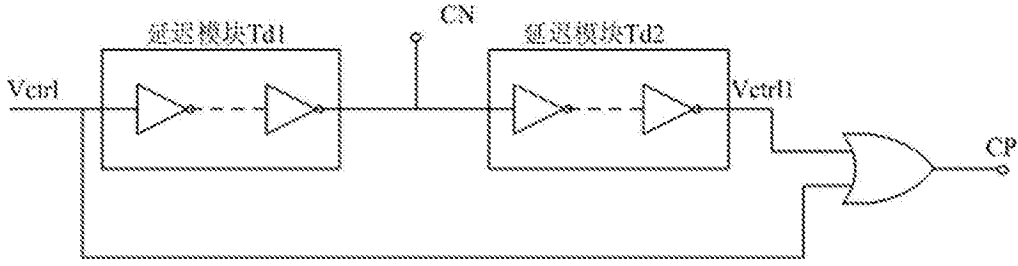


图4

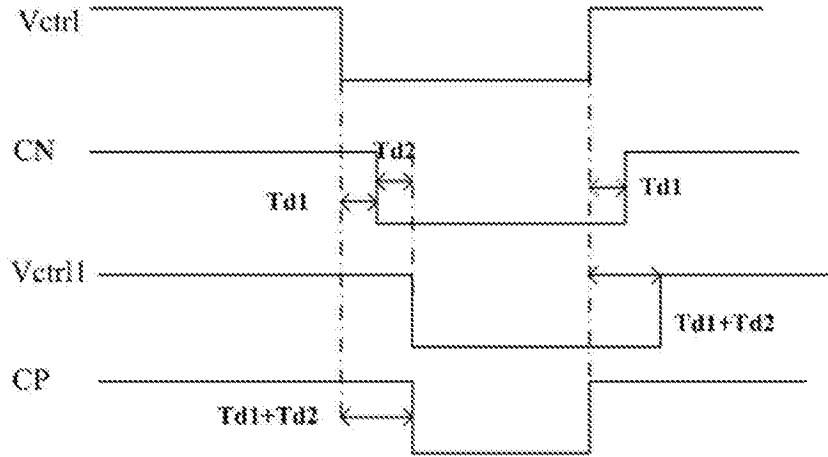


图5

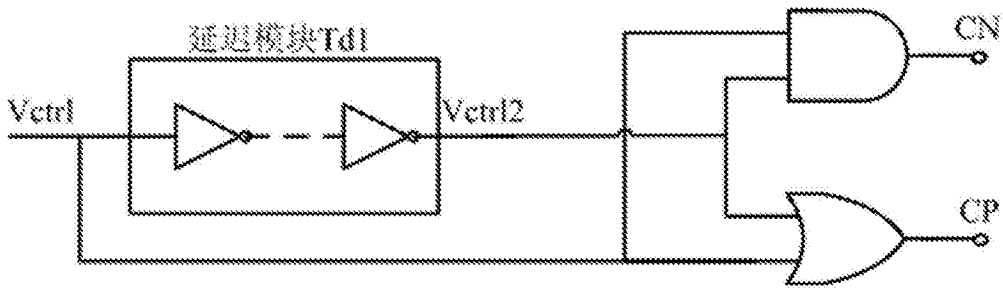


图6

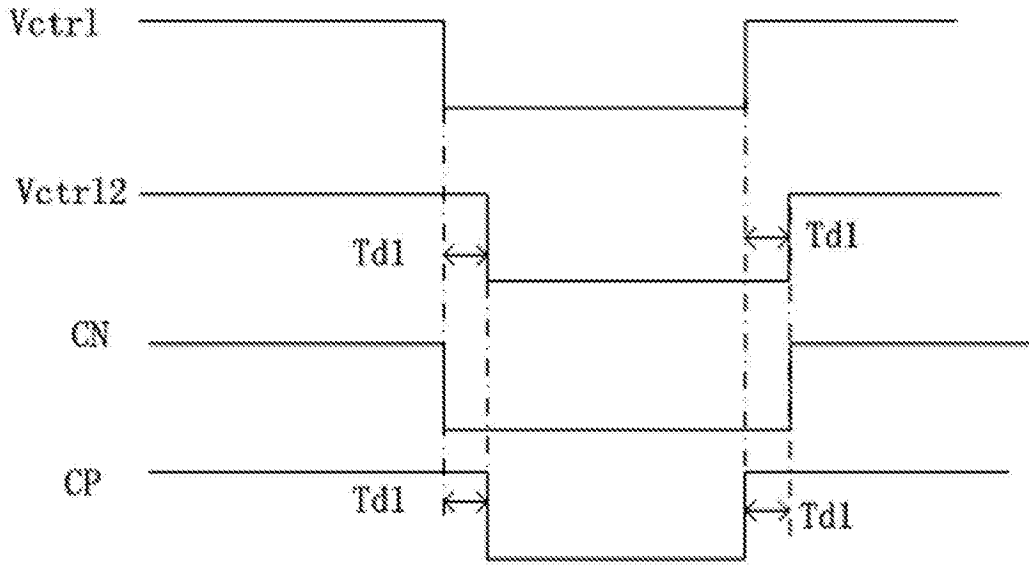


图7