

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7657721号
(P7657721)

(45)発行日 令和7年4月7日(2025.4.7)

(24)登録日 令和7年3月28日(2025.3.28)

(51)国際特許分類		F I	
H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00 8 0 1
H 1 0 B	41/70 (2023.01)	H 1 0 B	41/70
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 3 B
H 1 0 D	30/68 (2025.01)	H 1 0 D	30/68
H 1 0 D	64/27 (2025.01)	H 1 0 D	64/27 G
請求項の数 3 (全62頁) 最終頁に続く			
(21)出願番号	特願2021-544972(P2021-544972)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日	令和2年8月26日(2020.8.26)	(72)発明者	國武 寛司 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2020/057946	(72)発明者	大貫 達也 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2021/048672	(72)発明者	木村 肇 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和3年3月18日(2021.3.18)	(72)発明者	池田 隆之 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
審査請求日	令和5年8月21日(2023.8.21)	最終頁に続く	
(31)優先権主張番号	特願2019-163639(P2019-163639)		
(32)優先日	令和1年9月9日(2019.9.9)		
(33)優先権主張国・地域又は機関	日本国(JP)		

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】
第1乃至第4のトランジスタと、第1の酸化物半導体と、第2の酸化物半導体と、第1の容量素子と、第2の容量素子と、第1の絶縁体と、第2の絶縁体と、第1の導電体と、第2の導電体と、を有し、
前記第1のトランジスタ、および前記第3のトランジスタは、前記第1の酸化物半導体に形成され、
前記第2のトランジスタ、および前記第4のトランジスタは、前記第2の酸化物半導体に形成され、
前記第1のトランジスタは、第1のゲートと、第1のゲート絶縁体と、を有し、
前記第2のトランジスタは、第2のゲートと、第2のゲート絶縁体と、を有し、
前記第3のトランジスタは、第3のゲートと、第3のゲート絶縁体と、を有し、
前記第4のトランジスタは、第4のゲートと、第4のゲート絶縁体と、を有し、
前記第1の容量素子は、第3の導電体と、第4の導電体と、を有し、
前記第2の容量素子は、第5の導電体と、第6の導電体と、を有し、
前記第1の絶縁体は、前記第1の酸化物半導体の上および前記第2の酸化物半導体の上に配置され、
前記第1の絶縁体は、前記第1の酸化物半導体に達する第1の開口および第2の開口と、前記第2の酸化物半導体に達する第3の開口および第4の開口と、前記第2のトランジスタのソースまたはドレインの一方に達する第5の開口と、前記第4のトランジスタのソ

ースまたはドレインの一方に達する第 6 の開口と、を有し、

前記第 1 の開口の中に、前記第 1 のゲート絶縁体および前記第 1 のゲートが配置され、

前記第 2 の開口の中に、前記第 3 のゲート絶縁体および前記第 3 のゲートが配置され、

前記第 3 の開口の中に、前記第 2 のゲート絶縁体および前記第 2 のゲートが配置され、

前記第 4 の開口の中に、前記第 4 のゲート絶縁体および前記第 4 のゲートが配置され、

前記第 5 の開口の中に、前記第 1 の導電体が配置され、

前記第 6 の開口の中に、前記第 2 の導電体が配置され、

前記第 3 の導電体は、前記第 1 の導電体の上面および前記第 1 のゲートの上面に接して配置され、

前記第 5 の導電体は、前記第 2 の導電体の上面および前記第 3 のゲートの上面に接して配置され、

前記第 2 の絶縁体は、前記第 3 の導電体上、前記第 5 の導電体上および前記第 1 の絶縁体上に配置され、

前記第 4 の導電体は、前記第 2 の絶縁体を介して、前記第 3 の導電体を覆って配置され、

前記第 6 の導電体は、前記第 2 の絶縁体を介して、前記第 5 の導電体を覆って配置される、半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 の酸化物半導体および前記第 2 の酸化物半導体の各々は、インジウムと、元素 M（M は、ガリウム、アルミニウム、イットリウム、および錫の中から選ばれる一または複数）と、亜鉛と、を有する、半導体装置。

【請求項 3】

請求項 1 において、

前記第 1 の酸化物半導体および前記第 2 の酸化物半導体の各々は、酸化インジウムを有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタやダイオードなどの半導体素子や、半導体素子を含む回路は半導体装置である。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器などは、半導体素子や半導体回路を含む場合がある。また、表示装置、発光装置、照明装置、電気光学装置、記憶装置、撮像装置、通信装置および電子機器なども、半導体装置と呼ばれる場合がある。

【背景技術】

【0004】

近年、チャネル形成領域に酸化物半導体または金属酸化物を用いたトランジスタ（Oxide Semiconductor トランジスタ、以下、OS トランジスタと呼ぶ）が注目されている（特許文献 1）。

【0005】

OS トランジスタはオフ電流が非常に小さい。そのことを利用して、特許文献 2 および 3 には、OS トランジスタを用いた不揮発性メモリが開示されている。OS トランジスタを用いた不揮発性メモリは、データの書き換え可能回数に制限がなく、さらにデータを書

10

20

30

40

50

き換えるときの消費電力も少ない。また、特許文献3には、O S トランジスタのみで不揮発性メモリのメモリセルを構成した例が開示されている。

【0006】

なお、本明細書においてO S トランジスタを用いた不揮発性メモリをN O S R A M（登録商標）と呼ぶ場合がある。N O S R A Mとは「Non volatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2 T 型、3 T 型）のメモリセルを有するR A Mを指す。

【先行技術文献】

【特許文献】

【0007】

【文献】特開2007-123861号公報

【文献】特開2011-151383号公報

【文献】特開2016-115387号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一形態は、占有面積が小さい半導体装置を提供することを課題の一とする。または、本発明の一形態は、高集積化が可能な半導体装置を提供することを課題の一とする。または、本発明の一形態は、記憶容量の大きい半導体装置を提供することを課題の一とする。または、本発明の一形態は、製造コストの低い半導体装置を提供することを課題の一とする。または、本発明の一形態は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一形態は、新規な半導体装置を提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0010】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、容量素子と、第1の絶縁体と、第1の導電体と、を有し、第1のトランジスタは、第1の酸化物半導体と、第1のゲートと、第1のゲート絶縁体と、を有し、第2のトランジスタは、第2の酸化物半導体と、第2のゲートと、第2のゲート絶縁体と、を有し、容量素子は、第2の導電体と、第3の導電体と、第2の絶縁体と、を有し、第1の絶縁体は、第1の酸化物半導体、および第2の酸化物半導体の上に配置され、第1の絶縁体は、第1の酸化物半導体に達する第1の開口が形成され、第2の酸化物半導体に達する第2の開口が形成され、第2のトランジスタのソースまたはドレインの一方に達する第3の開口が形成され、第1の開口の中に、第1のゲート絶縁体、および第1のゲートが配置され、第2の開口の中に、第2のゲート絶縁体、および第2のゲートが配置され、第3の開口の中に、第1の導電体が配置され、第2の導電体は、第1の導電体の上面、および第1のゲートの上面に接して配置され、第2の絶縁体は、第2の導電体および第1の絶縁体上に配置され、第3の導電体は、第2の絶縁体を介して、第2の導電体を覆って配置される、半導体装置である。

【0011】

上記において、第2の導電体は、第1のゲートを覆って配置される、ことが好ましい。

【0012】

また、上記において、第1のゲートの一部が、第2の導電体から露出し、第1のゲートの一部が第2の絶縁体に接する、構成にしてもよい。

【0013】

また、上記において、第1のトランジスタのチャネル長方向と、第2のトランジスタの

チャンネル長方向は、概略平行である、ことが好ましい。また、上記において、第3の導電体の伸長方向は、第1のトランジスタのチャンネル長方向と、概略垂直である、ことが好ましい。

【0014】

また、上記において、第2のゲートの上面に接して第4の導電体を有し、第4の導電体の伸長方向は、第2のトランジスタのチャンネル長方向と、概略垂直である、ことが好ましい。また、上記において、第4の導電体は、第1の絶縁体を介して、第1の酸化物半導体と重畳する、ことが好ましい。

【0015】

本発明の他の一態様は、第1乃至第4のトランジスタと、第1の酸化物半導体と、第2の酸化物半導体と、第1の容量素子と、第2の容量素子と、第1の絶縁体と、第2の絶縁体と、第1の導電体と、第2の導電体と、を有し、第1のトランジスタ、および第3のトランジスタは、第1の酸化物半導体に形成され、第2のトランジスタ、および第4のトランジスタは、第2の酸化物半導体に形成され、第1のトランジスタは、第1のゲートと、第1のゲート絶縁体と、を有し、第2のトランジスタは、第2のゲートと、第2のゲート絶縁体と、を有し、第3のトランジスタは、第3のゲートと、第3のゲート絶縁体と、を有し、第4のトランジスタは、第4のゲートと、第4のゲート絶縁体と、を有し、第1の容量素子は、第3の導電体と、第4の導電体と、を有し、第2の容量素子は、第5の導電体と、第6の導電体と、を有し、第1の絶縁体は、第1の酸化物半導体、および第2の酸化物半導体の上に配置され、第1の絶縁体は、第1の酸化物半導体に達する、第1の開口および第2の開口が形成され、第2の酸化物半導体に達する、第3の開口および第4の開口が形成され、第2のトランジスタのソースまたはドレインの一方に達する第5の開口が形成され、第4のトランジスタのソースまたはドレインの一方に達する第6の開口が形成され、第1の開口の中に、第1のゲート絶縁体、および第1のゲートが配置され、第2の開口の中に、第3のゲート絶縁体、および第3のゲートが配置され、第3の開口の中に、第2のゲート絶縁体、および第2のゲートが配置され、第4の開口の中に、第4のゲート絶縁体、および第4のゲートが配置され、第5の開口の中に、第1の導電体が配置され、第6の開口の中に、第2の導電体が配置され、第3の導電体は、第1の導電体の上面、および第1のゲートの上面に接して配置され、第5の導電体は、第2の導電体の上面、および第3のゲートの上面に接して配置され、第2の絶縁体は、第3の導電体、第5の導電体および第1の絶縁体上に配置され、第4の導電体は、第2の絶縁体を介して、第3の導電体を覆って配置され、第6の導電体は、第2の絶縁体を介して、第5の導電体を覆って配置される、半導体装置である。

【0016】

上記において、第1の酸化物半導体、および第2の酸化物半導体は、インジウムと、元素M（Mは、ガリウム、アルミニウム、イットリウム、および錫の中から選ばれる一または複数）と、亜鉛と、を有する、ことが好ましい。

【発明の効果】

【0017】

本発明の一形態により、占有面積が小さい半導体装置を提供することができる。または、本発明の一形態により、高集積化が可能な半導体装置を提供することができる。または、本発明の一形態により、記憶容量の大きい半導体装置を提供することができる。または、本発明の一形態により、製造コストの低い半導体装置を提供することができる。または、本発明の一形態により、信頼性の高い半導体装置を提供することができる。または、本発明の一形態により、新規な半導体装置を提供することができる。

【0018】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0019】

図1Aは、本発明の一態様に係る、半導体装置の回路図である。図1Bは、本発明の一態様に係る、半導体装置の上面図である。

図2Aおよび図2Bは、本発明の一態様に係る、半導体装置の上面図である。

図3Aおよび図3Bは、本発明の一態様に係る、半導体装置の断面図である。

図4は、本発明の一態様に係る、半導体装置の断面図である。

図5AはIGZOの結晶構造の分類を説明する図である。図5BはCAAC-IGZO膜のXRDスペクトルを説明する図である。図5CはCAAC-IGZO膜の極微電子線回折パターンを説明する図である。

10

図6は、本発明の一態様に係る、半導体装置の上面図である。

図7Aおよび図7Bは、本発明の一態様に係る、半導体装置の断面図である。

図8Aおよび図8Bは、本発明の一態様に係る、半導体装置の回路図である。

図9Aは、本発明の一態様に係る、半導体装置の構成例を説明するブロック図である。図9Bは、本発明の一態様に係る、半導体装置の構成例を説明する斜視図である。

図10は、本発明の一態様に係る、メモリセルアレイの回路図である。

図11は、本発明の一態様に係る、メモリセルアレイの模式図である。

図12Aおよび図12Bは、本発明の一態様に係る、メモリセルアレイのタイミングチャートを示す図である。

図13は、各種の記憶装置を階層ごとに示す図である。

20

図14A乃至図14Eは、本発明の一態様に係る、記憶装置の応用例を説明する図である。

図15A乃至図15Hは、本発明の一態様に係る、電子機器を示す図である。

【発明を実施するための形態】

【0020】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その説明の繰り返しは省略する。

30

【0021】

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするため図に反映しないことがある。

【0022】

また、図面などにおいて、説明を理解しやすくするために、一部の構成要素の記載を省略する場合がある。

【0023】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

40

【0024】

また、本明細書等において、電気回路における「端子」とは、電流の入力または出力、電圧の入力または出力、もしくは、信号の受信または送信が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

【0025】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または

50

直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0026】

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

【0027】

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

【0028】

なお、本明細書などにおいて、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス 20 % の誤差を含むものとする。

【0029】

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

【0030】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

【0031】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

【0032】

なお、本明細書等における「第 1」、「第 2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

【0033】

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

10

20

30

40

50

【0034】

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

【0035】

また、本明細書等において、高電源電位 VDD （以下、単に「 VDD 」、「 H 電位」、または「 H 」ともいう）とは、低電源電位 VSS （以下、単に「 VSS 」、「 L 電位」、または「 L 」ともいう）よりも高い電位の電源電位を示す。また、 VSS とは、 VDD よりも低い電位の電源電位を示す。また、接地電位（以下、単に「 GND 」、または「 GND 電位」ともいう）を VDD または VSS として用いることもできる。例えば VDD が接地電位の場合には、 VSS は接地電位より低い電位であり、 VSS が接地電位の場合には、 VDD は接地電位より高い電位である。

10

【0036】

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）の n チャネル型電界効果トランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、 $0V$ より大きいものとする。また、明示されている場合を除き、「トランジスタのゲートに H 電位を供給する。」とは、「トランジスタをオン状態にする。」と同義の場合がある。また、明示されている場合を除き、「トランジスタのゲートに L 電位を供給する。」とは、「トランジスタをオフ状態にする。」と同義の場合がある。

20

【0037】

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0038】

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

30

【0039】

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

【0040】

また、図面などにおいて、配線および電極などの電位をわかりやすくするため、配線および電極などに隣接して H 電位を示す“ H ”、または L 電位を示す“ L ”を付記する場合がある。また、電位変化が生じた配線および電極などには、“ H ”または“ L ”を囲み文字で付記する場合がある。また、トランジスタがオフ状態である場合、当該トランジスタに重ねて“ $\times$ ”記号を付記する場合がある。

40

【0041】

また、一般に、「容量」は、2つの電極が絶縁体（誘電体）を介して向かい合う構成を有する。本明細書等において、「容量素子」とは、前述の「容量」である場合が含まれる。すなわち、本明細書等において、「容量素子」とは、2つの電極が絶縁体を介して向かい合う構成を有したもの、2本の配線が絶縁体を介して向かい合う構成を有したもの、または、2本の配線が絶縁体を介して配置されたもの、である場合が含まれる。

【0042】

また、本明細書等において、複数の要素に同じ符号を用いる場合、特にそれらを区別す

50

る必要があるときは、符号に、「_1」、「_2」、「[n]」、「[m, n]」等、識別用の符号を付して記載する場合がある。例えば、2番目の配線CLを、配線CL[2]と記載する場合がある。

【0043】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0044】

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0045】

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【0046】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0047】

本明細書では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0048】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。なお、水も不純物として機能する場合がある。また、例えば不純物の混入によって、酸化物半導体に酸素欠損（V_O: oxygen vacancyともいう）が形成される場合がある。

【0049】

なお、本明細書等において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多いものである。

【0050】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

【0051】

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

【0052】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。) 、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0053】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅 $1\ \mu\text{m}$ あたりのドレイン電流が、室温において $1 \times 10^{-20}\ \text{A}$ 以下、 85°C において $1 \times 10^{-18}\ \text{A}$ 以下、または 125°C において $1 \times 10^{-16}\ \text{A}$ 以下であることをいう。

【0054】

(実施の形態 1)

本実施の形態では、本発明の一態様に係る半導体装置の一例として、メモリセル 10 の構成について、図 1 乃至図 8 を用いて説明する。メモリセル 10 は、記憶装置の一部として機能し、トランジスタ 11 と、トランジスタ 12 と、容量素子 13 と、を有し、配線 CL、配線 WL、配線 RBL、配線 SL、配線 WBL、配線 BGL1、および配線 BGL2 と、電気的に接続される。

【0055】

図 1 A は、メモリセル 10 の回路図であり、図 1 B はメモリセル 10 の上面図である。図 2 A は、図 1 B から配線 CL を除いた上面図である。図 2 B は、図 1 B から配線 CL、配線 WL、導電体 207、一点鎖線 A1-A2-A3、および一点鎖線 A4-A5-A6 を除いた上面図である。なお、図 1 B、図 2 A、および図 2 B の上面図では、図の明瞭化のために一部の要素を省いている。

【0056】

図 3 A は、図 1 B および図 2 A に A1-A2-A3 の一点鎖線で示す部位の断面図である。ここで、A1-A2 に示す断面図は、トランジスタ 12 のチャネル長方向の断面図であり、A2-A3 に示す断面図は、トランジスタ 11 のチャネル幅方向の断面図である。また、図 3 B は、図 1 B および図 2 A に A4-A5-A6 の一点鎖線で示す部位の断面図である。ここで、A4-A5 に示す断面図は、トランジスタ 12 のチャネル幅方向の断面図であり、A5-A6 に示す断面図は、トランジスタ 11 のチャネル長方向の断面図である。

【0057】

なお、図面などにおいて、x方向、y方向、およびz方向を示す矢印を付す場合がある。x方向、y方向、およびz方向は、それぞれが互いに直交する方向である。本明細書などでは、x方向、y方向、またはz方向の1つを「第1方向」または「第1の方向」と呼ぶ場合がある。また、他の2つのうちの1つを「第2方向」または「第2の方向」と呼ぶ場合がある。また、残りの1つを「第3方向」または「第3の方向」と呼ぶ場合がある。

【0058】

<半導体装置の構成例>

まず、メモリセル10の回路構成例について説明する。図1Aに示すように、メモリセル10は、トランジスタ11、トランジスタ12、および容量素子13を備える。トランジスタ11のソースまたはドレインの一方は配線RBLと電氣的に接続され、他方は配線SLと電氣的に接続される。トランジスタ11のバックゲートは配線BGL1と電氣的に接続される。トランジスタ12のソースまたはドレインの一方は配線WBLと電氣的に接続され、他方はトランジスタ11のゲートと電氣的に接続される。なお、本明細書などでは、トランジスタ11のゲートと、トランジスタ12のソースまたはドレインの他方と、を電氣的に接続するノード、または配線をノードFNと呼ぶ場合がある。トランジスタ12のゲートは配線WLと電氣的に接続され、バックゲートは配線BGL2と電氣的に接続される。

【0059】

図1Aに示すように、トランジスタ11とトランジスタ12を同一平面上に設け、トランジスタ11およびトランジスタ12の上に容量素子13が設けられることが好ましい。言い換えると、容量素子13は、トランジスタ11およびトランジスタ12に対して、z軸方向に重なるように、配置されることが好ましい。このような構成にすることで、トランジスタ11およびトランジスタ12に対して、ほぼ面積を増やすことなく、容量素子13を設けることができる。よってメモリセル10の占有面積を小さくすることができる。これにより、半導体装置の高集積化を図り、記憶容量の大きい半導体装置を提供することができる。また、記憶容量当たりの製造コストの低い半導体装置を提供することができる。

【0060】

容量素子13の上に配線CLが配置される。ここで、配線CLは、容量素子13の上部電極として機能する。これに対して、ノードFNは容量素子13の下部電極として機能する。つまり、容量素子13は、MIM (Metal-Insulator-Metal) 容量を構成している。また、メモリセル10は、ノードFNと配線CLの間に容量素子13を備える、ということもできる。

【0061】

メモリセル10は、ノードFNに書き込まれた電位（電荷）を保持し、データを保存する機能を有する。具体的には、配線WLにトランジスタ12をオン状態にする電位を供給し、配線WBLとノードFNを導通状態にする。すると、ノードFNを所定の電位にするための電荷が配線WBLを介してノードFNに供給される。その後、トランジスタ12のゲートにトランジスタ12をオフ状態にする電位を供給する。トランジスタ12をオフ状態にすることで、ノードFNに書き込まれた電荷が保持される。

【0062】

また、メモリセル10に保存されたデータを読み出す場合は、配線CLに一定の電位（以下、読み出し電位と呼ぶ場合がある。）を与えればよい。読み出し電位が配線CLに供給されると、ノードFNに書き込まれた電位に応じて、トランジスタ11がオン状態、またはオフ状態になる。つまり、メモリセル10のノードFNに保存されたデータを、トランジスタ11のオン状態、またはオフ状態として読み出すことができる。

【0063】

トランジスタ12およびトランジスタ11の半導体層は、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができ

10

20

30

40

50

る。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体を用いてもよい。

【0064】

なお、トランジスタに用いる半導体層は積層してもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。

【0065】

特に、トランジスタ12は、OSトランジスタであることが好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく少ない。トランジスタ12にOSトランジスタを用いると、ノードFNに書き込まれた電荷を長期間保持することができる。よって、容量素子13に要求される静電容量を小さくすることができる。このため、トランジスタ12にOSトランジスタを用いることで、容量素子13の占有面積を小さくすることができる。これにより、トランジスタ11およびトランジスタ12の上に、容量素子13を配置しやすくなるので、メモリセル10の占有面積を低減することができる。トランジスタ12にOSトランジスタを用いた場合、メモリセル10を「OSメモリ」と呼ぶことができる。

【0066】

OSメモリは、電力の供給を停止しても、1年以上、さらには10年以上の期間で書き込まれた情報を保持することができる。よって、OSメモリを不揮発性メモリと見なすこともできる。

【0067】

また、OSメモリは書き込まれた電荷量が長期間変化しにくいいため、OSメモリは2値（1ビット）に限らず、多値（マルチビット）の情報を保持可能である。

【0068】

また、OSメモリはOSトランジスタを介してノードに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作が実現できる。また、フラッシュメモリで行われるデータ書き換え前の消去動作が、OSメモリでは不要である。また、フローティングゲートまたは電荷捕獲層への電荷注入および引き抜きも行われなため、OSメモリでは、データの書き込みおよび読み出しの回数を、実質的に無制限にすることができる。OSメモリは、従来のフラッシュメモリと比較して劣化が少なく、高い信頼性が得られる。

【0069】

また、OSメモリは、相変化メモリ（PCM：Phase Change Memory）、磁気抵抗メモリ（MRAM：Magnetoresistive Random Access Memory）、あるいは抵抗変化型メモリ（ReRAM：Resistance Random Access Memory）などのように原子レベルでの構造変化を伴わない。よって、OSメモリは、相変化メモリ、磁気抵抗メモリおよび抵抗変化型メモリよりも書き換え耐性に優れている。

【0070】

また、OSトランジスタは高温環境下でもオフ電流がほとんど増加しない。具体的には室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。OSメモリを含む記憶装置は、高温環境下においても動作が安定し、高い信頼性が得られる。このため、OSメモリを構成する場合、トランジスタ11およびトランジスタ12をOSトランジスタにすることが好ましい。また、OSトランジスタは、ソースとドレイン間の絶縁耐圧が高い。半導体装置を構成するトランジスタにOSトランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置が実現できる。

【0071】

図3A、図3Bなどに示すように、メモリセル10は、基板（図示せず）上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上の絶縁体216と、絶縁体2

10

20

30

40

50

16上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の絶縁体275と、絶縁体275上の絶縁体280と、絶縁体280上の絶縁体282と、絶縁体282上の絶縁体283と、を有する。絶縁体212、絶縁体214、絶縁体216、絶縁体222、絶縁体224、絶縁体275、絶縁体280、絶縁体282、および絶縁体283は層間絶縁膜として機能する。絶縁体214と絶縁体282の間の層に、トランジスタ11およびトランジスタ12が設けられ、絶縁体280の上に容量素子13が設けられる。絶縁体280および絶縁体275には、トランジスタ12のソースまたはドレインの他方に達する開口が形成され、当該開口の中に埋め込まれるように導電体240が設けられる。また、導電体240の側面に接して絶縁体241が設けられることが好ましい。

【0072】

トランジスタ11は、絶縁体216に埋め込まれるように配置された導電体205（導電体205a、導電体205b、および導電体205c）と、絶縁体216上、および導電体205上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の、酸化物230c、酸化物243aおよび酸化物243bと、酸化物243a上の導電体242aと、酸化物243b上の導電体242bと、酸化物230c上の絶縁体250と、絶縁体250上に位置し、酸化物230bの一部と重なる導電体260（導電体260a、および導電体260b）と、を有する。なお、以下において、酸化物230a、酸化物230b、および酸化物230cをまとめて酸化物230と呼ぶ場合がある。また、酸化物243a、および酸化物243bをまとめて酸化物243と呼ぶ場合がある。また、導電体242a、および導電体242bをまとめて導電体242と呼ぶ場合がある。

【0073】

ここで、導電体260はトップゲートとして機能し、導電体205はバックゲート（配線BGL1）として機能する。また、絶縁体250はトップゲートのゲート絶縁体として機能し、絶縁体222および絶縁体224はバックゲートのゲート絶縁体として機能する。また、導電体242aは、ソースまたはドレインの一方として機能し、導電体242bは、ソースまたはドレインの他方として機能する。また、酸化物230の導電体260と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

【0074】

また、絶縁体275は、絶縁体224、酸化物230a、酸化物230b、酸化物243、および導電体242を覆い、絶縁体280は絶縁体275の上面に接して設けられている。絶縁体280および絶縁体275に、酸化物230bおよび絶縁体224に達する開口が設けられ、当該開口は、導電体242aと導電体242bの間の領域に重畳して設けられている。

【0075】

図2B、図3A、および図3Bに示すように、上記開口の中に、酸化物230c、絶縁体250、および導電体260が配置されている。よって、酸化物230cは、絶縁体224の上面と、酸化物230aの側面と、酸化物230bの上面および側面と、酸化物243aおよび酸化物243bの側面と、導電体242aおよび導電体242bの側面と、絶縁体275の側面と、絶縁体280の側面に接して設けられる。また、絶縁体250は酸化物230cの上面および側面に接して設けられ、導電体260は絶縁体250の上面および側面に接して設けられる。また、導電体260の上面、絶縁体250の最上面、および酸化物230cの最上面は、絶縁体280の上面と概略一致して配置される。

【0076】

このような構造にすることで、導電体260、絶縁体250、および酸化物230cを、絶縁体280などに形成されている開口に埋めこむように自己整合的に形成することができる。導電体260などをこのように形成することにより、位置合わせをしなくても、導電体242aと導電体242bとの間の領域に導電体260を配置することができる。

【0077】

また、トランジスタ12は、絶縁体216に埋め込まれるように配置された導電体20

10

20

30

40

50

6（導電体206a、導電体206b、および導電体206c）と、絶縁体216上、および導電体206上の絶縁体222と、絶縁体222上の絶縁体224と、絶縁体224上の酸化物231aと、酸化物231a上の酸化物231bと、酸化物231b上の、酸化物231c、酸化物245aおよび酸化物245bと、酸化物245a上の導電体244aと、酸化物245b上の導電体244bと、酸化物231c上の絶縁体251と、絶縁体251上に位置し、酸化物231bの一部と重なる導電体261（導電体261a、および導電体261b）と、を有する。なお、以下において、酸化物231a、酸化物231b、および酸化物231cをまとめて酸化物231と呼ぶ場合がある。また、酸化物245a、および酸化物245bをまとめて酸化物245と呼ぶ場合がある。また、導電体244a、および導電体244bをまとめて導電体244と呼ぶ場合がある。

10

【0078】

なお、トランジスタ12は、トランジスタ11と同様の構成を有する。よって、導電体206は導電体205と、酸化物231は酸化物230と、絶縁体251は絶縁体250と、導電体261は導電体260と、同じ層に形成され、同様の構成を有する。よって、以下において、導電体206は導電体205の、酸化物231は酸化物230の、絶縁体251は絶縁体250の、導電体261は導電体260の記載を参酌することができる。

【0079】

ここで、導電体261はトップゲートとして機能し、導電体206はバックゲート（配線BGL2）として機能する。また、絶縁体251はトップゲートのゲート絶縁体として機能し、絶縁体222および絶縁体224はバックゲートのゲート絶縁体として機能する。また、導電体244aは、ソースまたはドレインの一方として機能し、導電体244bは、ソースまたはドレインの他方として機能する。また、酸化物231の導電体261と重畳する領域の少なくとも一部はチャネル形成領域として機能する。

20

【0080】

また、絶縁体275は、絶縁体224、酸化物231a、酸化物231b、酸化物245、および導電体244を覆い、絶縁体280は絶縁体275の上面に接して設けられている。絶縁体280および絶縁体275に、酸化物231bおよび絶縁体224に達する開口が設けられ、当該開口は、導電体244aと導電体244bの間の領域に重畳して設けられている。

【0081】

図2B、図3A、および図3Bに示すように、上記開口の中に、酸化物231c、絶縁体251、および導電体261が配置されている。よって、酸化物231cは、絶縁体224の上面と、酸化物231aの側面と、酸化物231bの上面および側面と、酸化物245aおよび酸化物245bの側面と、導電体244aおよび導電体244bの側面と、絶縁体275の側面と、絶縁体280の側面に接して設けられる。また、絶縁体251は酸化物231cの上面および側面に接して設けられ、導電体261は絶縁体251の上面および側面に接して設けられる。また、導電体261の上面、絶縁体251の最上面、および酸化物231cの最上面は、絶縁体280の上面と概略一致して配置される。

30

【0082】

このような構造にすることで、導電体261、絶縁体251、および酸化物231cを、絶縁体280などに形成されている開口に埋めこむように自己整合的に形成することができる。導電体261などをこのように形成することにより、位置合わせをしなくても、導電体244aと導電体244bとの間の領域に導電体261を配置することができる。

40

【0083】

容量素子13は、導電体240の上面、および導電体260の上面に接して配置された導電体207と、絶縁体280および導電体207の上に配置された絶縁体282と、絶縁体282の上に配置され、少なくとも一部が導電体207と重なる導電体208と、を有する。

【0084】

ここで、導電体207はノードFNとして機能し、導電体208は配線CLとして機能

50

する。言い換えると、導電体 207 は容量素子 13 の下部電極として機能し、導電体 208 は容量素子 13 の上部電極として機能する。また、絶縁体 282 は容量素子 13 の誘電体として機能する。

【0085】

図 2 A に示すように、上面視において、導電体 207 は、導電体 260 を包含していることが好ましい。言い換えると、導電体 207 は、導電体 260 を覆って配置されることが好ましい。また、上面視において、導電体 207 は、導電体 240 も包含してもよい。このような構成にすることで、容量素子 13 を、トランジスタ 11 のトップゲートを覆い、トランジスタ 12 のソースまたはドレインの他方と重ねて配置することができる。よって、トランジスタ 11 およびトランジスタ 12 に対して、ほぼ面積を増やすことなく、容量素子 13 の面積を大きくとることができる。

10

【0086】

また、図 1 B、図 3 A、図 3 B に示すように、絶縁体 282 は導電体 207 を覆って配置され、導電体 208 は絶縁体 282 を介して導電体 207 を覆って配置されることが好ましい。これにより、導電体 207 の側面においても、絶縁体 282 を介して導電体 208 が配置される。よって、導電体 208 と導電体 207 が重なる領域全体と、導電体 207 の側面を容量素子 13 として機能させることができる。

【0087】

以上のような構成にすることで、メモリセル 10 の占有面積を小さくして、容量素子 13 を設けることができる。これにより、半導体装置の高集積化を図り、記憶容量の大きい半導体装置を提供することができる。また、記憶容量当たりの製造コストの低い半導体装置を提供することができる。

20

【0088】

また、導電体 261 の上面に接して、導電体 209 が配置される。導電体 209 は、導電体 207 と同じ層に形成することができ、絶縁体 282 に覆われている。導電体 209 は配線 WL として機能する。

【0089】

なお、複数のメモリセル 10 を、マトリクス状に配列することで、メモリセルアレイを形成することができる。この場合、各メモリセル 10 を接続する配線は、一方に伸長して設けられることが好ましい。例えば、図 1 A、図 1 B に示すように、配線 CL (導電体 208)、配線 WL (導電体 209)、配線 BGL1 (導電体 205)、および配線 BGL2 (導電体 206) は y 方向に伸長して設ければよい。このとき、y 方向に配列される各メモリセル 10 は、共通の、配線 CL (導電体 208)、配線 WL (導電体 209)、配線 BGL1 (導電体 205)、および配線 BGL2 (導電体 206) に接続されることになる。

30

【0090】

また、例えば、配線 WL として導電体 261 を伸長して設ける構成にすると、配線 WL と酸化物 230b が重畳する箇所で寄生トランジスタが形成されてしまう。しかしながら、本実施の形態では、導電体 261 の上に配置された、導電体 209 が配線 WL として機能する。これにより、図 3 B の A5 に示すように、導電体 209 と酸化物 230b が絶縁体 280 などを介して重なる。よって、導電体 209 と酸化物 230b が重なる箇所で寄生トランジスタが形成されるのを抑制することができる。

40

【0091】

また、複数のメモリセル 10 を x 方向に配列させる場合、メモリセル 10 のトランジスタ 11 のソースまたはドレインの一方は、隣接するメモリセル 10 のトランジスタ 11 のソースまたはドレインの他方に接続される。また、メモリセル 10 のトランジスタ 12 のソースまたはドレインの一方は、隣接するメモリセル 10 のトランジスタ 12 のソースまたはドレインの他方に接続される。つまり、複数のトランジスタ 11 のソースとドレインが直列接続され、且つ複数のトランジスタ 12 のソースとドレインも直列接続される。言い換えると、メモリセル 10 において、トランジスタ 12 のソースまたはドレインの一方

50

は、他のトランジスタ 1 2 を介して、配線 W B L に電氣的に接続され、トランジスタ 1 1 のソースまたはドレインの一方は、他のトランジスタ 1 1 を介して、配線 R B L に電氣的に接続され、トランジスタ 1 1 のソースまたはドレインの他方は、他のトランジスタ 1 1 を介して、配線 S L に電氣的に接続される。

【0092】

この場合、メモリセル 1 0 のノード F N は、メモリセル 1 0 のトランジスタ 1 2 のソースまたはドレインの他方と、隣接するメモリセル 1 0 のトランジスタ 1 2 のソースまたはドレインの一方に接続される。よって、ノード F N に書き込まれた電位（電荷）は、各メモリセル 1 0 のトランジスタ 1 2 をオフし、且つ隣接するメモリセル 1 0 のトランジスタ 1 2 をオフすることで、保持することができる。

10

【0093】

上記構成にする場合、図 1 B に示すように、酸化物 2 3 0 b および酸化物 2 3 0 a と、酸化物 2 3 1 b および酸化物 2 3 1 a と、をそれぞれ x 方向に伸長して設ければよい。これにより、酸化物 2 3 0 b と導電体 2 0 8 が重なる部分にトランジスタ 1 1 を形成することができ、酸化物 2 3 1 b と導電体 2 0 9 が重なる部分にトランジスタ 1 2 を形成することができる。ここで、トランジスタ 1 1 のチャンネル長方向と、トランジスタ 1 2 のチャンネル長方向は、概略平行になる。また、トランジスタ 1 1 のチャンネル長方向と、導電体 2 0 8 の伸長方向は、概略垂直になる。また、トランジスタ 1 2 のチャンネル長方向と、導電体 2 0 9 の伸長方向は、概略垂直になる。

【0094】

20

また、導電体 2 6 0 と重なって除去されている領域は除かれるが、酸化物 2 4 3 および導電体 2 4 2 も、酸化物 2 3 0 b と同様に x 方向に伸長して配列すればよい。また、導電体 2 6 1 と重なって除去されている領域は除かれるが、酸化物 2 4 5 および導電体 2 4 4 も、酸化物 2 3 1 b と同様に x 方向に伸長して配列すればよい。

【0095】

なお、メモリセル 1 0 の構成は上記に限られるものではない。例えば、各メモリセル 1 0 において、配線 R B L および配線 S L がトランジスタ 1 1 に接続され、配線 W B L にトランジスタ 1 2 が接続される構成にしてもよい。この場合、酸化物 2 3 0 b、酸化物 2 3 1 b などは、伸長して設けられず、各メモリセル 1 0 で島状にパターンニングされて設けられる。よって、ノード F N に書き込まれた電位（電荷）は、各メモリセル 1 0 のトランジスタ 1 2 をオフするだけで保持することができる。

30

【0096】

また、複数のメモリセル 1 0 をマトリクス状に配列したメモリセルアレイの詳細については、後の実施の形態で説明する。

【0097】

次に、図 3 B におけるトランジスタ 1 1 のチャンネル形成領域近傍の拡大図を図 4 に示す。なお、以下ではトランジスタ 1 1 の酸化物 2 3 0 について説明するが、トランジスタ 1 2 の酸化物 2 3 1 についても当該説明を参酌することができる。図 4 に示すように、酸化物 2 3 0 は、トランジスタ 1 1 のチャンネル形成領域として機能する領域 2 3 2 c と、領域 2 3 2 c を挟むように設けられ、トランジスタ 1 1 のソース領域またはドレイン領域として機能する領域 2 3 2 a、および領域 2 3 2 b と、を有する。

40

【0098】

領域 2 3 2 c は、少なくとも一部が導電体 2 6 0 と重畳している。言い換えると、領域 2 3 2 c は、導電体 2 4 2 a と導電体 2 4 2 b の間の領域に設けられている。領域 2 3 2 a は、導電体 2 4 2 a に重畳して設けられており、領域 2 3 2 b は、導電体 2 4 2 b に重畳して設けられている。

【0099】

チャンネル形成領域として機能する領域 2 3 2 c は、領域 2 3 2 a、および領域 2 3 2 b よりも、酸素欠損が少なく、または不純物濃度が低いいため、キャリア濃度が低い高抵抗領域である。よって領域 2 3 2 c は、i 型（真性）または実質的に i 型であるということが

50

できる。

【0100】

また、ソース領域またはドレイン領域として機能する領域232a、および領域232bは、酸素欠損が多く、または水素や、窒素や、金属元素などの不純物濃度が高いことで、キャリア濃度が増加し、低抵抗化した領域である。すなわち、領域232a、および領域232bは、領域232cと比較して、キャリア濃度が高く、低抵抗なn型の領域である。

【0101】

ここで、チャンネル形成領域として機能する領域232cのキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャンネル形成領域として機能する領域232cのキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

10

【0102】

また、領域232cと領域232a、もしくは領域232bとの間に、キャリア濃度が、領域232a、および領域232bのキャリア濃度と同等、またはそれよりも低く、領域232cのキャリア濃度と同等、またはそれよりも高い、領域が形成されていてもよい。つまり、当該領域は、領域232cと領域232a、または領域232bとの接合領域として機能する。当該接合領域は、水素濃度が、領域232a、および領域232bの水素濃度と同等、またはそれよりも低く、領域232cの水素濃度と同等、またはそれよりも高くなる場合がある。また、当該接合領域は、酸素欠損が、領域232a、および領域232bの酸素欠損と同等、またはそれよりも少なく、領域232cの酸素欠損と同等、またはそれよりも多くなる場合がある。

20

【0103】

また、酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、ならびに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、ならびに水素、および窒素などの不純物元素の濃度が減少していればよい。

30

【0104】

トランジスタ11は、チャンネル形成領域を含む酸化物230に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。酸化物230は、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に配置された酸化物230cと、を有することが好ましい。なお、以下ではトランジスタ11の酸化物230について説明するが、トランジスタ12の酸化物231についても当該説明を参照することができる。

【0105】

また、半導体として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。バンドギャップの大きい金属酸化物を用いることで、トランジスタ11およびトランジスタ12のオフ電流を低減することができる。特に、トランジスタ12のオフ電流を低減することで、トランジスタ11およびトランジスタ12を記憶装置のメモリセルとして用いた場合に、長期にわたり記憶内容を保持することが可能である。つまり、当該記憶装置は、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少なくてもよい。またこれにより、当該記憶装置の消費電力を十分に低減することができる。

40

【0106】

酸化物230として、例えば、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリ

50

リウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。例えば、酸化物230として、In-Ga-Zn酸化物を用いればよく、In-Ga-Zn酸化物に錫を添加した酸化物を用いてもよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物、インジウム酸化物を用いてもよい。

【0107】

上記金属酸化物は、スパッタリング法などを用いて基板上に成膜することができる。よって、シリコン基板に形成した駆動回路などの周辺回路の上に重ねてトランジスタ11およびトランジスタ12を設けることができる。よって、トランジスタ11およびトランジスタ12を、記憶装置のメモリセルとして用いた場合に、1チップに設けることができるメモリセルアレイの占有面積を増やすことができるので、当該記憶装置の記憶容量を大きくすることができる。さらに、上記金属酸化物膜を複数積層して成膜することで、メモリセルアレイを積層して設けることができる。これにより、メモリセルアレイの占有面積を増やすことなく、セルを集積して配置することができる。つまり、メモリセルアレイの積層構造体（以下、3Dセルアレイと呼ぶ場合がある。）を構成することができる。以上により、メモリセルの高集積化を図り、記憶容量の大きい半導体装置を提供することができる。

【0108】

なお、上記金属酸化物の成膜方法は、スパッタリング法に限られるものではなく、化学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法などを適宜用いてもよい。

【0109】

ここで、酸化物230bに用いる金属酸化物における、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。酸化物230cは、酸化物230bに用いることができる金属酸化物、または酸化物230aに用いることができる金属酸化物を用いればよい。

【0110】

具体的には、酸化物230aとして、In：M：Zn＝1：3：4〔原子数比〕もしくはその近傍の組成、またはIn：M：Zn＝1：1：0.5〔原子数比〕もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、In：M：Zn＝1：1：1〔原子数比〕もしくはその近傍の組成、In：M：Zn＝4：2：3〔原子数比〕もしくはその近傍の組成、またはIn：M：Zn＝5：1：3〔原子数比〕もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

【0111】

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

【0112】

酸化物230bの下に酸化物230aを配置することで、酸化物230aよりも下方に形成された構造物から酸化物230bへの、不純物および酸素の拡散を抑制することができる。また、酸化物230bの上に酸化物230cを配置することで、酸化物230cよりも上方に形成された構造物から酸化物230bへの、不純物および酸素の拡散を抑制することができる。

【0113】

ただし、酸化物230は、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成に限られるものではない。例えば、酸化物230bの単層、酸化物2

10

20

30

40

50

30 aと酸化物230 bの2層、または4層以上の積層構造を設ける構成にしてもよいし、酸化物230 a、酸化物230 b、または酸化物230 cのそれぞれが積層構造を有していてもよい。例えば、酸化物230 cを2層の積層構造にしてもよい。この場合、酸化物230 cとして、酸化物230 bに用いることができる金属酸化物を設け、その上に酸化物230 aに用いることができる金属酸化物を設ける構成にすればよい。

【0114】

また、酸化物230 a、酸化物230 b、および酸化物230 cが、酸素以外に共通の元素を有する（主成分とする）ことで、酸化物230 aと酸化物230 bとの界面、および酸化物230 bと酸化物230 cとの界面における欠陥準位密度を低くすることができる。酸化物230 aと酸化物230 bとの界面、および酸化物230 bと酸化物230 cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

10

【0115】

ここで、酸化物230 aと酸化物230 bの接合部、および酸化物230 bと酸化物230 cの接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物230 aと酸化物230 bの接合部、および酸化物230 bと酸化物230 cの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230 aと酸化物230 bとの界面、および酸化物230 bと酸化物230 cとの界面に形成される混合層の欠陥準位密度を低くするとよい。

【0116】

20

酸化物230 bは、それぞれ結晶性を有することが好ましい。特に、酸化物230 bとして、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。また、酸化物230 a、または酸化物230 cにCAAC-OSを用いてもよい。

【0117】

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物や欠陥（例えば、酸素欠損 (V_O : oxygen vacancyともいう) など) が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物または酸素の拡散をより低減することができる。

30

【0118】

一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

【0119】

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 V_OH と呼ぶ場合がある。）を形成し、トランジスタのゲート電極に電圧が印加されていない状態でもキャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、および V_OH はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、トランジスタのゲート電極に電圧が印加されていない状態でキャリア濃度が低減されており、i型（真性化）または実質的にi型であることが好ましい。

40

【0120】

50

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある。）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、および V_OH を低減することができる。ただし、ソース領域またはドレイン領域に過剰な量の酸素が供給されると、トランジスタ11およびトランジスタ12のオン電流の低下、または電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域またはドレイン領域に供給される酸素が基板面内でばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。

【0121】

よって、酸化物半導体中において、チャネル形成領域として機能する領域232cは、キャリア濃度が低減され、i型または実質的にi型であることが好ましいが、ソース領域またはドレイン領域として機能する領域232a、および領域232bは、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体の領域232cの酸素欠損、および V_OH を低減し、領域232a、および領域232bには過剰な量の酸素が供給されないようにすることが好ましい。

【0122】

そこで、酸化物230b上に導電体242a、および導電体242bを設けた状態で、酸素を含む雰囲気中でマイクロ波処理を行い、領域232cの酸素欠損、および V_OH の低減を図ることが好ましい。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。なお、同時にトランジスタ12においても、導電体244a、および導電体244bを設けた状態で、酸素を含む雰囲気中でマイクロ波処理が行われる。

【0123】

酸素を含む雰囲気中でマイクロ波処理を行うことで、マイクロ波、またはRF等の高周波を用いて酸素ガスをプラズマ化し、当該酸素プラズマを作用させることができる。このとき、マイクロ波、またはRF等の高周波を領域232cに照射することもできる。プラズマ、マイクロ波などの作用により、領域232cの V_OH を分断し、水素Hを領域232cから除去し、酸素欠損 V_O を酸素で補填することができる。つまり、領域232cにおいて、「 $V_OH \rightarrow H + V_O$ 」という反応が起きて、領域232cの水素濃度を低減することができる。よって、領域232c中の酸素欠損、および V_OH を低減し、キャリア濃度を低下させることができる。

【0124】

また、酸素を含む雰囲気中でマイクロ波処理を行う際、マイクロ波、またはRF等の高周波、酸素プラズマなどの作用は、導電体242a、および導電体242bに遮蔽され、領域232a、および領域232bには及ばない。さらに、酸素プラズマの作用は、酸化物230b、および導電体242を覆って設けられている、絶縁体275、および絶縁体280によって、低減することができる。これにより、マイクロ波処理の際に、領域232a、および領域232bで、 V_OH の低減、および過剰な量の酸素供給が発生しないので、キャリア濃度の低下を防ぐことができる。

【0125】

このようにして、酸化物半導体の領域232cで選択的に酸素欠損、および V_OH を除去して、領域232cをi型または実質的にi型とすることができる。さらに、ソース領域またはドレイン領域として機能する領域232a、および領域232bに過剰な酸素が供給されるのを抑制し、n型を維持することができる。これにより、トランジスタ11の電気特性の変動を抑制し、基板面内でトランジスタ11の電気特性がばらつくのを抑制することができる。なお、トランジスタ12でも同様の効果を得ることができる。

【0126】

以上のような構成にすることで、トランジスタ特性のばらつきが少ない半導体装置を提供することができる。また、良好な電気特性を有する半導体装置を提供することができる。また、信頼性が良好な半導体装置を提供することができる。

【0127】

なお、図 3 A、図 3 B などにおいて、導電体 2 6 0 等を埋め込む開口の側面が、酸化物 2 3 0 b の溝部も含めて、酸化物 2 3 0 b の被形成面に対して概略垂直となっているが、本実施の形態はこれに限られるものではない。例えば、当該開口の底部が緩やかな曲面を有する、U 字型の形状となってもよい。また、例えば、当該開口の側面が酸化物 2 3 0 b の被形成面に対して傾斜していてもよい。

【0128】

また、図 3 A に示すように、トランジスタ 1 1 のチャネル幅方向の断面視において、酸化物 2 3 0 b の側面と酸化物 2 3 0 b の上面との間に、湾曲面を有してもよい。つまり、当該側面の端部と当該上面の端部は、湾曲してもよい（以下、ラウンド状ともいう。）。

【0129】

上記湾曲面での曲率半径は、0 nm より大きく、導電体 2 4 2 と重なる領域の酸化物 2 3 0 b の膜厚より小さい、または、上記湾曲面を有さない領域の長さの半分より小さいことが好ましい。上記湾曲面での曲率半径は、具体的には、0 nm より大きく 2 0 nm 以下、好ましくは 1 nm 以上 1 5 nm 以下、さらに好ましくは 2 nm 以上 1 0 nm 以下とする。このような形状にすることで、絶縁体 2 5 0 および導電体 2 6 0 の、酸化物 2 3 0 b への被覆性を高めることができる。

【0130】

絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 5、絶縁体 2 8 2、および絶縁体 2 8 3 の少なくとも一は、水、水素などの不純物が、基板側から、または、トランジスタ 1 1 およびトランジスタ 1 2 の上方から、トランジスタ 1 1 およびトランジスタ 1 2 に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 5、絶縁体 2 8 2、および絶縁体 2 8 3 の少なくとも一は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

【0131】

なお、本明細書において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

【0132】

絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 5、絶縁体 2 8 2、および絶縁体 2 8 3 としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどを用いることができる。例えば、絶縁体 2 1 2、および絶縁体 2 8 3 として、より水素バリア性が高い、窒化シリコンなどを用いることが好ましい。また、例えば、絶縁体 2 1 4、絶縁体 2 7 5、および絶縁体 2 8 2 として、水素を捕獲および水素を固着する機能が高い、酸化アルミニウムまたは酸化マグネシウムなどを用いることが好ましい。これにより、水、水素などの不純物が絶縁体 2 1 2、および絶縁体 2 1 4 を介して、基板側からトランジスタ 1 1 およびトランジスタ 1 2 側に拡散するのを抑制することができる。または、水、水素などの不純物が絶縁体 2 8 3 よりも上側に配置されている層間絶縁膜などから、トランジスタ 1 1 およびトランジスタ 1 2 側に拡散するのを抑制することができる。または、絶縁体 2 2 4 などに含まれる酸素が、絶縁体 2 1 2、および絶縁体 2 1 4 を介して基板側に、拡散するのを抑制することができる。または、絶縁体 2 8 0 などに含まれる酸素が、絶縁体 2 8 2 などを介してトランジスタ 1 1 およびトランジスタ 1 2 より上方に、拡散するのを抑制することができる。この様に、トランジスタ 1 1 およびトランジスタ 1 2 を、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体 2 1 2、絶縁体 2 1 4、絶縁体 2 7 5、絶縁体 2 8 2、および絶縁体 2 8 3 で取り囲む構造とすることが好まし

い。

【0133】

ここで、絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283として、酸化アルミニウムなどを用いる場合、アモルファス構造を有する酸化物を用いることが好ましい。例えば、 AlO_x (x は0より大きい任意数)、または MgO_y (y は0より大きい任意数)などの金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲または固着する性質を有する場合がある。このようなアモルファス構造を有する金属酸化物をトランジスタ11およびトランジスタ12の構成要素として用いる、またはトランジスタ11およびトランジスタ12の周囲に設けることで、トランジスタ11およびトランジスタ12に含まれる水素、またはトランジスタ11およびトランジスタ12の周囲に存在する水素を捕獲または固着することができる。特にトランジスタ11およびトランジスタ12のチャンネル形成領域に含まれる水素を捕獲または固着することが好ましい。アモルファス構造を有する金属酸化物をトランジスタ11およびトランジスタ12の構成要素として用いる、またはトランジスタ11およびトランジスタ12の周囲に設けることで、良好な特性を有し、信頼性の高いトランジスタ11およびトランジスタ12、および半導体装置を作製することができる。

10

【0134】

また、絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283は、酸化アルミニウムなどを用いる場合、アモルファス構造であることが好ましいが、一部に多結晶構造の領域が形成されていてもよい。また、絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283は、アモルファス構造の層と、多結晶構造の層と、が積層された多層構造であってもよい。例えば、アモルファス構造の層の上に多結晶構造の層が形成された積層構造でもよい。

20

【0135】

絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283の成膜は、例えば、スパッタリング法を用いて行えばよい。スパッタリング法は、成膜ガスに水素を用いなくてよいので、絶縁体212、絶縁体214、絶縁体275、絶縁体282、および絶縁体283の水素濃度を低減することができる。なお、成膜方法は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

30

【0136】

また、絶縁体212、および絶縁体283の抵抗率を低くすることが好ましい場合がある。例えば、絶縁体212、および絶縁体283の抵抗率を概略 $1 \times 10^{13} \Omega \text{cm}$ とすることで、半導体装置作製工程のプラズマ等を用いる処理において、絶縁体212、および絶縁体283が、導電体205、導電体242、または導電体260のチャージアップを緩和することができる場合がある。絶縁体212、および絶縁体283の抵抗率は、好ましくは、 $1 \times 10^{10} \Omega \text{cm}$ 以上 $1 \times 10^{15} \Omega \text{cm}$ 以下とする。

【0137】

また、絶縁体216、および絶縁体280は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

40

【0138】

トランジスタ11において、導電体205は、酸化物230および導電体260と、重なるように配置される。導電体205は、図1Bなどに示すように、 y 方向に伸長して設ければよい。ここで、導電体205は、絶縁体216に形成された開口に埋め込まれて設けることが好ましい。なお、以下ではトランジスタ11の導電体205について説明する

50

が、トランジスタ 12 の導電体 206 についても当該説明を参酌することができる。

【0139】

導電体 205 は、導電体 205a、導電体 205b、および導電体 205c を有する。導電体 205a は、当該開口の底面および側壁に接して設けられる。導電体 205b は、導電体 205a に形成された凹部に埋め込まれるように設けられる。ここで、導電体 205b の上面は、導電体 205a の上面および絶縁体 216 の上面より低くなる。導電体 205c は、導電体 205b の上面、および導電体 205a の側面に接して設けられる。ここで、導電体 205c の上面の高さは、導電体 205a の上面の高さおよび絶縁体 216 の上面の高さと概略一致する。つまり、導電体 205b は、導電体 205a および導電体 205c に包み込まれる構成になる。

10

【0140】

ここで、導電体 205a および導電体 205c は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0141】

導電体 205a および導電体 205c に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体 205b に含まれる水素などの不純物が、絶縁体 224 等を介して、酸化物 230 に拡散するのを防ぐことができる。また、導電体 205a および導電体 205c に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体 205b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、 tantalum、窒化 tantalum、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体 205a としては、上記導電性材料を単層または積層とすればよい。例えば、導電体 205a は、窒化チタンを用いればよい。

20

【0142】

また、導電体 205b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体 205b は、タングステンを用いればよい。

30

【0143】

導電体 205 は、バックゲート電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 11 のしきい値電圧 (V_{th}) を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 11 の V_{th} をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0V のときのドレイン電流を小さくすることができる。

【0144】

また、導電体 205 の電気抵抗率は、上記の導電体 205 に印加する電位を考慮して設計され、導電体 205 の膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体 216 の膜厚は、導電体 205 とほぼ同じになる。ここで、導電体 205 の設計が許す範囲で導電体 205 および絶縁体 216 の膜厚を薄くすることが好ましい。絶縁体 216 の膜厚を薄くすることで、絶縁体 216 中に含まれる水素などの不純物の絶対量を低減することができるので、当該不純物が酸化物 230 に拡散するのを低減することができる。

40

【0145】

なお、導電体 205 は、図 3A、図 3B に示すように、酸化物 230 の導電体 242a および導電体 242b と重ならない領域の大きさよりも、大きく設けるとよい。特に、導電体 205 は、酸化物 230a および酸化物 230b のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 230 のチャネ

50

ル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。当該構成を有することで、トップゲート電極として機能する導電体260の電界と、バックゲート電極として機能する導電体205の電界によって、酸化物230のチャンネル形成領域を電氣的に取り囲むことができる。本明細書において、トップゲート、およびバックゲートの電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

【0146】

なお、本明細書等において、S-channel構造のトランジスタとは、一対のゲート電極の一方および他方の電界によって、チャンネル形成領域を電氣的に取り囲むトランジスタの構造を表す。また、本明細書等で開示するS-channel構造は、Fin型構造およびプレーナ型構造とは異なる。S-channel構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

10

【0147】

また、図1Bなどに示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

20

【0148】

なお、導電体205として、導電体205a、導電体205b、および導電体205cを積層する構成について示しているが、本発明はこれに限られるものではない。導電体205は、単層、2層または4層以上の積層構造として設ける構成にしてもよい。例えば、導電体205を2層の積層構造にする場合、導電体205cを設けず、導電体205aの上面と導電体205bの上面が一致する構造にすればよい。

【0149】

絶縁体222、および絶縁体224は、トランジスタ11およびトランジスタ12のバックゲートに対応するゲート絶縁体として機能する。

【0150】

絶縁体222は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

30

【0151】

絶縁体222は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、酸化物230および酸化物231から基板側への酸素の放出や、トランジスタ11およびトランジスタ12の周辺部から酸化物230および酸化物231への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタ11およびトランジスタ12の内側へ拡散することを抑制し、酸化物230および酸化物231中の酸素欠損の生成を抑制することができる。また、導電体205および導電体206が、絶縁体224や、酸化物230および酸化物231が有する酸素と反応することを抑制することができる。

40

【0152】

または、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化

50

ジルコニウムを添加してもよい。または、これらの絶縁体を窒化処理してもよい。また、絶縁体 2 2 2 は、これらの絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0153】

また、絶縁体 2 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（P Z T）、チタン酸ストロンチウム（S r T i O₃）、（B a , S r）T i O₃（B S T）などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

10

【0154】

酸化物 2 3 0 および酸化物 2 3 1 と接する絶縁体 2 2 4 は、過剰酸素を含む（加熱により酸素を脱離する）ことが好ましい。例えば、絶縁体 2 2 4 は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 2 3 0 および酸化物 2 3 1 に接して設けることにより、酸化物 2 3 0 および酸化物 2 3 1 中の酸素欠損を低減し、トランジスタ 1 1 およびトランジスタ 1 2 の信頼性を向上させることができる。

【0155】

絶縁体 2 2 4 として、具体的には、加熱により一部の酸素が脱離する酸化物材料、別言すると、過剰酸素領域を有する絶縁体材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、T D S（T h e r m a l D e s o r p t i o n S p e c t r o s c o p y）分析にて、酸素分子の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化膜である。なお、上記 T D S 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

20

【0156】

また、トランジスタ 1 1 およびトランジスタ 1 2 の作製工程中において、酸化物 2 3 0 および酸化物 2 3 1 の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、 100°C 以上 600°C 以下、より好ましくは 350°C 以上 550°C 以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを 10 p p m 以上、1 % 以上、もしくは 10 % 以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物 2 3 0 および酸化物 2 3 1 に酸素を供給して、酸素欠損（V o）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気加熱処理した後に、脱離した酸素を補うために、酸化性ガスを 10 p p m 以上、1 % 以上、または 10 % 以上含む雰囲気で行ってもよい。または、酸化性ガスを 10 p p m 以上、1 % 以上、または 10 % 以上含む雰囲気加熱処理した後に、連続して窒素ガスもしくは不活性ガスの雰囲気加熱処理を行っても良い。

30

【0157】

なお、酸化物 2 3 0 および酸化物 2 3 1 に加酸素化処理を行うことで、酸化物 2 3 0 および酸化物 2 3 1 中の酸素欠損を、供給された酸素により修復させる、別言すると「V o + O → n u l l」という反応を促進させることができる。さらに、酸化物 2 3 0 および酸化物 2 3 1 中に残存した水素に供給された酸素が反応することで、当該水素を H₂O として除去する（脱水化する）ことができる。これにより、酸化物 2 3 0 および酸化物 2 3 1 中に残存していた水素が酸素欠損に再結合して V o H が形成されるのを抑制することができる。

40

【0158】

なお、絶縁体 2 2 2、および絶縁体 2 2 4 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でも

50

よい。また、絶縁体 2 2 4 は、酸化物 2 3 0 a および酸化物 2 3 1 a と重畳して島状に形成してもよい。この場合、絶縁体 2 7 5 が、絶縁体 2 2 4 の側面および絶縁体 2 2 2 の上面に接する構成になる。

【0159】

酸化物 2 4 3 a、および酸化物 2 4 3 b が、酸化物 2 3 0 b 上に設けられる。酸化物 2 4 3 a、および酸化物 2 4 3 b は、それぞれ導電体 2 6 0 を挟んで離隔して設けられる。なお、以下ではトランジスタ 1 1 の酸化物 2 4 3 について説明するが、トランジスタ 1 2 の酸化物 2 4 5 についても当該説明を参酌することができる。

【0160】

酸化物 2 4 3（酸化物 2 4 3 a、および酸化物 2 4 3 b）は、酸素の透過を抑制する機能を有することが好ましい。ソース電極やドレイン電極として機能する導電体 2 4 2 と酸化物 2 3 0 b との間に酸素の透過を抑制する機能を有する酸化物 2 4 3 を配置することで、導電体 2 4 2 と、酸化物 2 3 0 b との間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ 1 1 の電気特性およびトランジスタ 1 1 の信頼性を向上させることができる。なお、導電体 2 4 2 と酸化物 2 3 0 b の間の電気抵抗を十分低減できる場合、酸化物 2 4 3 を設けない構成にしてもよい。

10

【0161】

酸化物 2 4 3 として、元素 M を有する金属酸化物を用いてもよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。酸化物 2 4 3 は、酸化物 2 3 0 b よりも元素 M の濃度が高いことが好ましい。また、酸化物 2 4 3 として、酸化ガリウムを用いてもよい。また、酸化物 2 4 3 として、 I_n-M-Z_n 酸化物等の金属酸化物を用いてもよい。具体的には、酸化物 2 4 3 に用いる金属酸化物において、 I_n に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、 I_n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 4 3 の膜厚は、0.5 nm 以上 5 nm 以下が好ましく、より好ましくは 1 nm 以上 3 nm 以下、さらに好ましくは 1 nm 以上 2 nm 以下である。また、酸化物 2 4 3 は、結晶性を有すると好ましい。酸化物 2 4 3 が結晶性を有する場合、酸化物 2 3 0 中の酸素の放出を好適に抑制することが出来る。例えば、酸化物 2 4 3 としては、六方晶などの結晶構造であれば、酸化物 2 3 0 中の酸素の放出を抑制できる場合がある。

20

【0162】

導電体 2 4 2 a は酸化物 2 4 3 a の上面に接して設けられ、導電体 2 4 2 b は酸化物 2 4 3 b の上面に接して設けられることが好ましい。導電体 2 4 2 a、および導電体 2 4 2 b は、A5-A6 方向に配列しており、それぞれ導電体 2 6 0 を挟んで離隔して設けられる。なお、以下ではトランジスタ 1 1 の導電体 2 4 2 について説明するが、トランジスタ 1 2 の導電体 2 4 4 についても当該説明を参酌することができる。

30

【0163】

導電体 2 4 2（導電体 2 4 2 a、および導電体 2 4 2 b）としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタルおよびアルミニウムを含む窒化物、チタンおよびアルミニウムを含む窒化物などを用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いてもよい。これらの材料は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

40

【0164】

なお、酸化物 2 3 0 b などに含まれる水素が、導電体 2 4 2 a、および導電体 2 4 2 b に拡散する場合がある。特に、導電体 2 4 2 a、および導電体 2 4 2 b に、タンタルを含む窒化物を用いることで、酸化物 2 3 0 b などに含まれる水素は、導電体 2 4 2 a、および導電体 2 4 2 b に拡散し、拡散した水素は、導電体 2 4 2 a、および導電体 2 4 2 b が有する窒素と結合することがある。つまり、酸化物 2 3 0 b などに含まれる水素は、導電

50

体 2 4 2 a、および導電体 2 4 2 b に吸い取られる場合がある。

【0165】

また、導電体 2 4 2 の側面と導電体 2 4 2 の上面との間に、湾曲面が形成されない構成にしてもよい。当該湾曲面が形成されない導電体 2 4 2 とすることで、チャンネル幅方向の断面における、導電体 2 4 2 の断面積を大きくすることができる。これにより、導電体 2 4 2 の導電率を大きくし、トランジスタ 1 1 のオン電流を大きくすることができる。

【0166】

絶縁体 2 7 5 は、絶縁体 2 2 4、酸化物 2 3 0、酸化物 2 3 1、酸化物 2 4 3、酸化物 2 4 5、導電体 2 4 2、および導電体 2 4 4 を覆って設けられており、導電体 2 6 0、導電体 2 6 1、導電体 2 4 0 などが設けられる領域に開口が形成されている。絶縁体 2 7 5 は、絶縁体 2 2 4 の上面、酸化物 2 3 0 の側面、酸化物 2 4 3 の側面、導電体 2 4 2 の側面、導電体 2 4 2 の上面、酸化物 2 3 1 の側面、酸化物 2 4 5 の側面、導電体 2 4 4 の側面、および導電体 2 4 4 の上面に接して設けられることが好ましい。また、絶縁体 2 7 5 は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体 2 7 5 は、水、水素などの不純物が、上方から絶縁体 2 2 4、酸化物 2 3 0 または酸化物 2 3 1 に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。絶縁体 2 7 5 としては、例えば、酸化アルミニウム、または窒化シリコンなどの絶縁体を用いればよい。

【0167】

絶縁体 2 1 2 と絶縁体 2 8 3 に挟まれた領域内で、絶縁体 2 8 0、および絶縁体 2 2 4、に接して、水素などの不純物を捕獲する機能を有する、絶縁体 2 7 5 を設けることで、絶縁体 2 8 0、および絶縁体 2 2 4 などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。この場合は、絶縁体 2 7 5 として、酸化アルミニウムなどを用いることが好ましい。

【0168】

なお、絶縁体 2 7 5 と、導電体 2 4 2 および導電体 2 4 4 との間に、上面視において導電体 2 4 2 および導電体 2 4 4 と同様の形状の、バリア絶縁膜を設けてもよい。当該バリア絶縁膜には、絶縁体 2 7 5 に用いることができる絶縁体を用いればよい。

【0169】

絶縁体 2 5 0 は、トランジスタ 1 1 のトップゲートのゲート絶縁体として機能する。トランジスタ 1 1 において、絶縁体 2 5 0 は、酸化物 2 3 0 b に重畳して配置することが好ましい。なお、以下ではトランジスタ 1 1 の絶縁体 2 5 0 について説明するが、トランジスタ 1 2 の絶縁体 2 5 1 についても当該説明を参酌することができる。

【0170】

絶縁体 2 5 0 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

【0171】

絶縁体 2 5 0 は、絶縁体 2 2 4 と同様に、絶縁体 2 5 0 中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体 2 5 0 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

【0172】

なお、図 3 A、図 3 B では、絶縁体 2 5 0 を単層で図示したが、2 層以上の積層構造としてもよい。絶縁体 2 5 0 を 2 層の積層構造とする場合、絶縁体 2 5 0 の下層は、加熱により酸素が放出される絶縁体を用いて形成し、絶縁体 2 5 0 の上層は、酸素の拡散を抑制する機能を有する絶縁体を用いて形成することが好ましい。このような構成にすることで、絶縁体 2 5 0 の下層に含まれる酸素が、導電体 2 6 0 へ拡散するのを抑制することができる。つまり、酸化物 2 3 0 へ供給する酸素量の減少を抑制することができる。また、絶縁体 2 5 0 の下層に含まれる酸素による導電体 2 6 0 の酸化を抑制することができる。例

例えば、絶縁体 250 の下層は、上述した絶縁体 250 に用いることができる材料を用いて設け、絶縁体 250 の上層は、絶縁体 222 と同様の材料を用いて設けることができる。

【0173】

なお、絶縁体 250 の下層に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体 250 の上層は、比誘電率が高い *high-k* 材料である絶縁性材料を用いてもよい。ゲート絶縁体を、絶縁体 250 の下層と絶縁体 250 の上層との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

10

【0174】

絶縁体 250 の上層として、具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、もしくは二種以上が含まれた金属酸化物、または酸化物 230 として用いることができる金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いることが好ましい。例えば、絶縁体 250 として、酸化シリコンと、該酸化シリコン上の酸化ハフニウムを含む積層構造を用いればよい。

【0175】

また、絶縁体 250 と導電体 260 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 250 から導電体 260 への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 250 から導電体 260 への酸素の拡散が抑制される。つまり、酸化物 230 へ供給する酸素量の減少を抑制することができる。また、絶縁体 250 の酸素による導電体 260 の酸化を抑制することができる。

20

【0176】

なお、上記金属酸化物は、トップゲート電極の一部としての機能を有する構成にしてもよい。例えば、酸化物 230 として用いることができる金属酸化物を、上記金属酸化物として用いることができる。その場合、導電体 260 a をスパッタリング法で成膜することで、上記金属酸化物の電気抵抗値を低下させて導電体とすることができる。これを OC (Oxide Conductor) 電極と呼ぶことができる。

30

【0177】

上記金属酸化物を有することで、導電体 260 からの電界の影響を弱めることなく、トランジスタ 11 のオン電流の向上を図ることができる。また、絶縁体 250 と、上記金属酸化物との物理的な厚みにより、導電体 260 と、酸化物 230 との間の距離を保つことで、導電体 260 と酸化物 230 との間のリーク電流を抑制することができる。また、絶縁体 250、および上記金属酸化物との積層構造を設けることで、導電体 260 と酸化物 230 との間の物理的な距離、および導電体 260 から酸化物 230 へかかる電界強度を、容易に適宜調整することができる。

【0178】

導電体 260 は、トランジスタ 11 のトップゲート電極として機能する。トランジスタ 11 において、導電体 260 は、導電体 260 a と、導電体 260 a の上に配置された導電体 260 b と、を有することが好ましい。なお、以下ではトランジスタ 11 の導電体 260 について説明するが、トランジスタ 12 の導電体 261 についても当該説明を参酌することができる。

40

【0179】

例えば、導電体 260 a は、導電体 260 b の底面および側面を包むように配置されることが好ましい。また、図 3 A、図 3 B に示すように、導電体 260 の上面は、絶縁体 250 の最上面、および酸化物 230 c の最上面と概略一致している。なお、図 3 A、図 3 B では、導電体 260 は、導電体 260 a と導電体 260 b の 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

50

【0180】

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0181】

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

10

【0182】

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層構造としてもよい。

【0183】

また、図3Aに示すように、トランジスタ11のチャネル幅方向において、絶縁体222の底面を基準としたときの、導電体260の、導電体260と酸化物230bとが重ならない領域の底面の高さは、酸化物230bの底面の高さより低いことが好ましい。ゲート電極として機能する導電体260が、絶縁体250などを介して、酸化物230bのチャネル形成領域の側面および上面を覆う構成とすることで、導電体260の電界を酸化物230bのチャネル形成領域全体に作用させやすくなる。よって、トランジスタ11のオン電流を増大させ、周波数特性を向上させることができる。絶縁体222の底面を基準としたときの、酸化物230aおよび酸化物230bと、導電体260とが、重ならない領域における導電体260の底面の高さ、酸化物230bの底面の高さとの差は、0nm以上100nm以下、好ましくは、3nm以上50nm以下、より好ましくは、5nm以上20nm以下とする。

20

【0184】

絶縁体280は、絶縁体275上に設けられ、導電体260、導電体261、導電体240などが設けられる領域に開口が形成されている。また、絶縁体280の上面は、平坦化されていてもよい。

30

【0185】

層間膜として機能する絶縁体280は、誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。絶縁体280は、例えば、絶縁体216と同様の材料を用いて設けることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

【0186】

絶縁体280は、絶縁体224と同様に、過剰酸素領域または過剰酸素を有することが好ましい。また、絶縁体280中の水、水素などの不純物濃度は低減されていることが好ましい。例えば、絶縁体280は、酸化シリコン、酸化窒化シリコンなどのシリコンを含む酸化物を適宜用いればよい。過剰酸素を有する絶縁体を酸化物230および酸化物231に接して設けることにより、酸化物230および酸化物231中の酸素欠損を低減し、トランジスタ11およびトランジスタ12の信頼性を向上させることができる。

40

【0187】

トランジスタ12と容量素子13の間に設けられる導電体240は、下面が導電体244bに接し、上面が導電体207に接する。さらに、プラグとして機能する導電体240の側面に接して絶縁体241が設けられることが好ましい。

50

【0188】

絶縁体275、および絶縁体280の開口の内壁に接して絶縁体241が設けられ、絶縁体241の側面に接して導電体240の第1の導電体が設けられ、さらに内側に導電体240の第2の導電体が設けられている。なお、図3Aでは、導電体240の第1の導電体および導電体240の第2の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240を単層、または3層以上の積層構造として設ける構成にしてもよい。

【0189】

導電体240は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240は積層構造としてもよい。導電体240を積層構造とする場合、絶縁体275、および絶縁体280と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。これにより、絶縁体280などに含まれる水、水素などの不純物が、導電体240を通じて酸化物231に混入するのを抑制することができる。

【0190】

絶縁体241としては、例えば、窒化シリコン、酸化アルミニウム、窒化酸化シリコンなどの絶縁体を用いればよい。絶縁体241は、絶縁体275、および絶縁体280に接して設けられるので、絶縁体280などに含まれる水、水素などの不純物が、導電体240を通じて酸化物230に混入するのを抑制することができる。特に、窒化シリコンは水素に対するブロッキング性が高いので好適である。また、絶縁体280に含まれる酸素が導電体240に吸収されるのを防ぐことができる。

【0191】

また、導電体240の上面、および導電体260の上面に接して、導電体207が設けられる。ここで、導電体207はノードFNとして機能する。つまり、トランジスタ12のソースまたはドレインの他方として機能する導電体244bは、導電体240、および導電体207を介して、トランジスタ11のゲートとして機能する導電体260に電氣的に接続される。

【0192】

また、導電体207と同じ層において、導電体261の上面に接して、導電体209が設けられる。ここで、導電体209は配線WLとして機能する。

【0193】

導電体207、および導電体209は、同じ導電膜をパターニングして形成すればよい。導電体207、および導電体209は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体207、および導電体209は、積層構造としてもよく、例えば、チタン、または窒化チタンと上記導電性材料との積層としてもよい。なお、導電体207、および導電体209は、絶縁体に設けられた開口に埋め込まれるように形成してもよい。

【0194】

絶縁体282は、導電体207、および導電体209を覆い、且つ絶縁体280の上面と接して配置される。絶縁体282は、容量素子13の誘電体として機能するので、等価酸化膜厚(EOT: Equivalent oxide thickness)が薄い、絶縁体を用いることが好ましい。絶縁体282としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などを用いることができる。なお、本明細書中において、等価酸化膜厚とは、物理的な膜厚を酸化シリコンまたは酸化窒化シリコンと等価な電氣的膜厚に

10

20

30

40

50

換算した値をいう。

【0195】

例えば、絶縁体282として、比誘電率8.5の酸化アルミニウムを用い、容量素子13の面積が 61800 nm^2 とすると、絶縁体282の膜厚を 5 nm 以下にすることで、容量素子13の容量値を 0.9 fF 以上にすることができる。ここで、比誘電率を3.9にしたEOTを用いて絶縁体282の膜厚を表すと、絶縁体282の膜厚は 2.3 nm になる。

【0196】

容量素子13の容量値が 0.9 fF 以上ならば、トランジスタ12のゲート容量より十分大きいため、メモリセル10のデータの書き込み、および読み出しを十分に行うことができる。つまり、絶縁体282の膜厚を 5 nm 以下程度にすることで、メモリセル10を記憶装置として十分機能させることができる。

【0197】

また、絶縁体282は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能することが好ましく、水素などの不純物を捕獲する機能を有することが好ましい。また、絶縁体282は、酸素の透過を抑制するバリア絶縁膜として機能することが好ましい。絶縁体282としては、例えば、酸化アルミニウムなどの絶縁体を用いればよい。絶縁体212と絶縁体283に挟まれた領域内で、絶縁体280に接して、水素などの不純物を捕獲する機能を有する、絶縁体282を設けることで、絶縁体280などに含まれる水素などの不純物を捕獲し、当該領域内における、水素の量を一定値にすることができる。

【0198】

また、絶縁体282は、スパッタリング法を用いて形成することが好ましい。例えば、酸素を含む雰囲気中でスパッタリング法を用いて成膜すればよい。スパッタリング法で絶縁体282を成膜することで、絶縁体280に酸素を添加することができる。これにより、絶縁体280に含まれる酸素を、酸化物230cまたは酸化物231cを介して、酸化物230または酸化物231へ効率よく供給することができるので、酸化物230中および酸化物231中の酸素欠損を低減し、トランジスタ11およびトランジスタ12の電気特性および信頼性を向上させることができる。ただし、絶縁体282の成膜方法は、スパッタリング法に限られるものではなく、CVD法、MBE法、PLD法、ALD法などを適宜用いてもよい。

【0199】

また、絶縁体282の上に、少なくとも一部が導電体207と重畳するように、導電体208が設けられる。ここで、導電体208は配線CLとして機能する。導電体208は、導電体209などに用いることができる導電体を用いればよい。なお、導電体208は、絶縁体に設けられた開口に埋め込まれるように形成してもよい。

【0200】

絶縁体283は、絶縁体282および導電体208を覆って設けられる。絶縁体283は、水、水素などの不純物が、上方から絶縁体280に拡散するのを抑制するバリア絶縁膜として機能する。絶縁体283としては、窒化シリコンまたは窒化酸化シリコンなどの、シリコンを含む窒化物を用いることが好ましい。例えば、絶縁体283としてスパッタリング法で成膜された窒化シリコンを用いればよい。絶縁体283をスパッタリング法で成膜することで、密度が高く、鬆などが形成されにくい窒化シリコン膜を形成することができる。また、絶縁体283として、スパッタリング法で成膜された窒化シリコンの上に、さらに、CVD法で成膜された窒化シリコンを積層してもよい。

【0201】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

【0202】

なお、以下に示す絶縁体、導電体、酸化物の成膜は、スパッタリング法、CVD法、M

10

20

30

40

50

BE法、PLD法、ALD法などを用いて行うことができる。

【0203】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0204】

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD（Thermal ALD）法、プラズマ励起されたリアクタントを用いるPEALD（Plasma Enhanced ALD）法などを用いることができる。

【0205】

<<基板>>

トランジスタ11およびトランジスタ12を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0206】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0207】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0208】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0209】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0210】

また、金属酸化物を用いたトランジスタは、水素などの不純物および酸素の透過を抑制

10

20

30

40

50

する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

10

【0211】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補償することができる。

【0212】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

20

30

【0213】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0214】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

40

【0215】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化

50

物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0216】

<<金属酸化物>>

酸化物230として、半導体として機能する金属酸化物（酸化物半導体）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0217】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0218】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、および錫の中から選ばれる一または複数とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0219】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0220】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図5Aを用いて説明を行う。図5Aは、酸化物半導体、代表的にはIGZO（Inと、Gaと、Znと、を含む金属酸化物）の結晶構造の分類を説明する図である。

【0221】

図5Aに示すように、酸化物半導体は、大きく分けて「Amorphous（無定形）」と、「Crystalline（結晶性）」と、「Crystal（結晶）」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）、及びCAC（cloud-aligned composite）が含まれる（excluding single crystal and polycrystal）。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

【0222】

なお、図5Aに示す太枠内の構造は、「Amorphous（無定形）」と、「Crystal（結晶）」との間の中間状態であり、新しい境界領域（New crystalline phase）に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous（無定形）」や、「Crystal（結晶）」とは全く異なる

10

20

30

40

50

る構造と言い換えることができる。

【0223】

なお、膜または基板の結晶構造は、X線回折（XRD：X-Ray Diffraction）スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD（Grazing-Incidence XRD）測定で得られるXRDスペクトルを図5Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図5Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図5Bに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、図5Bに示すCAAC-IGZO膜の厚さは、500nmである。

10

【0224】

図5Bでは、横軸は 2θ [deg.] であり、縦軸は強度（Intensity）[a.u.] である。図5Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図5Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0225】

また、膜または基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図5Cに示す。図5Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図5Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

20

【0226】

図5Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0227】

<<酸化物半導体の構造>>

30

なお、酸化物半導体は、結晶構造に着目した場合、図5Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、などが含まれる。

【0228】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0229】

40

【CAAC-OS】

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をし

50

ていない酸化物半導体である。

【0230】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶（最大径が10 nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10 nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0231】

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-Osは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

【0232】

CAAC-Os膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置（ 2θ の値）は、CAAC-Osを構成する金属元素の種類、組成などにより変動する場合がある。

【0233】

また、例えば、CAAC-Os膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点对称の位置に観測される。

【0234】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-Osにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-Osが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0235】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-Osは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-Osを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0236】

CAAC-Osは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-Osは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-Osを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-Osを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-Osは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定であ

10

20

30

40

50

る。したがって、O S トランジスタに C A A C - O S を用いると、製造工程の自由度を広げることが可能となる。

【0237】

[n c - O S]

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。別言すると、n c - O S は、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 n m 以上 1 0 n m 以下、特に 1 n m 以上 3 n m 以下であることから、当該微小な結晶をナノ結晶ともいう。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S 膜に対し、X R D 装置を用いて構造解析を行うと、 $\theta / 2 \theta$ スキャンを用いた O u t - o f - p l a n e X R D 測定では、結晶性を示すピークが検出されない。また、n c - O S 膜に対し、ナノ結晶よりも大きいプローブ径（例えば 5 0 n m 以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば 1 n m 以上 3 0 n m 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0238】

[a - l i k e O S]

a - l i k e O S は、n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a - l i k e O S は、鬆又は低密度領域を有する。即ち、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、結晶性が低い。また、a - l i k e O S は、n c - O S 及び C A A C - O S と比べて、膜中の水素濃度が高い。

【0239】

< < 酸化物半導体の構成 > >

次に、上述の C A C - O S の詳細について、説明を行う。なお、C A C - O S は材料構成に関する。

【0240】

[C A C - O S]

C A C - O S とは、例えば、金属酸化物を構成する元素が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0 . 5 n m 以上 1 0 n m 以下、好ましくは、1 n m 以上 3 n m 以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

【0241】

さらに、C A C - O S とは、第 1 の領域と、第 2 の領域と、に材料が分離することでモザイク状となり、当該第 1 の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、C A C - O S は、当該第 1 の領域と、当該第 2 の領域とが、混合している構成を有する複合金属酸化物である。

【0242】

ここで、I n - G a - Z n 酸化物における C A C - O S を構成する金属元素に対する I n 、G a 、および Z n の原子数比のそれぞれを、[I n] 、[G a] 、および [Z n] と表記する。例えば、I n - G a - Z n 酸化物における C A C - O S において、第 1 の領域は、[I n] が、C A C - O S 膜の組成における [I n] よりも大きい領域である。また、第 2 の領域は、[G a] が、C A C - O S 膜の組成における [G a] よりも大きい領域である。または、例えば、第 1 の領域は、[I n] が、第 2 の領域における [I n] よりも大きく、且つ、[G a] が、第 2 の領域における [G a] よりも小さい領域である。また、第 2 の領域は、[G a] が、第 1 の領域における [G a] よりも大きく、且つ、[I

n] が、第 1 の領域における [I n] よりも小さい領域である。

【0243】

具体的には、上記第 1 の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第 2 の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第 1 の領域を、I n を主成分とする領域と言い換えることができる。また、上記第 2 の領域を、G a を主成分とする領域と言い換えることができる。

【0244】

なお、上記第 1 の領域と、上記第 2 の領域とは、明確な境界が観察できない場合がある。

【0245】

例えば、I n - G a - Z n 酸化物における C A C - O S では、エネルギー分散型 X 線分光法 (E D X : E n e r g y D i s p e r s i v e X - r a y s p e c t r o s c o p y) を用いて取得した E D X マッピングにより、I n を主成分とする領域 (第 1 の領域) と、G a を主成分とする領域 (第 2 の領域) とが、偏在し、混合している構造を有することが確認できる。

【0246】

C A C - O S をトランジスタに用いる場合、第 1 の領域に起因する導電性と、第 2 の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能 (O n / O f f させる機能) を C A C - O S に付与することができる。つまり、C A C - O S とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、C A C - O S をトランジスタに用いることで、高いオン電流 (I o n) 、高い電界効果移動度 (μ) 、および良好なスイッチング動作を実現することができる。

【0247】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S 、C A C - O S 、n c - O S 、C A A C - O S のうち、二種以上を有していてもよい。

【0248】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0249】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0250】

トランジスタのチャンネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャンネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

【0251】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0252】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が

10

20

30

40

50

長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0253】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0254】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0255】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体のチャネル形成領域におけるシリコンや炭素の濃度と、酸化物半導体のチャネル形成領域との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0256】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0257】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャネル形成領域中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0258】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体のチャネル形成領域において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

【0259】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0260】

<<その他の半導体材料>>

10

20

30

40

50

酸化物 230 に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物 230 として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

【0261】

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

【0262】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

【0263】

酸化物 230 として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物 230 として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には MoS_2 ）、セレン化モリブデン（代表的には MoSe_2 ）、モリブデンテルル（代表的には MoTe_2 ）、硫化タングステン（代表的には WS_2 ）、セレン化タングステン（代表的には WSe_2 ）、タングステンテルル（代表的には WTe_2 ）、硫化ハフニウム（代表的には HfS_2 ）、セレン化ハフニウム（代表的には HfSe_2 ）、硫化ジルコニウム（代表的には ZrS_2 ）、セレン化ジルコニウム（代表的には ZrSe_2 ）などが挙げられる。

【0264】

<半導体装置の変形例>

以下では、図6、図7A、図7B、図8A、図8Bを用いて、本発明の一態様である半導体装置の一例について説明する。

【0265】

図6はメモリセル10の上面図である。図7Aは、図6にA1-A2-A3の一点鎖線で示す部位の断面図である。ここで、A1-A2に示す断面図は、トランジスタ12のチャネル長方向の断面図であり、A2-A3に示す断面図は、トランジスタ11のチャネル幅方向の断面図である。また、図7Bは、図6にA4-A5-A6の一点鎖線で示す部位の断面図である。ここで、A4-A5に示す断面図は、トランジスタ12のチャネル幅方向の断面図であり、A5-A6に示す断面図は、トランジスタ11のチャネル長方向の断面図である。なお、図6の上面図では、図の明瞭化のために一部の要素（例えば、配線CL）を省いている。

【0266】

なお、図6、図7A、図7Bに示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。なお、本項目においても、半導体装置の構成要素については<半導体装置の構成例>での説明を参照することができる。

【0267】

図6、図7A、図7Bに示す半導体装置は、図1B、図2A、図2B、図3A、図3Bに示した半導体装置の変形例である。図6、図7A、図7Bに示すメモリセル10は、図1B、図2A、図2B、図3A、図3Bに示したメモリセル10とは、導電体260の一部が、導電体207から露出している、ことが異なる。

【0268】

ここで、当該導電体260の一部は、絶縁体282に接している。よって、図6、図7A、図7Bに示すメモリセル10では、導電体207および導電体260が、容量素子13の下部電極として機能する。

【0269】

また、導電体260の絶縁体282と接する領域は、トランジスタ11のチャネル形成領域近傍と重なる領域を含む。つまり、図6、図7A、図7Bに示すメモリセル10では、トランジスタ11のチャネル形成領域の上部近傍において、絶縁体282と、絶縁体280、酸化物230c、絶縁体250、および導電体260と、が接している。

【0270】

このような構成にすることで、トランジスタ11のチャネル形成領域の上部近傍に、水、水素などの不純物に対するバリア絶縁膜を設けることができるので、当該不純物が、酸化物230c、絶縁体250などを介して、酸化物230に拡散するのをより効果的に低減することができる。また、絶縁体282をスパッタリング法で成膜することで、絶縁体280のよりトランジスタ11のチャネル形成領域に近い領域に酸素を添加することができる。これにより、絶縁体280に含まれる酸素を、酸化物230cまたは絶縁体250を介して、酸化物230へより効率よく供給することができるので、酸化物230中の酸素欠損を低減し、トランジスタ11の電気特性および信頼性を向上させることができる。

【0271】

また、図1Aなどでは、配線BGL1、および配線BGL2をy方向に伸長する例を示したが、本発明に係る半導体装置は、これに限られるものではない。例えば、図8Aに示すように、トランジスタ11およびトランジスタ12にバックゲートを設けない構成にしてもよい。また、例えば、図8Bに示すように、配線BGL1、および配線BGL2をx方向に伸長して設ける構成にしてもよい。

【0272】

また、図1Aなどでは、メモリセル10の読み出しを行う際に、読み出し電位を与える配線CLを、容量素子13の上部電極に接続する例について示したが、本発明に係る半導体装置は、これに限られるものではない。例えば、トランジスタ11のバックゲート電極に配線CLを接続する構成にしてもよい。この場合、容量素子13の上部電極に接続する配線には、低電源電位VSSを与えればよい。つまり、導電体205を、メモリセル10の読み出しを行う際に、読み出し電位を与える配線CLとし、導電体208を、低電源電位VSSが与えられる配線とすればよい。

【0273】

本発明の一形態により、占有面積が小さい半導体装置を提供することができる。または、本発明の一形態により、高集積化が可能な半導体装置を提供することができる。または、本発明の一形態により、記憶容量の大きい半導体装置を提供することができる。または、本発明の一形態により、製造コストの低い半導体装置を提供することができる。または、本発明の一形態により、信頼性の高い半導体装置を提供することができる。または、本発明の一形態により、新規な半導体装置を提供することができる。

【0274】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、または他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0275】

(実施の形態2)

本実施の形態では、先の実施の形態に示すメモリセル10を含む半導体装置500の構成例について説明する。

【0276】

図9Aに、本発明の一態様である半導体装置500の構成例を示すブロック図を示す。図9Aに示す半導体装置500は、駆動回路510と、メモリセルアレイ520と、を有する。メモリセルアレイ520は、複数のメモリセルストリング20を有する、NAND

10

20

30

40

50

型のメモリセルアレイである。メモリセルストリング20は、複数のメモリセル10を有する。図9Aでは、メモリセルアレイ520がn本（nは2以上の整数。）のメモリセルストリング20[1]乃至20[n]を有する例を示している。ただし、本発明はこれに限られるものではなく、例えば、n本のメモリセルストリング20を1ブロックとし、複数のブロックをメモリセルアレイ520が有する構成にしてもよい。

【0277】

駆動回路510は、PSW541（パワースイッチ）、PSW542、および周辺回路515を有する。周辺回路515は、周辺回路511、コントロール回路512、および電圧生成回路528を有する。

【0278】

半導体装置500において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。あるいは、他の回路または他の信号を追加してもよい。信号BW、CE、GW、CLK、WAKE、ADDR、WDA、PON1、PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。信号CLKはクロック信号である。

【0279】

また、信号BW、CE、および信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、PON2は、パワーゲーティング制御用信号である。なお、信号PON1、PON2は、コントロール回路512で生成してもよい。

【0280】

コントロール回路512は、半導体装置500の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路512は、信号CE、信号GWおよび信号BWを論理演算して、半導体装置500の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路512は、この動作モードが実行されるように、周辺回路511の制御信号を生成する。

【0281】

電圧生成回路528は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路528への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路528へ入力され、電圧生成回路528は負電圧を生成する。

【0282】

周辺回路511は、メモリセル10に対するデータの書き込みおよび読み出しをするための回路である。周辺回路511は、行デコーダ521、列デコーダ522、行ドライバ523、列ドライバ524、入力回路525、出力回路526、センスアンプ527を有する。

【0283】

行デコーダ521および列デコーダ522は、信号ADDRをデコードする機能を有する。行デコーダ521は、アクセスする行を指定するための回路であり、列デコーダ522は、アクセスする列を指定するための回路である。行ドライバ523は、行デコーダ521が指定する配線WLを選択する機能を有する。列ドライバ524は、データをメモリセル10に書き込む機能、メモリセル10からデータを読み出す機能、読み出したデータを保持する機能等を有する。

【0284】

入力回路525は、信号WDAを保持する機能を有する。入力回路525が保持するデータは、列ドライバ524に出力される。入力回路525の出力データが、メモリセル10に書き込むデータ（Din）である。列ドライバ524がメモリセル10から読み出したデータ（Dout）は、出力回路526に出力される。出力回路526は、Doutを保持する機能を有する。また、出力回路526は、Doutを半導体装置500の外部に

10

20

30

40

50

出力する機能を有する。出力回路526から出力されるデータが信号RDAである。

【0285】

PSW541は周辺回路515への V_{DD} の供給を制御する機能を有する。PSW542は、行ドライバ523への V_{HM} の供給を制御する機能を有する。ここでは、半導体装置500の高電源電圧が V_{DD} であり、低電源電圧はGND（接地電位）である。また、 V_{HM} は、ワード線を高レベルにするために用いられる高電源電圧であり、 V_{DD} よりも高い。信号PON1によってPSW541のオン・オフが制御され、信号PON2によってPSW542のオン・オフが制御される。図9Aでは、周辺回路515において、 V_{DD} が供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

10

【0286】

駆動回路510とメモリセルアレイ520は同一平面上に設けてもよい。また、図9Bに示すように、駆動回路510とメモリセルアレイ520を重ねて設けてもよい。駆動回路510とメモリセルアレイ520を重ねて設けることで、信号伝搬距離を短くすることができる。また、半導体装置500の小型化が実現できる。

【0287】

図10に、メモリセルアレイ520におけるメモリセル10の配置例を説明する回路図を示す。メモリセルアレイ520は、x方向に延在されたn本のメモリセルストリング20[1]乃至メモリセルストリング20[n]を有する。各メモリセルストリング20は、x方向に配列されたm個（mは2以上の整数。）のメモリセル10と、トランジスタ14と、トランジスタ15と、を有する。よって、メモリセルアレイ520において、 $m \times n$ 個のメモリセル10が、n行m列のマトリクス状に配列されている。また、n個のトランジスタ14[1]乃至トランジスタ14[n]と、n個のトランジスタ15[1]乃至トランジスタ15[n]と、がそれぞれy方向に配列されている。なお、各メモリセル10の回路構成は、図1Aに示す構成と同様であり、配線の接続なども同様であるため、先の実施の形態の記載を参酌することができる。

20

【0288】

各メモリセルストリング20において、複数のトランジスタ11のソースとドレインは直列接続され、且つ複数のトランジスタ12のソースとドレインも直列接続されている。また、各メモリセルストリング20の一方の端部において、トランジスタ11のソースまたはドレインの一方は、トランジスタ14のソースまたはドレインの一方に電氣的に接続される。また、各メモリセルストリング20の他方の端部において、トランジスタ11のソースまたはドレインの他方は、トランジスタ15のソースまたはドレインの一方に電氣的に接続される。

30

【0289】

図10では、1行1列目のメモリセル10をメモリセル10[1, 1]と示し、n行m列目のメモリセル10をメモリセル10[n, m]と示している。また、j行i列目（jは1以上n以下の整数。iは1以上m以下の整数。）のメモリセル10をメモリセル10[j, i]と示している。

【0290】

なお、行と列は互いに直交する方向に延在する。本実施の形態では、x方向を「行」とし、y方向を「列」としているが、x方向を「列」とし、y方向を「行」としてもよい。

40

【0291】

また、メモリセルアレイ520は、y方向に延在されたm本の配線CL[1]乃至配線CL[m]と、y方向に延在されたm本の配線WL[1]乃至配線WL[m]と、y方向に延在されたm本の配線BGL1[1]乃至配線BGL1[m]と、y方向に延在されたm本の配線BGL2[1]乃至配線BGL2[m]と、y方向に延在された2本の配線SEL[1]および配線SEL[2]と、を有する。ここで、配線SEL[1]は、トランジスタ14[1]乃至トランジスタ14[n]のゲートと電氣的に接続され、配線SEL[2]は、トランジスタ15[1]乃至トランジスタ15[n]のゲートと電氣的に接続

50

される。

【0292】

また、メモリセルアレイ520は、n本の配線RBL[1]乃至配線RBL[n]と、n本の配線SL[1]乃至配線SL[n]と、n本の配線WBL[1]乃至配線WBL[n]と、を有する。各メモリセルストリング20において、一方の端部のトランジスタ12に配線WBLが電氣的に接続され、一方の端部のトランジスタ14に配線RBLが電氣的に接続され、他方の端部のトランジスタ15に配線SLが電氣的に接続される。

【0293】

例えばメモリセルストリング20[1]では、配線RBL[1]がトランジスタ14[1]を介して、メモリセル10[1, 1]のトランジスタ11のソースまたはドレインの一方に電氣的に接続される。また、配線SL[1]がトランジスタ15[1]を介して、メモリセル10[1, m]のトランジスタ11のソースまたはドレインの他方に電氣的に接続される。また、配線WBL[1]がメモリセル10[1, 1]のトランジスタ12のソースまたはドレインの一方に電氣的に接続される。

【0294】

図11に、図10の回路図に対応する、メモリセルアレイ520の上面図を示す。なお、図11の上面図では、図の明瞭化のために一部の要素を省いている。また、図の明瞭化のために導電体207などを一部の要素を隠れ線ではなく、実線で表示している。ここで、各メモリセル10の構造は、図1B、図2A、図2B、図3A、図3Bなどに示す構造と同様であり、先の実施の形態の記載を参照することができる。

【0295】

図11に示すように、メモリセルアレイ520は、y方向に延在して、配線CLとして機能するm本の導電体208[1]乃至導電体208[m]と、配線WLとして機能するm本の導電体209[1]乃至導電体209[m]と、配線BGL1として機能するm本の導電体205[1]乃至導電体205[m]と、配線BGL2として機能するm本の導電体206[1]乃至導電体206[m]と、配線SEL[1]として機能する導電体210[1]と、配線SEL[2]として機能する導電体210[2]と、を有する。また、配線SEL[1]および配線SEL[2]として機能する導電体210は、導電体209と同じ導電性材料を用いて形成すればよい。

【0296】

また、図11に示すように、メモリセルアレイ520は、x方向に延在して、n本の酸化物230b[1]乃至酸化物230b[n]と、n本の酸化物231b[1]乃至酸化物231b[n]と、を有する。酸化物230bと酸化物231bは、各メモリセルストリング20に、1本ずつ配置されている。酸化物230bの一方の端部には、配線RBLと電氣的に接続されたプラグが設けられ、酸化物230bの他方の端部には、配線SLと電氣的に接続されたプラグが設けられる。また、酸化物231bの一方の端部には、配線WBLと電氣的に接続されたプラグが設けられる。なお、図示していないが、酸化物230b、および酸化物231bと同様に、酸化物230a、酸化物231a、酸化物243、酸化物245、導電体242、および導電体244も、適宜延在して配置される。

【0297】

酸化物230bにおいて、導電体208と重なる部分にトランジスタ11が形成される。また、酸化物231bにおいて、導電体209と重なる部分にトランジスタ12が形成され、導電体210[1]と重なる部分にトランジスタ14が形成され、導電体210[2]と重なる部分にトランジスタ15が形成される。ここで、トランジスタ14およびトランジスタ15は、トランジスタ11と同様の構造にすればよい。ただし、トランジスタ14のトップゲートの上面は、導電体210[1]に接し、トランジスタ15のトップゲートの上面は、導電体210[2]に接する。

【0298】

また、メモリセルアレイ520は、図3A、図3Bなどに示す構造と同様に、基板（図示せず）上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上の絶縁

10

20

30

40

50

体 2 1 6 と、絶縁体 2 1 6 上の絶縁体 2 2 2 と、絶縁体 2 2 2 上の絶縁体 2 2 4 と、絶縁体 2 2 4 上の絶縁体 2 7 5 と、絶縁体 2 7 5 上の絶縁体 2 8 0 と、絶縁体 2 8 0 上の絶縁体 2 8 2 と、絶縁体 2 8 2 上の絶縁体 2 8 3 と、を有する。また、絶縁体 2 1 6 と同じ層に m 本の導電体 2 0 5 および m 本の導電体 2 0 6 が配置され、絶縁体 2 2 4 の上に n 本の酸化物 2 3 0 b および n 本の酸化物 2 3 1 b などが配置され、絶縁体 2 8 0 の上に m 本の導電体 2 0 9 が配置され、絶縁体 2 8 2 の上に m 本の導電体 2 0 8 が配置される。また、各メモリセル 1 0 において、絶縁体 2 1 4 と絶縁体 2 8 2 の間の層に、トランジスタ 1 1 およびトランジスタ 1 2 が設けられ、絶縁体 2 8 0 の上に容量素子 1 3 が設けられ、トランジスタ 1 1 とトランジスタ 1 2 を接続する導電体 2 4 0 が設けられる。

【0299】

例えば、メモリセルアレイ 5 2 0 を構成する、メモリセル 1 0 [1, 1] およびメモリセル 1 0 [1, 2] も、それぞれ図 3 A、図 3 B などに示す構造を有する。ただし、メモリセル 1 0 [1, 2] のトランジスタ 1 1、およびメモリセル 1 0 [1, 2] のトランジスタ 1 1 は、両方とも、酸化物 2 3 0 b [1] に形成される。また、メモリセル 1 0 [1, 2] のトランジスタ 1 2、およびメモリセル 1 0 [1, 2] のトランジスタ 1 2 は、両方とも、酸化物 2 3 1 b [1] に形成される。

【0300】

図 1 1 に示すように、NAND 型のメモリセルアレイ 5 2 0 では、各メモリセル 1 0 に、配線 WBL、配線 RBL などに接続されるコンタクトプラグを形成する必要がない。このため、メモリセル 1 0 内に、余計なコンタクトホールを形成するためのスペースを設けなくてよい。よって、酸化物 2 3 0 b、酸化物 2 3 1 b、導電体 2 0 8（配線 CL）、および導電体 2 0 9（配線 WL）で囲まれる四角形を基準として、メモリセル 1 0 の形状を設計することで、メモリセル 1 0 の占有面積を最小化することができる。

【0301】

ここで、酸化物 2 3 0 b、酸化物 2 3 1 b、導電体 2 0 8、および導電体 2 0 9 のレイアウトは、配線間の寄生容量や、最小加工寸法などを基準に、可能な限りメモリセル 1 0 の面積が狭くなるように設計することが好ましい。これにより、容量素子 1 3 の上部電極として機能する導電体 2 0 8 がメモリセル 1 0 に占める面積、すなわち容量素子 1 3 がとりうる面積の最大値も制限されることになる。このため、設計された導電体 2 0 8 に対して、可能な限り導電体 2 0 7 が重畳する面積が大きくなるようにすることが好ましい。

【0302】

本実施の形態などに記載のメモリセル 1 0 では、ノード FN として機能する導電体 2 0 7 を、酸化物 2 3 0 b および酸化物 2 3 1 b に重畳して配置している。これにより、メモリセル 1 0 において、導電体 2 0 8 と導電体 2 0 7 が重なる面積を、y 方向に拡大することができる。

【0303】

このような構成にすることで、制限されたメモリセル 1 0 の面積に対して、ほぼ面積を増やすことなく、容量素子 1 3 の容量を大きくすることができる。よってメモリセル 1 0 の占有面積を小さくすることができる。これにより、半導体装置の高集積化を図り、記憶容量の大きい半導体装置を提供することができる。また、記憶容量当たりの製造コストの低い半導体装置を提供することができる。

【0304】

次に、図 1 2 A および図 1 2 B を用いて、メモリセルアレイ 5 2 0 のデータの書き込み動作、およびデータの読み出し動作の一例を説明する。以下では、 $m=4$ の場合の、メモリセルストリング 2 0 [1] をモデルに動作の説明を行う。

【0305】

まず、図 1 2 A に示すタイミングチャートを用いて、期間 T1 乃至期間 T4 で、メモリセルストリング 2 0 [1] にデータを書き込む例について説明する。ここで、図 1 2 A は、配線 WBL [1] の電位 $V_{WBL[1]}$ [V]、配線 WL [4] の電位 $V_{WL[4]}$ [V]、配線 WL [3] の電位 $V_{WL[3]}$ [V]、配線 WL [2] の電位 $V_{WL[2]}$ [V]、

10

20

30

40

50

配線 $W_L[1]$ の電位 $V_{W_L[1]}[V]$ 、を示す。なお、期間 T_1 乃至期間 T_4 において、配線 $R_{BL}[1]$ 、配線 $S_L[1]$ 、配線 $C_L[1]$ 乃至配線 $C_L[4]$ 、配線 $B_{GL1}[1]$ 乃至配線 $B_{GL1}[4]$ 、および配線 $B_{GL2}[1]$ 乃至配線 $B_{GL2}[4]$ の電位は $0V$ とする。

【0306】

期間 T_1 では、メモリセル $10[1, 4]$ にデータ 0 を書き込む。電位 $V_{W_{BL}[1]}$ をデータ 0 の電位（例えば $0V$ ）とし、電位 $V_{W_L[4]}$ 乃至電位 $V_{W_L[1]}$ を、メモリセル $10[1, 4]$ 乃至メモリセル $10[1, 1]$ のトランジスタ 11 がオン状態になる電位（例えば $4V$ ）にする。これにより、配線 $W_{BL}[1]$ とメモリセル $10[1, 4]$ のノード FN が導通し、ノード FN にデータ 0 の電位が与えられる。期間 T_1 から期間 T_2 に切り替わる際に、電位 $V_{W_L[4]}$ を、トランジスタ 11 がオフ状態になる電位（例えば $-4V$ ）にする。これにより、メモリセル $10[1, 4]$ のノード FN が浮遊状態になり、ノード FN に与えられたデータ 0 に対応する電位を保持することができる。

【0307】

期間 T_2 では、メモリセル $10[1, 3]$ にデータ 1 を書き込む。電位 $V_{W_{BL}[1]}$ をデータ 1 の電位（例えば $2V$ ）とし、電位 $V_{W_L[3]}$ 乃至電位 $V_{W_L[1]}$ を、メモリセル $10[1, 3]$ 乃至メモリセル $10[1, 1]$ のトランジスタ 11 がオン状態になる電位（例えば $4V$ ）にする。これにより、配線 $W_{BL}[1]$ とメモリセル $10[1, 3]$ のノード FN が導通し、ノード FN にデータ 1 の電位が与えられる。このとき、メモリセル $10[1, 4]$ のトランジスタ 11 はオフ状態なので、期間 T_1 にメモリセル $10[1, 4]$ に書き込んだデータ 0 は保持される。期間 T_2 から期間 T_3 に切り替わる際に、電位 $V_{W_L[3]}$ を、トランジスタ 11 がオフ状態になる電位（例えば $-4V$ ）にする。これにより、メモリセル $10[1, 3]$ のノード FN が浮遊状態になり、ノード FN に与えられたデータ 1 に対応する電位を保持することができる。

【0308】

以下、期間 T_3 では、期間 T_1 と同様の方法で、メモリセル $10[1, 2]$ にデータ 0 を書き込み、期間 T_4 では、期間 T_2 と同様の方法で、メモリセル $10[1, 1]$ にデータ 1 を書き込めばよい。

【0309】

次に、図12Bに示すタイミングチャートを用いて、期間 T_1 乃至期間 T_4 でデータを書き込んだメモリセルストリング $20[1]$ について、期間 T_5 乃至期間 T_8 でデータを読み出す例について説明する。ここで、図12Bは、配線 $C_L[4]$ の電位 $V_{C_L[4]}[V]$ 、配線 $C_L[3]$ の電位 $V_{C_L[3]}[V]$ 、配線 $C_L[2]$ の電位 $V_{C_L[2]}[V]$ 、配線 $C_L[1]$ の電位 $V_{C_L[1]}[V]$ 、配線 $R_{BL}[1]$ の電流値 $I_{R_{BL}[1]}[\mu A]$ 、を示す。なお、期間 T_5 乃至期間 T_8 において、配線 $W_L[1]$ 乃至配線 $W_L[4]$ の電位は $-4V$ 、配線 $R_{BL}[1]$ の電位は $1.2V$ 、配線 $S_L[1]$ 、配線 $W_{BL}[1]$ 、配線 $B_{GL1}[1]$ 乃至配線 $B_{GL1}[4]$ 、および配線 $B_{GL2}[1]$ 乃至配線 $B_{GL2}[4]$ の電位は $0V$ とする。また、トランジスタ $14[1]$ およびトランジスタ $15[1]$ はオン状態とする。

【0310】

期間 T_5 では、メモリセル $10[1, 4]$ のデータ 0 を読み出す。電位 $V_{C_L[4]}$ を読み出し電位（例えば $0V$ ）とし、電位 $V_{C_L[3]}$ 乃至電位 $V_{C_L[1]}$ を、メモリセル $10[1, 3]$ 乃至メモリセル $10[1, 1]$ のトランジスタ 11 が、保持しているデータによらず、オン状態になる電位（例えば $4V$ ）にする。これにより、配線 $R_{BL}[1]$ と配線 $S_L[1]$ の導通状態は、メモリセル $10[1, 4]$ のトランジスタ 11 の導通状態で決定されることになる。ここで、メモリセル 10 のトランジスタ 11 は、配線 C_L に読み出し電位を与えたときに、データ 0 が保持されていればオフ状態になり、データ 1 が保持されていればオン状態になる。図12Bに示すように、 $I_{R_{BL}[1]}$ は $0\mu A$ であり、配線 $R_{BL}[1]$ と配線 $S_L[1]$ は非導通状態なので、メモリセル $10[1, 4]$ にデータ 0 が保持されていることが読み出せる。

【0311】

期間T6では、メモリセル10[1, 3]のデータ1を読み出す。電位V_{CL}[3]を読み出し電位（例えば0V）とし、電位V_{CL}[4]、電位V_{CL}[2]、および電位V_{CL}[1]を、メモリセル10[1, 4]、メモリセル10[1, 2]およびメモリセル10[1, 1]のトランジスタ11が、保持しているデータによらず、オン状態になる電位（例えば4V）にする。これにより、配線RBL[1]と配線SL[1]の導通状態は、メモリセル10[1, 3]のトランジスタ11の導通状態で決定されることになる。図12Bに示すように、I_{RBL}[1]は正の値をとっており、配線RBL[1]と配線SL[1]は導通状態なので、メモリセル10[1, 3]にデータ1が保持されていることが読み出せる。

10

【0312】

以下、期間T7では、期間T5と同様の方法で、メモリセル10[1, 2]のデータ0を読み出し、期間T8では、期間T6と同様の方法で、メモリセル10[1, 1]のデータ1を読み出せばよい。

【0313】

以上のようにして、メモリセルストリング20[1]のデータの書き込み、および読み出しを行うことができる。なお、上記においては、1本のメモリセルストリング20について、書き込み、および読み出しを行ったが、同様の方法で複数のメモリセルストリング20のデータの書き込み、および読み出しを、同時に行うことができる。例えば、図10に示すメモリセルアレイ520ならば、メモリセルストリング20[1]乃至メモリセルストリング20[n]のデータの書き込み、および読み出しを、同時に行うことができる。

20

【0314】

なお、上記のメモリセルアレイ520のデータの書き込み動作、およびデータの読み出し動作は、一例であり、本発明はこれに限られるものではない。例えば、先の実施の形態で述べたように、データの読み出し動作の際に、導電体205を読み出し電位を与える配線CLとして機能させ、導電体208を、低電源電位VSSが与えられる配線としてもよい。

【0315】

また、上記メモリセルアレイ520のレイアウトは、一例であり、本発明はこれに限られるものではない。例えば、配線WBLをメモリセルストリング20の一方の端部だけでなく、他方の端部にも設ける、つまり、1本のメモリセルストリング20に配線WBLを2本接続する構成にしてもよい。このような構成にすることで、上記のデータの書き込み動作において、データの書き込みをメモリセルストリング20の2方向から同時に行うことができるので、データの書き込み速度を向上させることができる。

30

【0316】

また、例えば、配線BGL1および配線BGL2を設けない構成にしてもよいし、配線BGL1および配線BGL2をx方向に延在させる構成にしてもよい。また、トランジスタ14、およびトランジスタ15に、バックゲートおよび配線BGL1を設ける構成にしてもよい。

【0317】

また、上記メモリセルアレイ520はNAND型のメモリセルアレイにしたが、本発明はこれに限られるものではない。例えば、各メモリセル10に酸化物230b、および酸化物231bなどを、島状にパターン形成して、NOR型のメモリセルアレイにしてもよい。

40

【0318】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、または他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0319】

(実施の形態3)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

50

【0320】

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図13に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図13では、最上層から順に、CPUなどの演算処理装置にレジスタとして混載されるメモリ、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)、3D NANDメモリを示している。

【0321】

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

10

【0322】

SRAMは、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

【0323】

DRAMは、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAMの記録密度は、およそ0.1乃至0.3 Gbit/mm²である。

20

【0324】

3D NANDメモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、およそ0.6乃至6.0 Gbit/mm²である。

【0325】

本発明の一態様に係る記憶装置は、記憶容量が大きく、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域901に位置する記憶装置として好適に用いることができる。また、本発明の一態様に係る記憶装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域902に位置する記憶装置として好適に用いることができる。

30

【0326】

本発明の一態様に係る記憶装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、ゲーム機など）の記憶装置に適用できる。また、イメージセンサ、IoT (Internet of Things)、ヘルスケアなどに用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータや、ノート型のコンピュータや、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

40

【0327】

また、本発明の一態様に係る記憶装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図14A乃至図14Eにリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、本発明の一態様に係る記憶装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

【0328】

図14AはUSBメモリの模式図である。USBメモリ1100は、筐体1101、キ

50

チップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。基板1104のメモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

【0329】

図14BはSDカードの外観の模式図であり、図14Cは、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。基板1113のメモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

【0330】

図14DはSSDの外観の模式図であり、図14Eは、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けられている。メモリチップ1155はコントローラチップ1156のワークメモリであり、例えばD
OSRAMチップを用いればよい。基板1153の裏面側にもメモリチップ1154を設けることで、SSD1150の容量を増やすことができる。基板1153のメモリチップ1154などに先の実施の形態に示す半導体装置を組み込むことができる。

【0331】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、または他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0332】

(実施の形態4)

図15に、本発明の一態様に係る半導体装置を備えた電子機器の具体例を示す。

【0333】

<電子機器・システム>

本発明の一態様に係る半導体装置は、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ（Digital Signage：電子看板）、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る半導体装置は、人工知能の構成要素として適用できる。本発明の一態様に係る半導体装置を用いて、電子機器に人工知能を搭載することができる。

【0334】

本発明の一態様に係る電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

【0335】

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、にのみまたは赤外線を測定する機能を含むもの）を有していてもよい。

【0336】

本発明の一態様に係る電子機器は、様々な機能を有することができる。例えば、様々な

情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

【0337】

〔情報端末〕

図15Aには、情報端末の一種である携帯電話（スマートフォン）が図示されている。情報端末5100は、筐体5101と、表示部5102と、を有しており、入力用インターフェースとして、タッチパネルが表示部5102に備えられ、ボタンが筐体5101に備えられている。

10

【0338】

情報端末5100は、本発明の一態様に係る半導体装置を用いて、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部5102に表示するアプリケーション、表示部5102に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部5102に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

【0339】

図15Bには、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

20

【0340】

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様に係る半導体装置を用いて、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

【0341】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図15A、図15Bに図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、デスクトップ型情報端末、ワークステーションなどが挙げられる。

30

【0342】

〔ゲーム機〕

図15Cは、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体（図示せず）に取り付けることで、表示部5304に出力される映像を、別の映像機器（図示せず）に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに本発明の一態様に係る半導体装置を組み込むことができる。

40

【0343】

また、図15Dは、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

【0344】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することが

50

できる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【0345】

更に、携帯ゲーム機5300に本発明の一態様に係る半導体装置を用いて、人工知能を有する携帯ゲーム機5300を実現することができる。

【0346】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、時刻、ゲーム上に登場する人物の言動が変化するという表現が可能となる。

【0347】

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

【0348】

図15C、図15Dでは、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様に係る半導体装置を適用できるゲーム機はこれに限定されない。本発明の一態様に係る半導体装置が適用可能なゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

【0349】

[大型コンピュータ]

本発明の一態様に係る半導体装置は、大型コンピュータに適用することができる。

【0350】

図15Eは、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図15Fは、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

【0351】

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に本発明の一態様に係る半導体装置を搭載することができる。

【0352】

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様に係る半導体装置を適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

【0353】

図15E、図15Fでは、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様に係る半導体装置を適用する大型コンピュータはこれに限定されない。本発明の一態様に係る半導体装置を適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

【0354】

[移動体]

本発明の一態様に係る半導体装置は、移動体である自動車、および自動車の運転席周辺に適用することができる。

【0355】

図15Gは、移動体の一例である自動車5600の室内におけるフロントガラス周辺を示す図である。図15Gでは、ダッシュボードに取り付けられた表示パネル5601、表示パネル5602、表示パネル5603の他、ピラーに取り付けられた表示パネル5604を図示している。

【0356】

表示パネル5601乃至表示パネル5603は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5601乃至表示パネル5603は、照明装置として用いることも可能である。

10

【0357】

表示パネル5604には、自動車に設けられた撮像装置（図示せず。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル5604は、照明装置として用いることもできる。

【0358】

本発明の一態様に係る半導体装置は人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル5601乃至表示パネル5604には、道路案内、危険予測などの情報を表示する構成としてもよい。

20

【0359】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様に係る半導体装置を適用して、人工知能を利用したシステムを付与することができる。

【0360】

30

〔電化製品〕

図15Hは、電化製品の一例である電気冷凍冷蔵庫5700を示している。電気冷凍冷蔵庫5700は、筐体5701、冷蔵室用扉5702、冷凍室用扉5703等を有する。

【0361】

電気冷凍冷蔵庫5700に本発明の一態様に係る半導体装置を用いて、人工知能を有する電気冷凍冷蔵庫5700を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫5700は、電気冷凍冷蔵庫5700に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫5700に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

【0362】

40

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

【0363】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

【0364】

以上、本実施の形態に示す構成、方法などは、本実施の形態に示す他の構成、方法、または他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

50

【符号の説明】

【0365】

BGL1：配線、BGL2：配線、CL：配線、RBL：配線、SL：配線、SEL：配線、T1：期間、T2：期間、T3：期間、T4：期間、T5：期間、T6：期間、T7：期間、T8：期間、WBL：配線、WL：配線、10：メモリセル、11：トランジスタ、12：トランジスタ、13：容量素子、14：トランジスタ、15：トランジスタ、20：メモリセルストリング、205：導電体、205a：導電体、205b：導電体、205c：導電体、206：導電体、206a：導電体、206b：導電体、206c：導電体、207：導電体、208：導電体、209：導電体、210：導電体、212：絶縁体、214：絶縁体、216：絶縁体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230b：酸化物、230c：酸化物、231：酸化物、231a：酸化物、231b：酸化物、231c：酸化物、232a：領域、232b：領域、232c：領域、240：導電体、241：絶縁体、242：導電体、242a：導電体、242b：導電体、243：酸化物、243a：酸化物、243b：酸化物、244：導電体、244a：導電体、244b：導電体、245：酸化物、245a：酸化物、245b：酸化物、250：絶縁体、251：絶縁体、260：導電体、260a：導電体、260b：導電体、261：導電体、261a：導電体、261b：導電体、275：絶縁体、280：絶縁体、282：絶縁体、283：絶縁体、500：半導体装置、510：駆動回路、511：周辺回路、512：コントロール回路、515：周辺回路、520：メモリセルアレイ、521：行デコーダ、522：列デコーダ、523：行ドライバ、524：列ドライバ、525：入力回路、526：出力回路、527：センスアンプ、528：電圧生成回路、541：PSW、542：PSW、901：境界領域、902：境界領域、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5600：自動車、5601：表示パネル、5602：表示パネル、5603：表示パネル、5604：表示パネル、5700：電気冷凍冷蔵庫、5701：筐体、5702：冷蔵室用扉、5703：冷凍室用扉

10

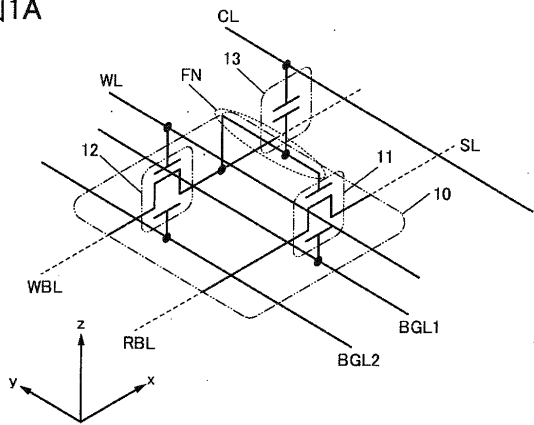
20

30

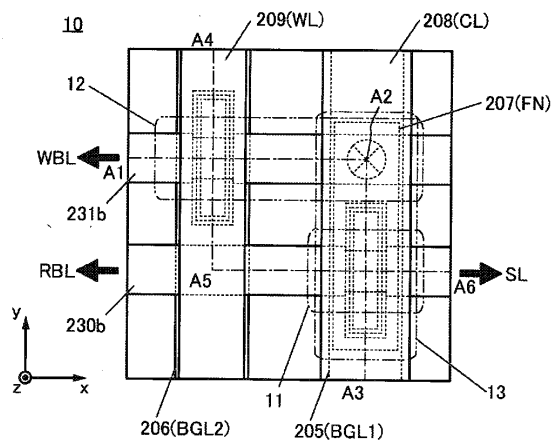
40

50

【図面】
【図 1 A】
図1A

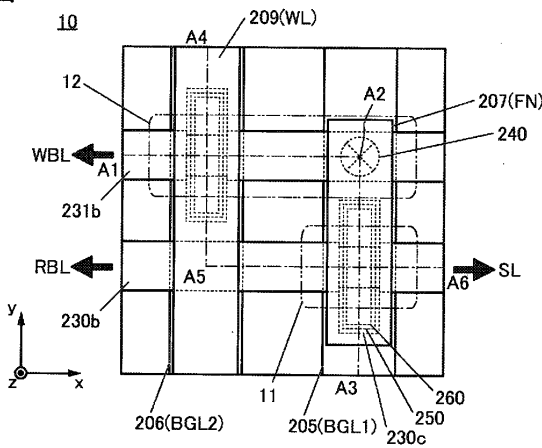


【図 1 B】
図1B

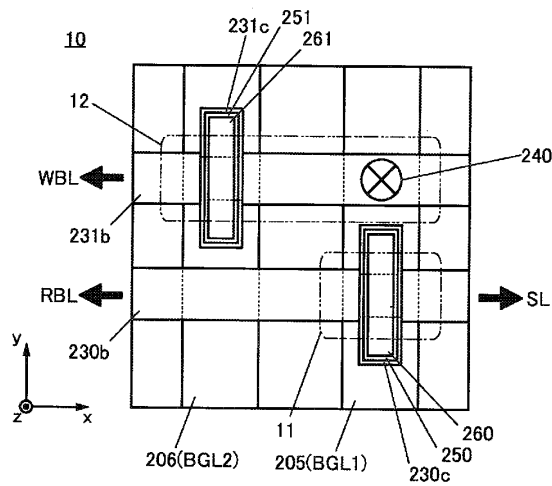


10

【図 2 A】
図2A



【図 2 B】
図2B



20

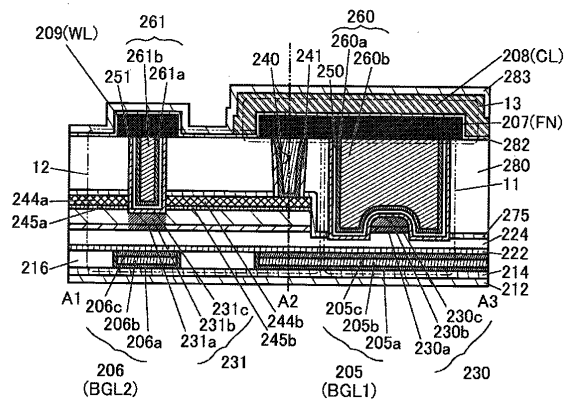
30

40

50

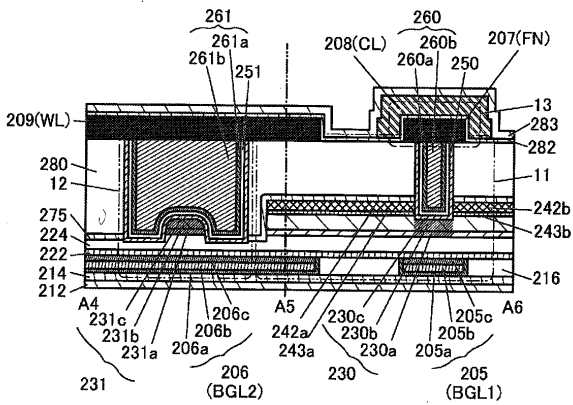
【図 3 A】

図3A



【図 3 B】

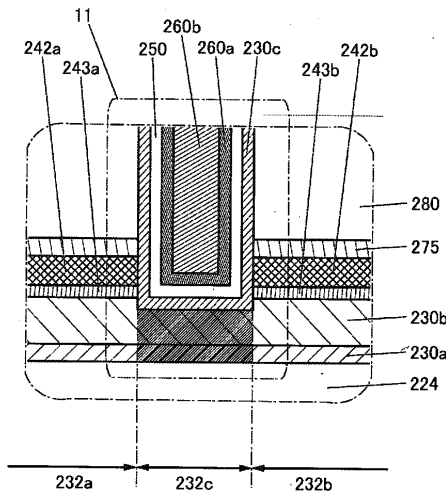
図3B



10

【図 4】

図4



【図 5 A】

図5A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
・completely amorphous	・CAAC ・nc ・CAC excluding single crystal and poly crystal	・single crystal ・poly crystal

20

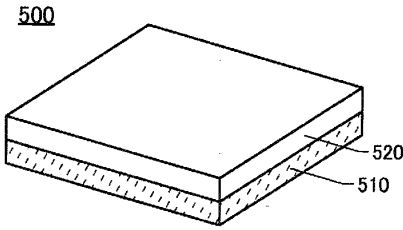
30

40

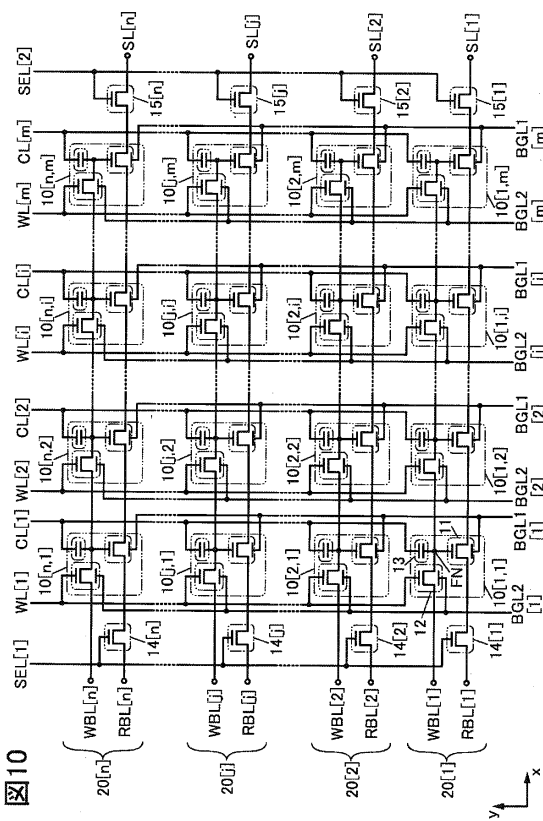
50

【図 9 B】

図9B



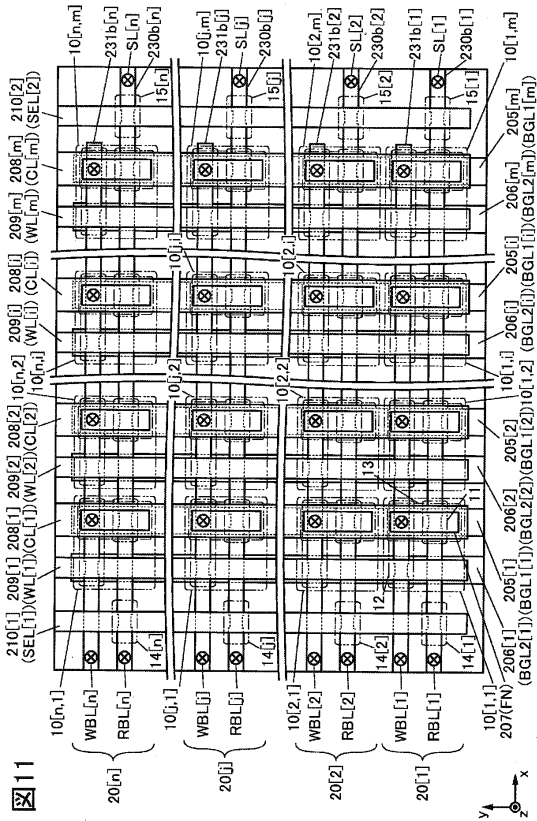
【図 1 0】



10

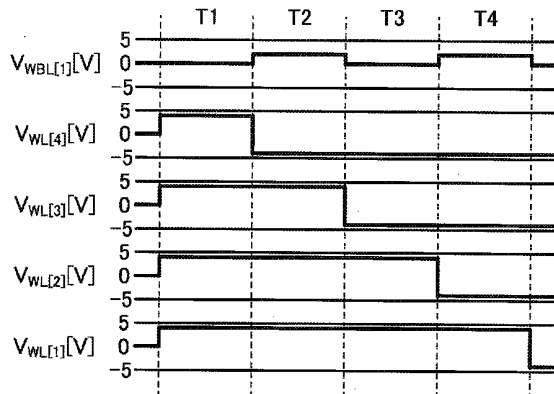
20

【図 1 1】



【図 1 2 A】

図12A



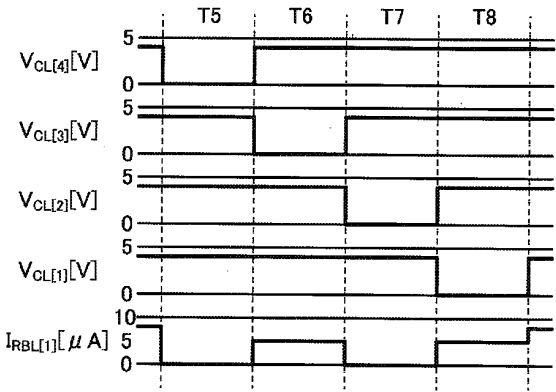
30

40

50

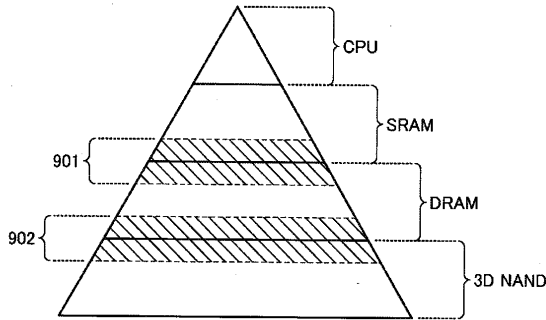
【図 1 2 B】

図12B



【図 1 3】

図13

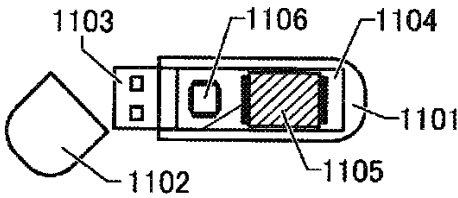


10

【図 1 4 A】

図14A

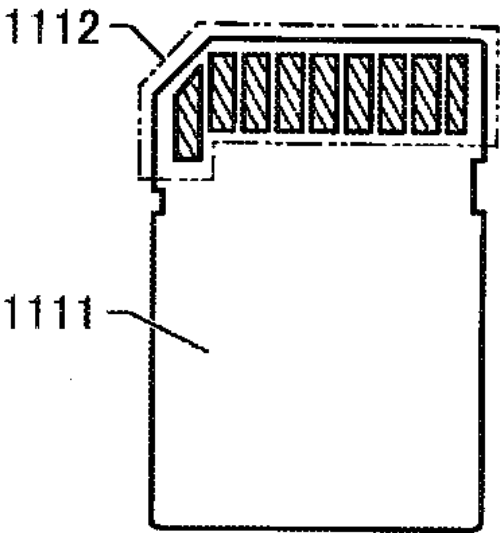
1100



【図 1 4 B】

図14B

1110



20

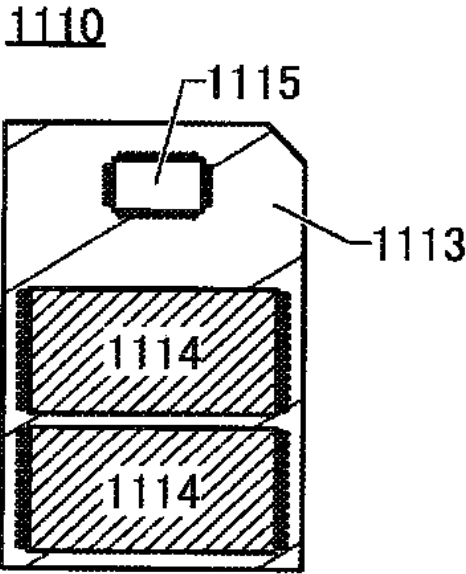
30

40

50

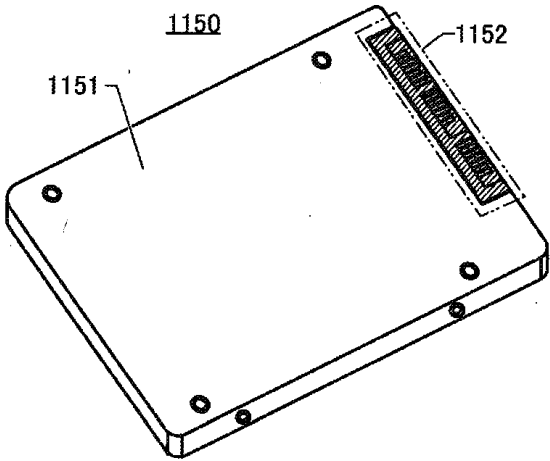
【図 1 4 C】

図 14C



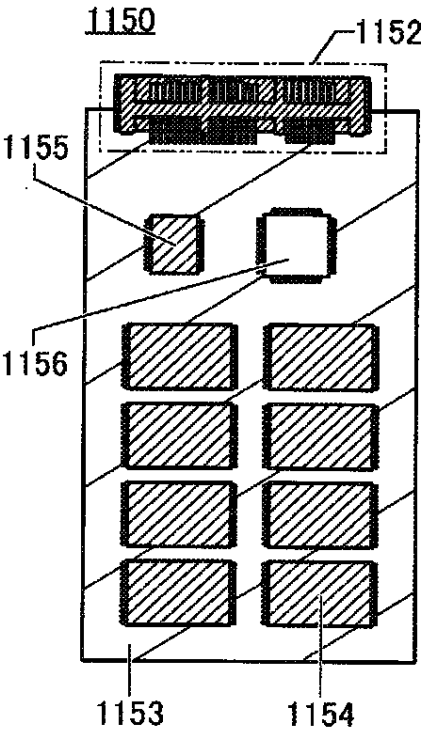
【図 1 4 D】

図 14D



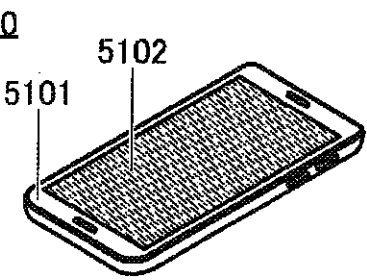
【図 1 4 E】

図 14E



【図 1 5 A】

図 15A



10

20

30

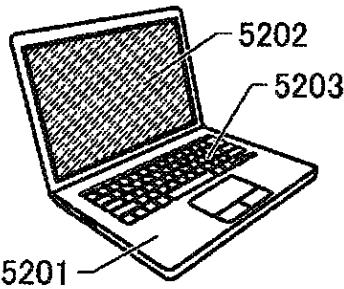
40

50

【図 1 5 B】

図 15B

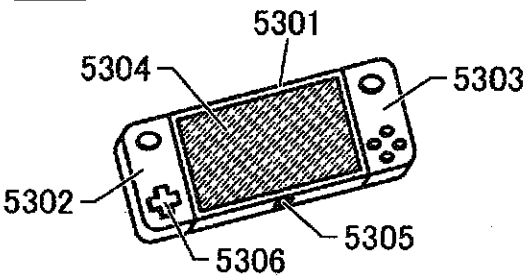
5200



【図 1 5 C】

図 15C

5300

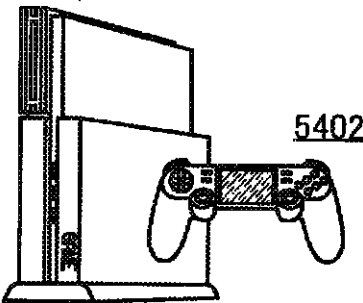


10

【図 1 5 D】

図 15D

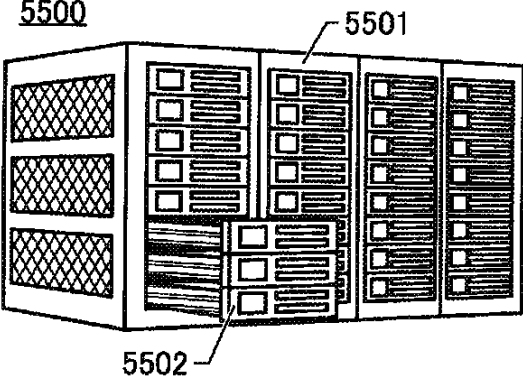
5400



【図 1 5 E】

図 15E

5500



20

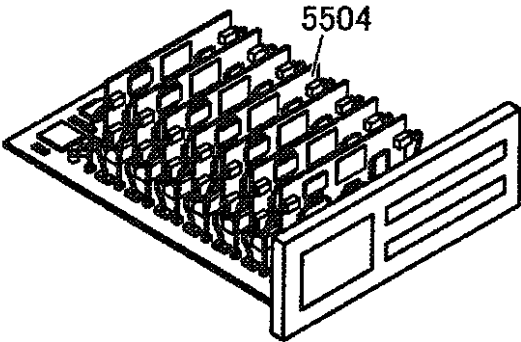
30

40

50

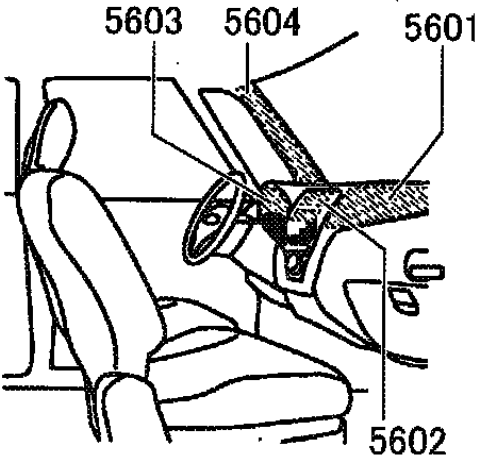
【図 1 5 F】

図 15F
5502



【図 1 5 G】

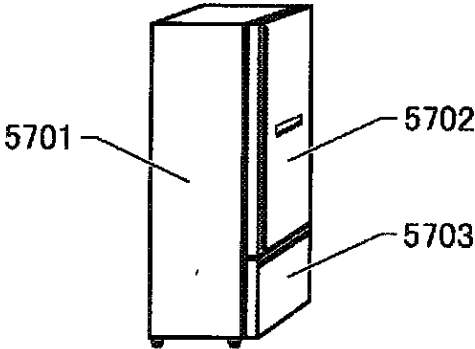
図 15G
5600



10

【図 1 5 H】

図 15H
5700



20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 1 0 D 86/40 (2025.01)	H 1 0 D	86/40	1 0 1 B
	H 1 0 D	86/40	1 0 1 Z

(72)発明者 山崎 舜平
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
審査官 加藤 俊哉

(56)参考文献 特開 2 0 1 8 - 0 8 1 7 3 6 (J P , A)
特開 2 0 1 6 - 1 1 5 3 8 5 (J P , A)
特開 2 0 1 9 - 0 4 7 0 2 0 (J P , A)
特開 2 0 1 6 - 2 2 5 6 1 7 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)
H 1 0 B 1 2 / 0 0
H 1 0 B 4 1 / 7 0
H 1 0 D 3 0 / 6 7
H 1 0 D 3 0 / 6 8
H 1 0 D 6 4 / 2 7
H 1 0 D 8 6 / 4 0