

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 9 月 13 日 (2007.9.13)

【公表番号】特表 2007-509493 (P2007-509493A)

【公表日】平成 19 年 4 月 12 日 (2007.4.12)

【年通号数】公開・登録公報 2007-014

【出願番号】特願 2006-535492 (P2006-535492)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 27/095 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8232 (2006.01)

H 0 1 L 21/8222 (2006.01)

H 0 1 L 21/8248 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 2 M 3/28 (2006.01)

【F I】

H 0 1 L 27/08 1 0 2 A

H 0 1 L 29/78 3 0 1 J

H 0 1 L 29/80 E

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/06 F

H 0 1 L 27/06 1 0 1 U

H 0 1 L 27/06 1 0 1 D

H 0 1 L 27/04 R

H 0 2 M 3/28 B

【手続補正書】

【提出日】平成 19 年 6 月 28 日 (2007.6.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

高電圧マルチ出力電流装置を形成する方法において、

第 1 導電タイプの基板を提供する段階と、

前記基板の第 1 部分上に第 2 導電タイプの第 1 ドープ領域を形成する段階であって、中心および第 1 周囲 (77) を有する第 1 の閉じた幾何学的形状としての前記第 1 ドープ領域 (73) を形成する段階を含み、前記第 1 周囲の第 1 部分は第 1 輪郭を有し、また、前記第 1 周囲の第 2 部分は第 2 輪郭を有し、さらに、前記第 1 ドープ領域 (73) は、J-FET トランジスタ (13) のドレインおよびソース、第 1 MOS トランジスタ (14) のドレイン、および、第 2 MOS トランジスタ (15) のドレインを含む、段階と、

前記基板上に第 2 周囲を有する前記第 2 導電タイプの第 2 ドープ領域 (84) を形成する段階であって、前記第 2 周囲の一部分は前記第 1 周囲 (77) の前記第 1 部分と並置さ

れ、また、前記第 1 輪郭と同一に形成された第 3 輪郭を有し、さらに、前記第 2 ドープ領域は前記第 1 MOS トランジスタ (1 4) のソースである、段階と、

前記基板上に第 3 周囲を有する前記第 2 導電タイプの第 3 ドープ領域 (8 5) を形成する段階であって、前記第 3 周囲の一部分は前記第 1 周囲の前記第 2 部分と並置され、また、前記第 2 輪郭と同一に形成された第 4 輪郭を有し、さらに、前記第 3 ドープ領域は前記第 2 MOS トランジスタのソースである、段階と、

から構成されることを特徴とする方法。

【請求項 2】

第 1 導電タイプの基板と、

前記基板の第 1 部分上の第 2 導電タイプの第 1 ドープ領域 (7 3) であって、前記第 1 ドープ領域は、中心および第 1 周囲を有する第 1 の閉じた幾何学的形状として形成され、前記第 1 周囲の第 1 部分は第 1 輪郭を有し、また、前記第 1 周囲の第 2 部分は第 2 輪郭を有し、さらに、前記第 1 ドープ領域は、J - FET トランジスタのドレインおよびソース、第 1 MOS トランジスタのドレイン、および、第 2 MOS トランジスタのドレインである、第 1 ドープ領域と、

前記基板上の前記第 2 導電タイプの第 2 ドープ領域 (8 4) であって、第 2 周囲を有し、前記第 2 周囲の一部分は前記第 1 周囲の前記第 1 部分と並置され、また、前記第 1 輪郭と同一形状である第 3 輪郭を有し、さらに、前記第 2 ドープ領域は前記第 1 MOS トランジスタ (1 4) のソースである、第 2 ドープ領域と、

前記基板上の前記第 2 導電タイプの第 3 ドープ領域 (8 6) であって、第 3 周囲を有し、前記第 3 周囲の一部分は前記第 1 周囲の前記第 2 部分と並置され、また、前記第 2 輪郭と同一形状である第 4 輪郭を有し、さらに、前記第 3 ドープ領域は前記第 2 MOS トランジスタ (1 5) のソースである、第 3 ドープ領域と、

から構成されることを特徴とする高電圧マルチ出力電流装置。

【請求項 3】

出力電圧の第 1 値 (初期値) に応答するシステム・コントローラ (5 0) の出力 (4 8) で第 1 出力電流 (2 1) を生成する段階と、

前記第 1 出力電流の生成を抑止するために電圧リターン (5 8) に前記出力を結合する段階と、

から構成されることを特徴とする電源制御システム抑止方法。

【請求項 4】

高電圧マルチ出力電流装置において、

第 1 導電タイプの基板と、

前記基板の第 1 部分上の第 2 導電タイプの第 1 領域であって、前記第 1 領域は形状および第 1 周囲を有し、前記第 1 周囲の第 1 部分は第 1 輪郭を有し、また、前記第 1 周囲の第 2 部分は第 2 輪郭を有し、さらに、前記第 1 領域は、J - FET トランジスタのドレインおよびソース、第 1 MOS トランジスタのドレイン、および、第 2 MOS トランジスタのドレインである、第 1 領域と、

前記基板上に第 2 周囲を有する前記第 2 導電タイプの第 2 領域であって、前記第 2 周囲の一部分は前記第 1 周囲の前記第 1 部分と並置され、また、前記第 1 輪郭と同一の形状である第 3 輪郭を有し、さらに、前記第 2 領域は前記第 1 MOS トランジスタのソースである、第 2 領域と、

前記基板上に第 3 周囲を有する前記第 2 導電タイプの第 3 領域であって、前記第 3 周囲の一部分は前記第 1 周囲の前記第 2 部分と並置され、また、前記第 2 輪郭と同一の形状である第 4 輪郭を有し、さらに、前記第 3 領域は前記第 2 MOS トランジスタのソースである、第 3 領域と、

を含むことを特徴とする高電圧マルチ出力電流装置。